

UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
NÍVEL MESTRADO PROFISSIONAL

RAFAEL BEZ NASCIMENTO

ASSINATURA ELÉTRICA DE FALHAS PARAMÉTRICAS
PARA DIAGNÓSTICO DE DEFEITOS DE SOLDAGEM DE
FIOS EM ENCAPSULAMENTO MCP

SÃO LEOPOLDO

2019

Rafael Bez Nascimento

**Assinatura Elétrica de Falhas Paramétricas para Diagnóstico
de Defeitos de Soldagem de Fios em Encapsulamento MCP**

Dissertação apresentado como requisito para a
obtenção do título de Mestre, pelo Programa
de Pós-Graduação em Engenharia Elétrica da
Universidade do Vale do Rio dos Sinos – UNI-
SINOS.

Orientador: Profa. Dra. Margrit Reni Krug

Coorientador: Me. Marcelo Moraes

São Leopoldo

2019

N244a Nascimento, Rafael Bez.
Assinatura elétrica de falhas paramétricas para diagnóstico de defeitos de soldagem de fios em encapsulamento MCP / Rafael Bez Nascimento. – 2019.
77 f. : il. color. ; 30 cm.

Dissertação (mestrado) – Universidade do Vale do Rio dos Sinos, Programa de Pós-Graduação em Engenharia Elétrica, São Leopoldo, 2019.
“Orientador: Profa. Dra. Margrit Reni Krug ; Coorientador: Me. Marcelo Moraes.”

1. Análise de falhas. 2. Soldagem elétrica. 3. Assinatura de falhas.
I. Título.

CDU 621.3

Rafael Bez Nascimento

**Assinatura Elétrica de Falhas Paramétricas para Diagnóstico
de Defeitos de Soldagem de Fios em Encapsulamento MCP**

Dissertação apresentado como requisito para a
obtenção do título de Mestre, pelo Programa
de Pós-Graduação em Engenharia Elétrica da
Universidade do Vale do Rio dos Sinos – UNI-
SINOS.

Aprovado em 20 de Novembro de 2019.

BANCA EXAMINADORA:

Profa. Dra. Tatiana Louise Avila de Campos
Rocha – Unisinos
Avaliador

Dr. Giovani Pesenti – HT Micron
Semicondutores
Avaliador Externo

Profa. Dra. Débora da Silva Motta Matos –
UERGS
Avaliador Externo

Profa. Dra. Margrit Reni Krug (Orientador)
Me. Marcelo Moraes (Coorientador)

Visto e permitida a impressão
São Leopoldo

Prof. Dr. Paulo Ricardo da Silva Pereira
Coordenador PPG em Engenharia Elétrica

RESUMO

Esta dissertação descreve um método de análise de assinatura de falhas através da aquisição de dados paramétricos de dispositivos MMC (*Multimedea Card* de encapsulamentos do formato 221 FBGA eMCP (*embedded Multi Chip Package*). O método proposto tem como objetivo identificar a assinatura elétrica de modos de falha do processo de soldagem de fios através da assinatura de falha representada em curvas I-V. A aplicação do método identificou modos de falha como circuito aberto, curto-circuito e diferenças na resistência do circuito elétrico associado aos pinos inspecionados. O conjunto de amostras analisadas foi de quatrocentas e quarenta e nove unidades de um encapsulamento eMCP de duzentas e vinte e uma esferas. As curvas I-V, adquiridas das amostras com auxílio da ferramenta e *software* desenvolvidos, diferenciaram-se das amostras de referência em 62% dos casos. Dentre estas amostras, foi possível identificar similaridades entre as curvas I-V em 84% das unidades. Entretanto, para amostras em que não foi possível correlacionar as curvas I-V com assinaturas de falhas conhecidas, os resultados obtidos indicam quais métodos auxiliares subsequentes, do fluxo de análise de falha, devem ser aplicados pois a aquisição de dados é realizada pino a pino. Desta maneira, o método aplica-se à localização e isolamento do mecanismo de falha.

Palavras-chaves: Análise de falhas, Assinatura de falhas, Curva I-V, Soldagem de Fios.

ABSTRACT

This dissertation describes a method of failure signature analysis by acquiring parametric data from 221 FBGA eMCP (embedded Multi Chip Package) encapsulation MMC devices. The objective is to identify the electrical signature of failure modes of the wire welding process through the failure signature represented in I-V curves. The application of the method identified failure modes such as open circuit, short circuit and differences in electrical circuit resistance associated with the inspected pins. The sample set analyzed was four hundred and forty-nine units of an eMCP package. The I-V curves, acquired from the samples with the developed tool and software, differed from the reference samples in 62 % of the cases. Among these samples, it was possible to identify similarities between the I-V curves in 84 % of the units. However, for samples where it was not possible to correlate I-V curves with known failure signatures, the results indicate which subsequent auxiliary methods of the failure analysis flow should be applied. Because data acquisition is done pin by pin. Therefore, this method applies to the location and isolation of the fault mechanism.

Key-words: Failure Analysis, Fault Signature, I-V Curve, Wire Bonding.

LISTA DE FIGURAS

Figura 1 – Visão geral de um sistema eMMC.	14
Figura 2 – Circuito integrado encapsulado.	17
Figura 3 – Processo de solda de fios.	18
Figura 4 – Modelo elétrico para um encapsulamento BGA	19
Figura 5 – Modos de falha do processo de Soldagem de Fios em encapsulamentos BGA.	21
Figura 6 – Modos de falha do processo de Soldagem de Fios em encapsulamentos BGA.	21
Figura 7 – A interação entre as três principais áreas da indústria de encapsulamento de semicondutores.	23
Figura 8 – A regra de 10 demonstra a taxa de aumento do custo.	24
Figura 9 – Exemplo de fluxo de teste. Este trabalho está focado nas etapas de " <i>1st Level Package Test</i> ".	25
Figura 10 – Curva I-V típica de pinos de comunicação.	26
Figura 11 – Circuito de proteção ESD.	27
Figura 12 – Testes nas IO e o comportamento da corrente elétrica	27
Figura 13 – Fluxo de análise de falhas.	33
Figura 14 – Fluxos de Análise Falha.	34
Figura 15 – Estrutura Analítica do Projeto de Pesquisa.	36
Figura 16 – Laboratório de teste elétrico do itt CHIP.	37
Figura 17 – Desenho do equipamento Magnum V e suas partes.	38
Figura 18 – Interface de usuário.	39
Figura 19 – Utilização da ferramenta para execução manual.	40
Figura 20 – Curva I/V Amostra 1.	40
Figura 21 – Valores máximos e mínimos de corrente lidos no pino DAT0 para o conjunto de amostras de referência.	42
Figura 22 – Valores máximos e mínimos de corrente lidos no pino VCC para o conjunto de amostras de referência.	43
Figura 23 – Valores máximos e mínimos de corrente lidos no pino VCCQ para o conjunto de amostras de referência.	43
Figura 24 – Parte das amostras identificadas para rastreamento dos resultados.	44
Figura 25 – Fluxo Geral do Processo de Análise de Falhas proposto.	47
Figura 26 – Fluxo de processos de análise de falhas não destrutivas.	48
Figura 27 – Fluxo de processos de análise de falhas destrutivas.	49
Figura 28 – Curva I-V das leituras do pino DAT3 da amostra WB1.	51
Figura 29 – Curva I-V para o pino VCCQ da amostra WB1.	51
Figura 30 – Imagem após desencapsulamento. Curto entre Pads através do Wire Bump.	52
Figura 31 – Ilustração do deslocamento do diagrama de solda.	52

Figura 32 – Amostra DC1, curva I-V pino VCC.	53
Figura 33 – Amostra DC1, curva I-V pino VCCQ.	54
Figura 34 – Amostra DC1, curva I-V pino VCCQ.	54
Figura 35 – Amostra DC1, inspeção por raios-x vista de topo.	55
Figura 36 – Amostra DC17, curva I-V pino VCC.	55
Figura 37 – Amostra DC17, curva I-V pino VCCQ.	56
Figura 38 – Amostra DC17, inspeção por raios-x vista de topo.	56
Figura 39 – Curva I/V para amostra DC105 no pino de alimentação VCC.	57
Figura 40 – Amostra DC105, inspeção por raios-x vista de topo e lateral.	57
Figura 41 – Curva I/V para amostra DC108 no pino DAT0.	58
Figura 42 – Curva I/V para amostra DC108 no pino DAT4.	58
Figura 43 – Amostra DC108, inspeção por raios-x vista de topo e lateral.	59
Figura 44 – Curva I/V para amostra DC111 no pino CLK.	59
Figura 45 – Curva I/V para amostra DC111 no pino CMD.	60
Figura 46 – Amostra DC111, inspeção por raios-x vista de topo e lateral.	60

LISTA DE TABELAS

Tabela 1 – Interface EMMC	15
-------------------------------------	----

LISTA DE ABREVIATURAS E SIGLAS

ATE	<i>Automatic Test Equipment</i>
BGA	<i>Ball Grid Array</i>
CI	Circuito Integrado
DUT	<i>Device Under Test</i>
e.MMC	<i>embedded Multi Media Card</i>
eMCP	<i>embedded MultiChip Package</i>
FA	<i>Failure Analysis</i>
FBGA	<i>Fine Pitch Ball Grid Array</i>
MMC	<i>Multi Media Card</i>
MCP	<i>Multichip Package</i>
PCB	<i>Printed Circuit Board</i>
SCAR	<i>Supplier Corrective Action Request</i>
SiP	<i>System in a Package</i>
VIH	<i>Voltage Input High</i>
VIL	<i>Voltage Input Low</i>
VOH	<i>Voltage Output High</i>
VOL	<i>Voltage Output Low</i>

SUMÁRIO

1	INTRODUÇÃO	12
1.1	Objetivos	13
1.1.1	Objetivo Geral	13
1.1.2	Objetivos Específicos	13
2	REVISÃO BIBLIOGRÁFICA	14
2.1	Dispositivo de armazenamento eMMC	14
2.1.1	Arquitetura	14
2.2	O processo de encapsulamento de semicondutores	15
2.2.1	Processo de Soldagem de fios e seus modos de falha	17
2.3	Processo de testes de semicondutores	22
2.3.1	Caracterização elétrica	25
2.3.1.1	<i>Aquisição e interpretação de curvas I-V</i>	26
2.3.2	Testes paramétricos	28
2.3.3	Teste de Contato	29
2.3.4	Teste de fuga de corrente de entrada	29
2.3.5	Teste tensão de entrada	30
2.3.6	Teste de tensão de saída	30
2.3.7	Teste Corrente Idd	31
2.3.8	Teste de consumo em <i>Stand-by</i>	31
2.3.9	Teste de operação sob variações da fonte de alimentação	32
2.4	Análise de Falhas	32
2.5	Trabalhos similares e estado da Arte	34
3	MATERIAIS, FERRAMENTAS E MÉTODOS	36
3.1	Proposta de pesquisa	36
3.2	Desenvolvimento da ferramenta para aquisição de assinaturas elétricas	37
3.2.1	Programa de aquisição das assinaturas elétricas	38
3.2.1.1	<i>Interface do usuário</i>	38
3.2.1.2	<i>Aquisição das leituras elétricas</i>	39
3.2.1.3	<i>Resultado dos ensaios</i>	40
3.3	Seleção de amostras para testes	41
3.3.1	Amostras de Referência	42
3.4	Caracterização das falhas	44
3.5	Definição do fluxo de processo para análise de falhas	44

4	RESULTADOS	50
4.1	Estudo de caso 1	50
4.2	Estudo de caso 2	53
5	CONCLUSÃO	61
5.1	Trabalhos futuros	62
	REFERÊNCIAS	63
	APÊNDICES	66
	APÊNDICE A – CÓDIGO DO PROGRAMA DE GERAÇÃO DAS CUR- VAS I-V	67

1 INTRODUÇÃO

Tendo em vista o cenário econômico do ano de 2019, o mercado de semicondutores, de maneira geral, sofre uma queda de 14,6% em vendas quando comparado ao ano de 2018 (ROSSO, 2019). Os motivos associados estão relacionados com as relações econômicas conturbadas entre Estados Unidos da América e China, a saída do Reino Unido da União Europeia, sanções comerciais entre Japão e Coreia do Sul, a alta disponibilidade de memórias DRAM no mercado e flutuação característica do mercado de semicondutores após momentos de crescimento dele (HAWKINS; CHOU, 2019). Ao contrário deste cenário, o mercado de encapsulamento de semicondutores, que atualmente representa USD 26,12 bi, tem perspectiva de crescimento para USD 41,16 bi em 2024 (KUMAR; IBRAHIM; SHOO, 2019). Os encapsulamentos avançados representam uma solução economicamente atrativa para o mercado, pois quando comparados aos custos de desenvolvimento de *design* de circuitos integrados em nós tecnológicos menores.

A maior parte da demanda do mercado atual de semicondutores é direcionada a dispositivos com grande número de funcionalidades e que possuam custos baixos de produção. Estes são empregados em equipamentos de comunicação portáteis como os *smartphones*. Componentes com a capacidade de reter informações para armazenamento ou processamento são de grande importância em qualquer sistema móvel pois definem suas capacidades e seu desempenho. Este é um fator chave para o consumidor final. Por conseguinte, os fabricantes de memórias geraram pouco menos que um terço da receita total da indústria de semicondutores em 2018 (KPMG Global, 2018). O objetivo, deste setor, é oferecer soluções para as demandas de mercados como automotivo, comunicações, médico, militar, consumo. A diversidade de aplicações combinada à crescente necessidade do aumento de performance propiciou o desenvolvimento da indústria de encapsulamento de semicondutores (VEENDRICK, 2008).

Estes mercados demandam soluções que integram funções heterogêneas e de alta capacidade de armazenamento e processamento. As novidades tecnológicas podem ser consideradas efêmeras e em pouco tempo, após sua comercialização, já existe a possibilidade de novas tecnologias serem absorvidas pelo mercado. Portanto, o desenvolvimento de soluções deve ser inovador e contínuo. Os *Multichip Packages* (MCP) visam a integração de funções diferentes em um único encapsulamento. Desta maneira, diminuem o espaço ocupado e consumo elétrico (HU et al., 2011).

Desde a criação do primeiro circuito integrado, em 1958, até os dias atuais, a indústria de semicondutores passa por grandes transformações orientadas pela demanda de maior capacidade e menor custo por unidade. Desta maneira, ocorre o constante aprimoramento das tecnologias de fabricação para que a redução do tamanho das estruturas básicas e, por sua vez, o aumento de capacidade sejam possíveis (Jialin Ding, 2015). Atualmente, os encapsulamentos oferecem a

capacidade de integrar diversas funções em um único componente, o que diminui o tamanho da plataforma final e pode aumentar a confiabilidade e velocidade das interconexões das funções associadas. Entretanto, o aumento na complexidade das estruturas pode acarretar a possibilidade de aumento na ocorrência de falhas. As falhas geram altos custos para reparo e danos à imagem das corporações. Estes são os grandes desafios enfrentados pelas áreas de confiabilidade e teste, as quais requerem constantes avaliações para a sua melhoria (International Technology Roadmap for Semiconductors, 2015). Portanto, a identificação dos modos falhas e mecanismos de falhas tornam-se importantes por razões técnicas e financeiras. O processo de testes de semicondutores também deve realimentar o processo de fabricação de circuitos integrados (CASON; ESTRADA, 2011). O papel dos métodos de análise de falhas, na indústria de semicondutores, é identificar e adquirir informações sobre os mecanismos de falha, de maneira que seja possível relacionar o fato observado com o evento causador. Por conseguinte, estas informações devem realimentar o processo de produção para que seja possível realizar alteração nos processos causadores. Consequentemente, contribuir para o aumento do rendimento produtivo e conhecimento da capacidade de processo.

1.1 Objetivos

1.1.1 Objetivo Geral

O objetivo geral deste projeto foi o desenvolvimento de um método para auxiliar no diagnóstico de defeitos decorrentes do processo de soldagem de fios em componentes encapsulados do tipo *Multi Chip Package*.

1.1.2 Objetivos Específicos

Para alcançar o objetivo geral deste projetos, os seguintes objetivos específicos foram necessários:

- Desenvolver uma ferramenta para aquisição das assinaturas elétricas de falhas na interface de dispositivos de armazenamento MMC (*Multi Media Card*) em encapsulamento MCP (*Multi Chip Package*);
- Estabelecer um método para a análise das assinaturas elétricas das falhas e sua correlação com defeitos previamente identificados;
- Definir um fluxo completo para análise de falhas de encapsulamento que inclua as ferramentas e métodos desenvolvidos neste trabalho;
- Selecionar componentes para a realização da avaliação do método e da ferramenta desenvolvida;
- Realizar os testes para validação e avaliação do projeto proposto.

2 REVISÃO BIBLIOGRÁFICA

2.1 Dispositivo de armazenamento eMMC

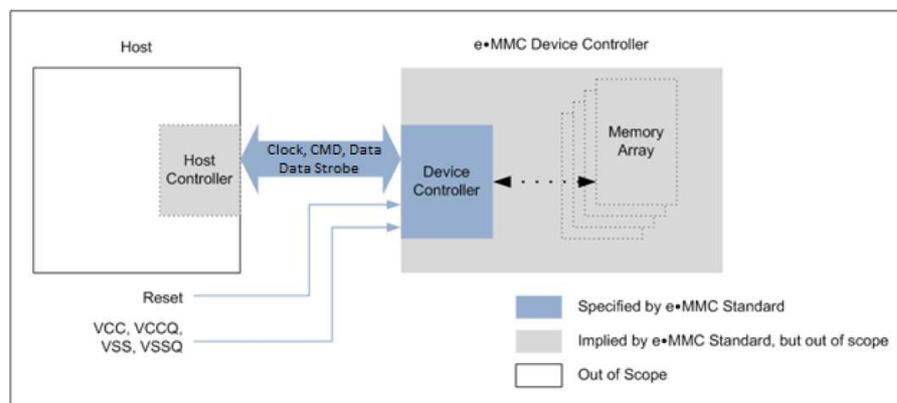
O dispositivo de armazenamento eMMC (*embedded multi media card*) é um dispositivo capaz de armazenar códigos e dados, e seu funcionamento é definido pela norma JEDEC JESD84-B51. A aplicação desta memória são em plataformas móveis como os *smartphones*, portanto, sua arquitetura visa baixo consumo de energia. Este tipo de dispositivo é capaz de realizar transferência em grande volume dados, durante sua operação. O protocolo também define transferência de dados, de forma aleatória, para parametrização (JEDEC, 2018).

2.1.1 Arquitetura

A norma JEDEC JESD84-B51 define a arquitetura do sistema de controle do banco de memórias *Nand Flash*. Assim como, as suas respectivas interfaces elétricas com outros dispositivos. A comunicação ocorre através de um canal de comunicação, *half-duplex* de 8 bits. A interface com o controlador (*device controller*) possui doze pinos para comunicação com a plataforma de uso (*host*).

A estrutura é definida por um banco de memórias *nand flash*. No qual, a ação de controle é realizada por outro componente independente, o controlador. Portanto, o controlador é quem realiza a interface com o *host* e define a comunicação com o banco de memórias. A configuração, deste sistema permite que o dispositivo principal possa realizar outras atividades em paralelo sem que o acesso indireto da memória cause atrasos. A estrutura pode ser verificada na Figura 1.

Figura 1 – Visão geral de um sistema eMMC.



Fonte: Adaptado de JESD84-B5

Os sinais de comunicação definidos na norma são:

1. CLK: é o sinal de sincronismo enviado pelo *host*, com frequência máxima de 200MHz;
2. *Data Strobe*: é o sinal de saída enviado pelo eMMC para sincronismo de dados em modo DDR (*Double Data Rate*);
3. *Data Strobe*: é o sinal de controle do número de transferências de dados, por exemplo, dois dados por pulso de *clock*;
4. CMD: este sinal é um canal de comando bidirecional utilizado para a transferência de comandos entre o dispositivo e o *host*;
5. DAT0-DAT7: são canais bidirecionais de dados;
6. RST: é o sinal de reinicialização do *hardware*.

A Tabela 1 enumera e descreve os canais de interface do padrão eMMC definidos na norma JEDEC. O método desenvolvido nesta dissertação, é baseado na caracterização das assinaturas elétricas desta interface.

Tabela 1 – Interface EMMC

Nome	Tipo	Descrição
CLK	I	Clock
DS	O/PP	Data Strobe
DAT0	I/O/PP	Data
DAT1	I/O/PP	Data
DAT2	I/O/PP	Data
DAT3	I/O/PP	Data
DAT4	I/O/PP	Data
DAT5	I/O/PP	Data
DAT6	I/O/PP	Data
DAT7	I/O/PP	Data
CMD	I/O/PP/OD	Command/Response
RST_n	I	Hardware Reset
V_{cc}	S	Supply voltage for Core
V_{ccq}	S	Supply voltage for I/O
V_{ss}	S	Supply voltage ground for Core
V_{ssq}	S	Supply voltage ground for I/O
NOTE 1 I: input; O: output; PP: push-pull; OD: open-drain; NC: Not connected (or logical high); S: power supply.		

Fonte: Adaptado de JESD84-B5

A Tabela 1 mostra os pinos e as descrições segundo à norma JEDEC, cabe ressaltar que os pinos correspondentes são acessados através do circuito controlador das memórias *Nand Flash*.

2.2 O processo de encapsulamento de semicondutores

A indústria de semicondutores divide-se em duas partes, são elas: "*Front-End*" e "*Back-End*". O "*Front-End*" é composto pelos processos produtivos do *wafer* e seu respectivo teste,

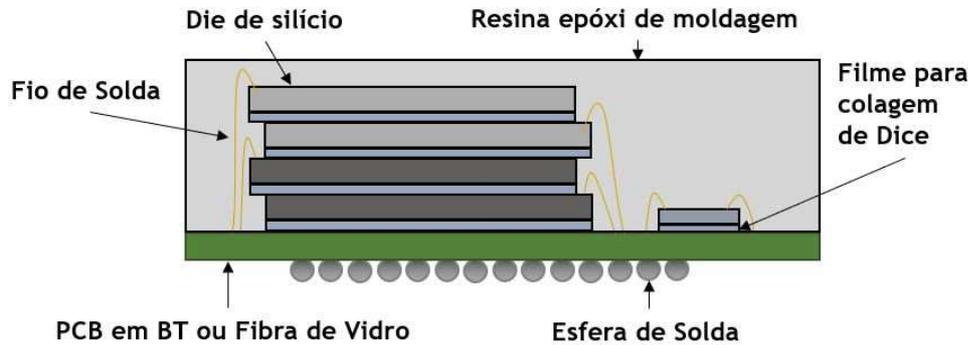
enquanto o "*Back-End*" é composto pelo encapsulamento e teste final (ST Microelectronics, 2007). No passado, a indústria de encapsulamento desempenhava duas funções: prover canais de comunicação entre os dispositivos ou sistemas aos circuitos integrados contidos na lâmina de silício, *wafer*; e interconectar componentes passivos e ativos como um sistema. O aumento da complexidade das demandas do mercado acelerou o desenvolvimento de técnicas diferenciadas de encapsulamento. Entre as principais técnicas, pode-se listar: integração entre diversas funções, estruturas tridimensionais através de empilhamento de *dice*, *flip-chip*, etc (TUMMALA, 2005). O processo de encapsulamento de semicondutores é, muitas vezes, considerado apenas uma etapa de finalização da cadeia de produção de componentes eletrônicos. Entretanto, devido ao desenvolvimento de técnicas avançadas para atender as novas demandas do mercado, esta etapa se tornou um diferencial complementar ao desenvolvimento de circuitos integrados (VEENDRICK, 2008).

Segundo Veendrick (2008), as principais capacidades que o encapsulamento confere ao componente são:

- produção de circuitos integrados em substratos, que conferem proteção e facilitam o manuseio durante a fabricação;
- proteção mecânica e química contra intempéries do ambiente;
- compatibilidade mecânica entre os materiais encapsulados;
- conexão elétrica, como alimentação e sinais de comunicação, entre o substrato e o circuito integrado (*die*);
- condutibilidade térmica para dissipação de calor para o ambiente;
- padronização do formato e protocolos de comunicação.

Para que estas capacidades sejam replicadas no produto, é necessário o desenvolvimento de encapsulamento, com base nos requisitos da aplicação final. A partir da definição do formato ou tipo de encapsulamento, são determinadas as etapas produtivas necessárias para a fabricação. A Figura 2 demonstra um exemplo da estrutura de um circuito integrados encapsulado.

Figura 2 – Circuito integrado encapsulado.



Fonte: Adaptado de (ARDEBILI; PECHT, 2009)

Como demonstra a Figura 2, as etapas que compõem o fluxo produtivo responsáveis por replicar as características determinadas no projeto do encapsulamento, assim como : a largura, o comprimento, a altura, o número de terminais, entre outros. Com relação aos tipos de encapsulamentos, pode-se destacar as seguintes etapas produtivas: afinamento e preparação das lâminas de silício; singularização da lâmina de silício; preparação do substrato; colagem dos *dice* no substrato; soldagem de fios entre *die* e substrato; moldagem; marcação a laser; aplicação de esferas de solda, e; singularização do substrato (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

2.2.1 Processo de Soldagem de fios e seus modos de falha

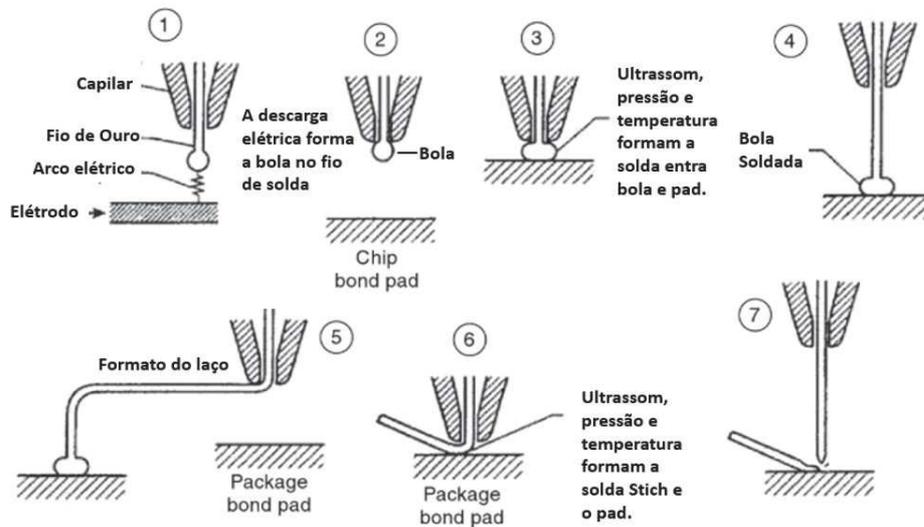
O processo de soldagem de fios realiza as interconexões entre o circuito integrado e o substrato. Portanto, os sinais elétricos obtidos nos testes paramétricos DC deste processo, possuem correlação com a qualidade da solda entre as conexões metálicas do componente. Assim, para a compreensão dos testes propostos nesta dissertação, é necessário o entendimento dos princípios de solda de fios e seus respectivos modos de falha.

O princípio de soldagem de fios utilizado, em encapsulamentos eMCP, é do tipo termosônico. Para que ocorra a interdifusão dos metais, são necessárias as combinações de aplicação de pressão, temperatura e ultrassom. A solda, na etapa de termocompressão, ocorre devido à interdifusão atômica dos materiais quando aplica-se temperatura e pressão. Enquanto, em processos ultrassônicos, os metais são submetidos a altas frequências sem a necessidade de temperatura elevada, resultando na solda sônica (CHUNLING et al., 2008).

A Figura 3 demonstra as sete etapas fundamentais para o processo de solda de fios do tipo *ball bonding*. Neste tipo de solda, o fio é guiado através de um capilar, que tem a função de aplicar pressão e realizar o cisalhamento. Inicialmente, para que seja possível movimentar o capilar sem que o fio escape da estrutura, deve-se gerar uma esfera através de uma descarga elétrica no fio. Desta maneira, o manipulador do equipamento posiciona o capilar em cima do contato elétrico do circuito integrado e desta maneira, iniciasse o processo de solda. As sete

etapas estão diagramadas na Figura 3 podem ser descritas pelas seguintes etapas:

Figura 3 – Processo de solda de fios.



Fonte: Adaptado de (HARMAN, 2009)

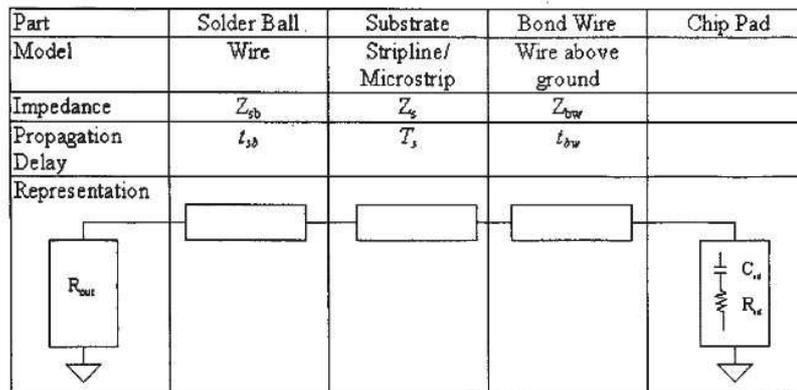
Conforme apresentado na Figura 3, as sete etapas possuem os seguintes objetivos:

- 1 Formação da esfera, através de uma descarga elétrica entre elétrodo e o fio de solda, na ponta do capilar;
- 2 Ajuste da esfera na ponta do capilar e posicionamento do mesmo na posição inicial de solda;
- 3 Momento em que ocorre a solda da esfera ao *bonding pad*. O capilar, guiando o fio com a esfera em sua extremidade, pressiona a esfera contra o *bonding pad*, enquanto aplica-se o aquecimento por condução, pois o substrato encontra-se sobre uma superfície aquecida. Ao mesmo tempo que é comprimido e aquecido, o equipamento aplica ultrassom no capilar. Conseqüentemente, ocorre a interdifusão, do metal do fio de solda para o *bonding pad*, devido à aplicação destas três grandezas (pressão, temperatura e ultrassom);
- 4 A ferramenta movimenta o capilar e inicia a composição do formato do laço até o segundo ponto de solda;
- 5 O laço forma-se de acordo com a movimentação do capilar. Pode-se variar o comprimento, o ângulo e a direção conforme o diagrama de solda do encapsulamento;
- 6 Novamente aplicam-se as três grandezas para que ocorra a solda do segundo ponto. Este tipo de solda diferencia-se do primeiro, pois não existe a esfera. O fio é quem sofre a pressão, temperatura e ultrassom, assim formando uma solda do tipo *stich*;

7 O Capilar se afasta da região da solda, puxando o fio através de uma ferramenta de restrição do comprimento do fio. Esta é comumente chamada de wire clamp.

As interconexões criadas no encapsulamento podem ser representadas por um modelo elétrico análogo à uma de linha de transmissão (CHEN et al., 2002a). Especificamente, para o encapsulamento do tipo BGAs, o modelo está representado na Figura 4. O modelo define-se pelas características elétricas das interconexões metálicas do componente encapsulado. Estas interfaces são compostas pelas esferas de solda, a placa de circuito impresso, os fios de solda e a conexão metálica no *die* ou *bonding pad*. Conseqüentemente, pode-se determinar que a qualidade e desempenho do produto depende destas interconexões metálicas e dos materiais utilizados (HARMAN, 2009).

Figura 4 – Modelo elétrico para um encapsulamento BGA



Fonte: (CHEN et al., 2002b)

Desta maneira, as características elétricas do circuito integrado são alteradas quando este é encapsulado. Os materiais utilizados no encapsulamento possuem características elétricas próprias e a representação da estrutura encapsulada pode ser descrita pelo modelo da Figura 4. As falhas elétricas decorrentes do processo de soldagem de fios mudarão em impedância e atraso de propagação do sinal em relação ao modelo original. Conseqüentemente, estas falhas afetam suas especificações de funcionamento e assim podem ser detectadas em um processo de teste elétrico. A característica da leitura elétrica pode indicar a localização da falha, baseada no mapeamento dos pontos de conexão do componente. Esta classificação deve ser considerada nas etapas iniciais de um fluxo de análise do tipo de falhas. Usualmente, a leitura elétrica dos pinos de interface do componente é realizada através de ferramentas como: *automatic test equipment* (ATE); osciloscópios, e; traçador de curva I-V (Nishi Yoshio; Doering Robert, 2008).

Conforme Lu (2005), os mecanismos de falhas, associadas ao processo de encapsulamento de semicondutores, podem ser classificadas como estruturais ou elétricos. Os mecanismos de falhas estruturais são caracterizados por alterações físicas de uma ou mais partes de um encapsulamento que podem ou não afetar o funcionamento dele. Estes danos podem inutilizar o

componente de imediato ou diminuïrem drasticamente a vida útil dele. Já falhas elétricas são caracterizadas pela alteração do funcionamento esperado do componente e são identificadas através de testes elétricos. A seguir são apresentados alguns exemplos destas subdivisões.

- Falhas Estruturais:

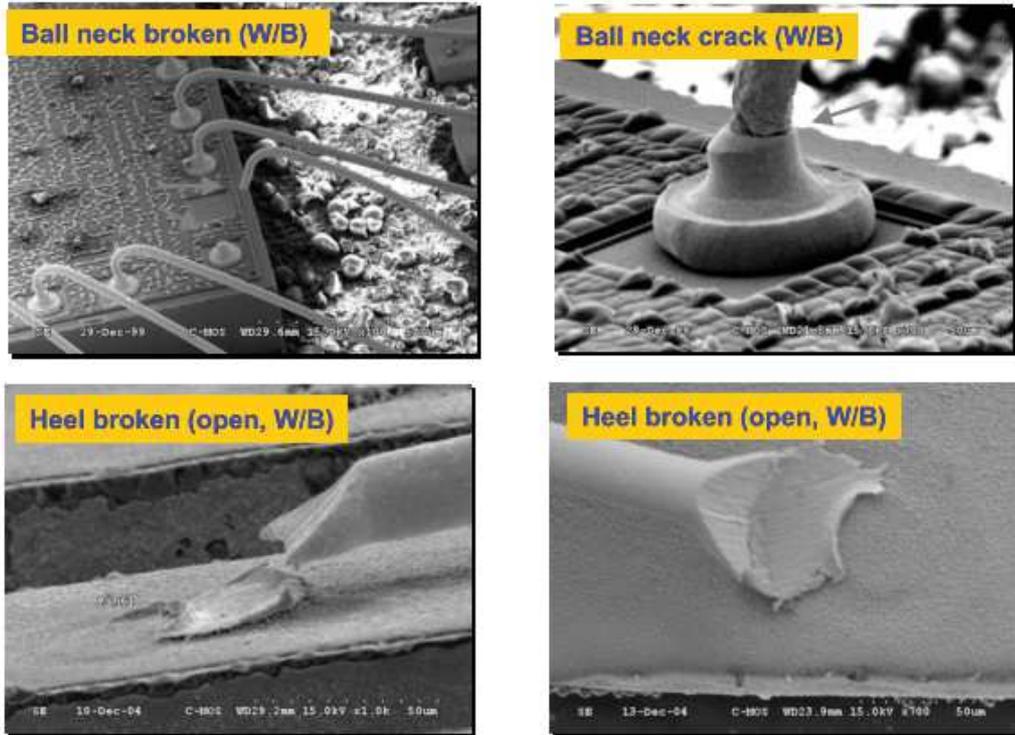
- *Popcorn*: defeito estrutural, no qual ocorre a quebra do encapsulamento devido a eliminação da umidade interna de forma rápida, ocorre durante os processos térmicos;
- Delaminação: neste defeito ocorre a separação física entre os materiais nas suas interfaces;
- Quebra do encapsulamento: defeito estrutural ocasionado por choque mecânico;
- Quebra do die: este defeito estrutural afeta o circuito elétrico;

- Falhas Elétricas:

- Circuito aberto: circuito com alta resistência elétrica que limita totalmente a circulação da corrente elétrica;
- Curto circuito: circuito com baixa resistência elétrica;
- Fuga de corrente: diferença no valor de corrente elétrica, causada pela alteração da impedância do circuito, medida em relação a especificação do componente;
- Falha funcional: característica de funcionamento diferente da especificada.

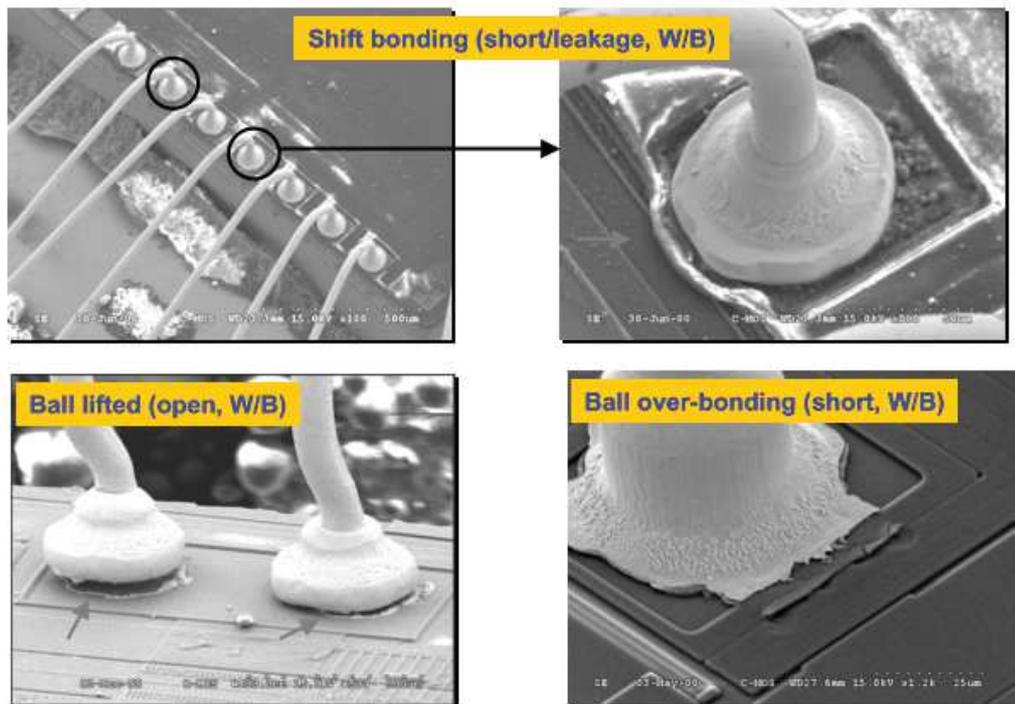
Nas Figuras 5 e 6, é possível verificar os modos de falhas típicos do processo de soldagem de fios do tipo *ball bond* (LU, 2005).

Figura 5 – Modos de falha do processo de Soldagem de Fios em encapsulamentos BGA.



Fonte: (LU, 2005)

Figura 6 – Modos de falha do processo de Soldagem de Fios em encapsulamentos BGA.



Fonte: (LU, 2005)

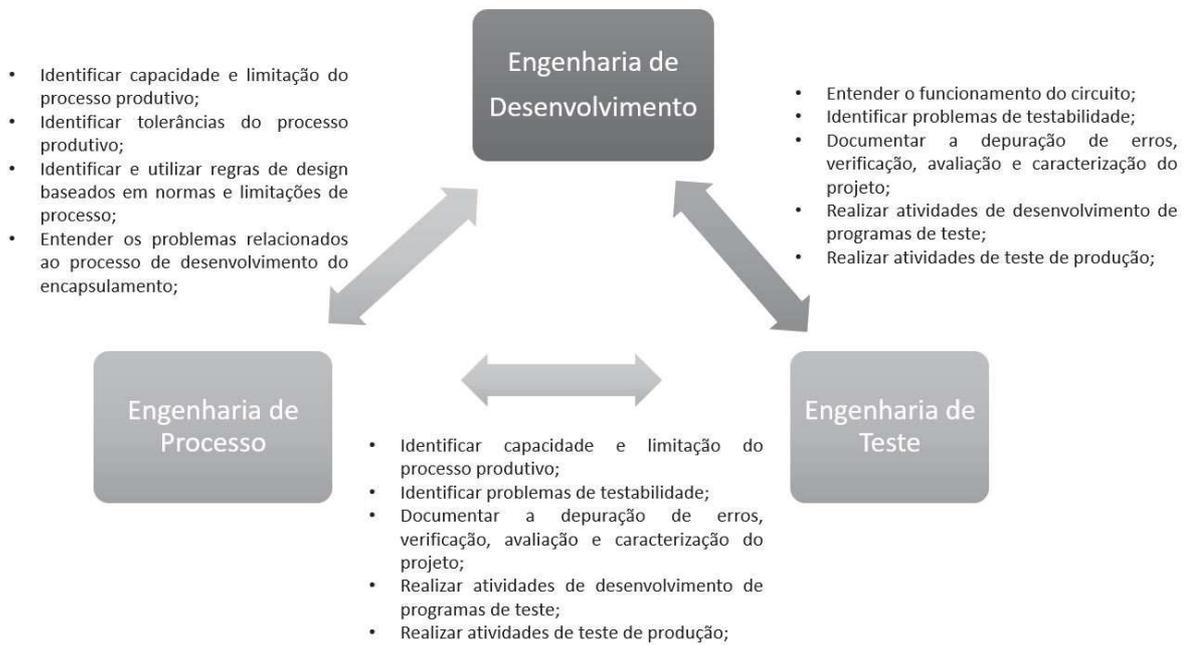
As características elétricas dos defeitos apresentados na Figura 5, podem ser classificadas como circuito aberto, curto circuito, aberto intermitente, assim como, pode apresentar variações de resistência elétrica conforme a qualidade da solda. Os modos de falha *ball neck broken*, *ball neck crack*, *heel broken* e fios danificados possuem uma assinatura de falha do tipo circuito aberto. Falhas do tipo curto entre fios, *shifted bonding*, *ball over-bonding* possuem uma assinatura de falhas do tipo curto-circuito. Enquanto as falhas que apresentam algum tipo de diferença na resistência elétrica relacionada a solda, como por exemplo contaminações, demonstram uma assinatura de falha do tipo fuga de corrente (Lawrence C. Wagner, 1999).

2.3 Processo de testes de semicondutores

Para o desenvolvimento de um circuito integrado são necessárias três etapas principais: *design*, fabricação e teste. O *design*, ou projeto de um circuito integrado, tem como objetivo transformar requisitos e especificações de funcionamento em circuitos elétricos, que atendam aos propósitos de funcionalidade e desempenho. Posteriormente, o *design* é validado através de extensivas simulações para garantir que as especificações sejam alcançadas. Desta maneira, é produzida a base de dados do projeto, *design rules*, para etapa de fabricação. A etapa de fabricação tem como objetivo a adequação das especificações do projeto às tolerâncias do processo produtivo e dos equipamentos associados. Portanto, esta etapa concretiza o projeto em um circuito integrado compatível às suas respectivas especificações de funcionamento e forma física. Por fim, a etapa de teste tem como objetivo verificar se o circuito integrado atinge à especificação de performance. Adicionalmente, por motivos de aperfeiçoamento do processo e redução de custos, também se executa rotinas de testes que detectam falhas do processo de fabricação (GROUT, 2005).

O autor Grout (2005) indica que o desenvolvimento e a especialização, da indústria de semicondutores, provocaram o desmembramento de empresas do tipo *IDM*, ou seja, empresas que realizam o projeto, a produção, o teste e a venda de circuitos integrados. Assim, as áreas de interesse (*Design Engineer*, *Test Engineer* e *Process Engineer*, possuem menor troca de informações sobre o desenvolvimento e aperfeiçoamento dos componentes. Por conseguinte, a desconexão resulta na maior possibilidade de falhas de processo de desenvolvimento e teste de componentes. A fim de obter-se altos níveis de performance e baixos custos na cadeia produtiva, recomenda-se que ocorra a troca de informações e colaboração entre as áreas de interesse apontadas. Entretanto, não é excluída a capacidade de se produzirem dispositivos sem o comum acordo entre as áreas, mas esta certamente não será a melhor condição em termos de qualidade, testabilidade e custos. A Figura 7 demonstra o fluxo de informações entre as três áreas de interesse.

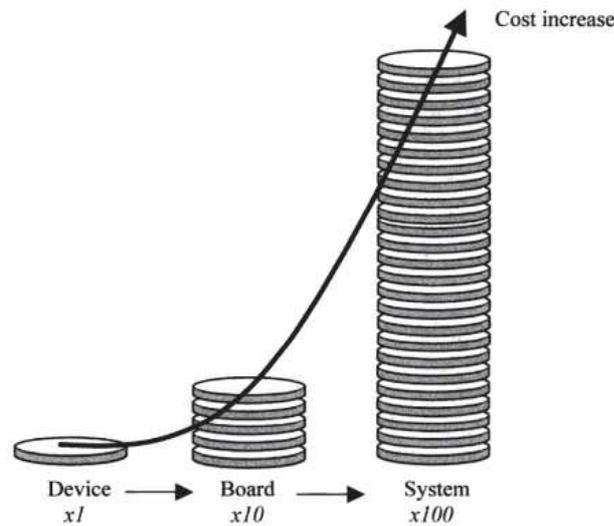
Figura 7 – A interação entre as três principais áreas da indústria de encapsulamento de semicondutores.



Fonte: Adaptado de (GROUT, 2005).

A execução do fluxo de testes durante as etapas produtivas, representa um aumento no custo e no tempo de atravessamento do produto na linha de produção. Porém, os custos associados à não detecção de falhas dos dispositivos representam ainda maiores prejuízos aos fabricantes. Conforme descrito por Grout (2005), a diferença entre encontrar uma falha de um dispositivo, antes que ele seja utilizado em um grande sistema ou plataforma, aumenta seguindo a “Regra de dez”. De forma que o custo de encontrar uma falha de um circuito integrado em uma placa de circuito impresso é dez vezes maior do que encontrar a falha no circuito integrado antes da integração. Portanto, o custo de encontrar uma em grande sistema, onde esta placa está instalada, custa dez vezes mais do que encontrar a falha na placa antes da integração e assim por diante. Consequentemente, se verifica o rápido crescimento do custo para identificação da falha, à medida que os componentes, módulos ou placas são integrados a plataformas de maior complexidade.

Figura 8 – A regra de 10 demonstra a taxa de aumento do custo.



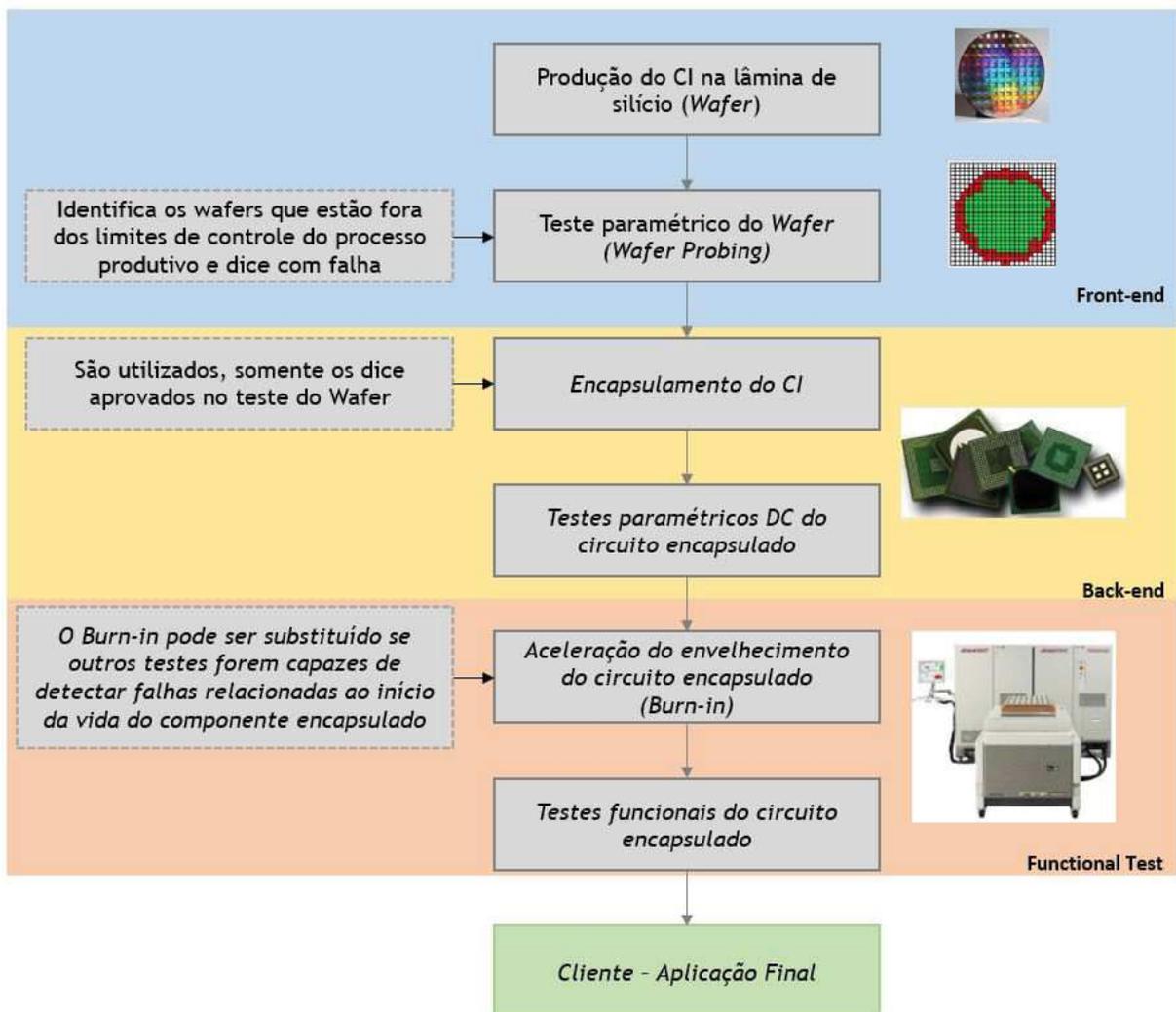
Fonte: (GROUT, 2005).

Ao longo da cadeia produtiva de circuitos integrados, nas etapas de *front-end* e *back-end*, existem diversos modos de falhas inerentes aos métodos produtivos. Portanto, torna-se necessário o uso de ferramentas de controle de processo e rigorosos procedimentos operacionais para a produção. A natureza dos defeitos é variável, seus efeitos podem ou não acarretar na perda total do componente. Desta maneira, são estipuladas tolerâncias de processo para que as anormalidades de processo sejam controladas em níveis toleráveis. A produção do *wafer* é extremamente delicada e decisiva para a qualidade e desempenho de um CI encapsulado. Portanto, nesta etapa é realizado um teste através dos *bonding pads* com auxílio de pontas de prova. Este teste é denominado por *wafer probing* (GROUT, 2005).

Após a fabricação do *wafer*, nas etapas do *front-end*, o processo de fabricação tem continuidade no *back-end*. Este é composto por diversos métodos que culminam no encapsulamento do circuito integrado, como descrito anteriormente. Da mesma forma, existem modos de falhas associados aos métodos produtivos, por isso, os controles do processo são similarmente rigorosos. Nestas etapas, ocorrem interações entre as matérias-primas de forma mecânica e elétrica (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

Após a conclusão das etapas de encapsulamento, os componentes são submetidos à fluxos de testes elétricos, de acordo com as restrições e especificações de funcionamento definidas no escopo do *design* de produto. Os testes realizados têm como objetivo detectar falhas grosseiras do processo de encapsulamento, defeitos característicos do início da vida útil de um circuito integrado e a verificação das especificações funcionais. Um exemplo de fluxo de teste, amplamente utilizado na indústria, é demonstrado na Figura 9 (GROUT, 2005).

Figura 9 – Exemplo de fluxo de teste. Este trabalho está focado nas etapas de "1st Level Package Test".



Fonte: (GROUT, 2005).

2.3.1 Caracterização elétrica

As falhas elétricas podem ser classificadas em três grupos: continuidade, paramétricas e falhas funcionais. As rotinas de testes são específicas para cada uma destas classes. Falhas de continuidade exigem medidas de curto circuito e circuito aberto. O padrão de teste para falhas paramétricas, é mais complexo de serem executados pois exigem mais medidas e condições do circuito em análise. Os resultados obtidos devem ser comparados com a especificação do produto (Lawrence C. Wagner, 1999).

O autor Lawrence C. Wagner (1999), menciona que normalmente as rotinas de teste executadas em uma linha de teste usual interrompem o teste quando encontram a primeira falha com objetivo de otimizar o tempo desta tarefa. Desta maneira, a análise do resultado de teste fica comprometida. Para que a falha seja isolada e identificada é necessário realizar o fluxo de teste completo. Em posse dos resultados a análise deve ser realizada em comparação com o

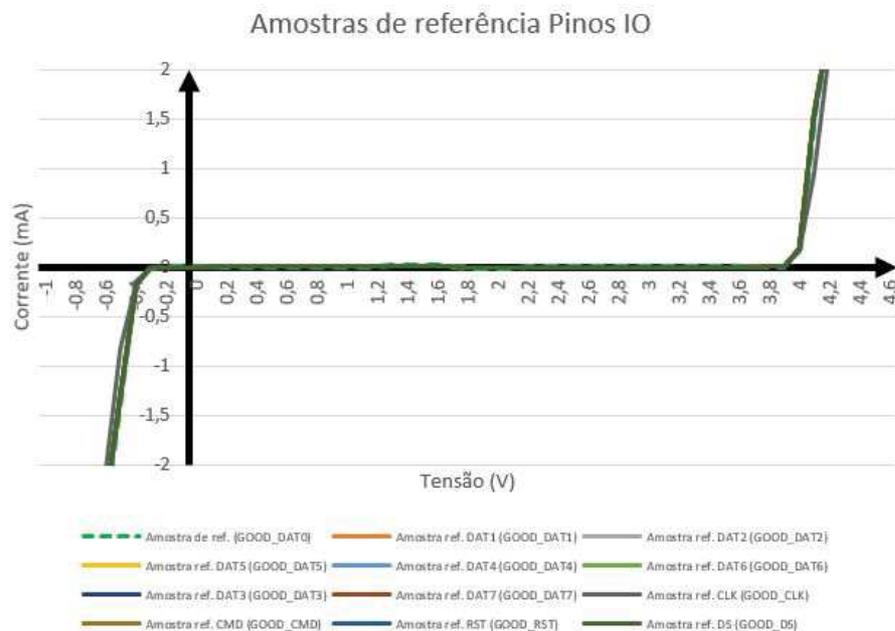
histórico de falhas do produto de maneira a identificar comportamentos similares, assim como as assinaturas de falhas. O autor também menciona a dificuldade de isolar a falha, pois em muitos casos ela pode provocar uma série de outras falhas relacionadas.

2.3.1.1 Aquisição e interpretação de curvas I-V

Os traçadores de curva foram originalmente concebidos para executarem testes em diodos e transistores, pois, são uma pictórica representação das características da tensão pela corrente elétrica. Através desta representação é possível caracterizar a não linearidade de elementos semicondutores, os quais são elementos ativos que desempenham funções não lineares em um circuito. Portanto, uma medida pontual é inadequada para representar estas funções. A representação por curvas I-V também pode ser aplicada a elementos passivos como resistores ou a presença de curto-circuito e circuito aberto (PATTERSON, 1978).

Através da análise de curvas I-V é possível obter informações que indicam a natureza do mecanismo de falha, diferentemente do teste funcional, que oferece informações sobre o modo de falha. Portanto, a interpretação das curvas I-V pode auxiliar na tomada de decisão para análises subsequentes, do método de análise de falhas, o que aumenta a probabilidade do isolamento e identificação do mecanismo de falha (PATTERSON, 1978).

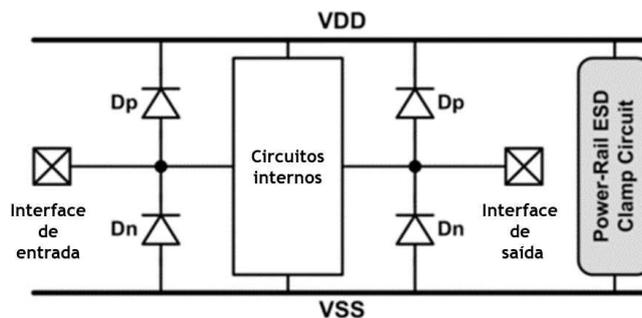
Figura 10 – Curva I-V típica de pinos de comunicação.



A curva I-V, adquirida de uma interface de entrada de um circuito integrado, possui elementos diretamente relacionados ao comportamento elétrico de um circuito de proteção contra ESD (*electrostatic discharge*) (GONG et al., 2009), como pode ser observado na Figura 21. Este tipo de circuito é utilizado nas interfaces de IC (*integrated circuit*) para a proteção elétrica durante

todo seu período vida, deste a fabricação até o uso final. O tipo de circuito comumente utilizado está demonstrado na Figura 11 (CHANG, 2014).

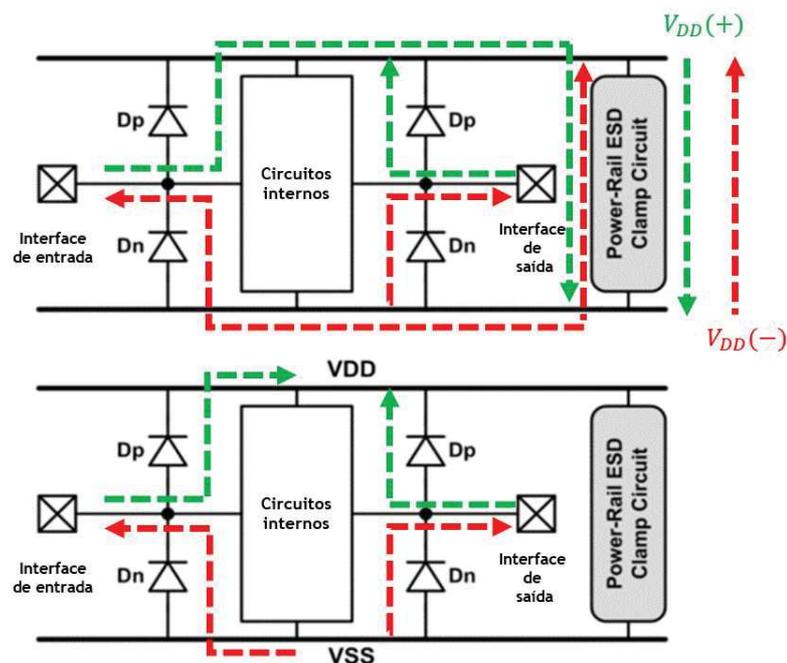
Figura 11 – Circuito de proteção ESD.



Fonte: (CHANG, 2014)

O circuito de proteção ESD fornece dois caminhos para a corrente elétrica, quando são realizados testes nas interfaces (IO). Um deles ocorre através do ramo de alimentação (VDD) e o outro através da referência (VSS), como é demonstrado na Figura 12. Paralelamente, o circuito de estabilização da alimentação, referido como *Power-Rail ESD Clamp Circuit*, fornece caminho para descargas eletrostáticas do ramo de alimentação (VDD) para o ramo de referência (VSS). Os circuitos de proteção ESD são projetados para não interferirem no funcionamento normal do circuito (CHANG, 2014).

Figura 12 – Testes nas IO e o comportamento da corrente elétrica .



Fonte: (CHANG, 2014)

2.3.2 Testes paramétricos

O teste paramétrico em circuitos encapsulados, pode ser definido por medidas elétricas, o qual resulta a caracterização de quatro elementos básicos: transistores, capacitores, resistores e diodos. A maior parte dos tipos de testes paramétricos envolve a medida de corrente versus tensão ou capacitância versus tensão (Alan Wadsworth, 2018).

O teste paramétrico, aplicado nesta dissertação, realizou uma comparação entre amostras, onde utilizou-se medidas elétricas paramétricas de interesse e as especificações do produto. A utilização destas leituras possibilitou a identificação de falhas e suas respectivas assinaturas paramétricas. Desta maneira, foi possível identificar graficamente, através das curvas I-V, características das falhas do processo de soldagem de fios.

No processo de encapsulamento de semicondutores, o *yield* do teste paramétrico é determinado por fatores do desenvolvimento do encapsulamento e as características do processo. Nas primeiras etapas do desenvolvimento, esta relação é observada com maior clareza, pois as falhas são predominantemente paramétricas ou sistemáticas. Por exemplo, defeitos resultantes de falhas estruturais, as quais podem ter sido causadas tanto por falhas do processo de execução quanto por um *design* incompatível com o método produtivo. Comparado às falhas funcionais, ela é de fácil detecção e correção (VEENDRICK, 2008).

Apesar de não ser objetivo desta dissertação, outras definições para medidas paramétricas também foram encontradas na bibliografia para etapas de prototipagem e ensaios de confiabilidade. Alan Wadsworth (2018) menciona que a principal aplicação das medidas paramétricas servem para avaliar a confiabilidade de produto. Neste tipo de ensaios, os dispositivos são expostos à condições de operação que extrapolam as especificações. Desta maneira, os mecanismos de falha podem ser observados, pois a energia de ativação necessária para o estado de falha é reduzida.

A extração das medidas paramétricas durante o desenvolvimento de um componente, tem como propósito determinar as características da fabricação dos circuitos integrados. Este tipo de ensaio caracteriza o fluxo produtivo e realimenta as regras de desenvolvimento do encapsulamento (Alan Wadsworth, 2018). Desta maneira, o projeto utilizará as técnicas para a obtenção de dados sobre as falhas causadas durante o processo de encapsulamento de semicondutores.

Considerando-se os testes paramétricos aplicados ao fluxo produtivo, Jialin Ding (2015) descreve as seguintes etapas:

1. Teste de contato (curto ou aberto);
2. Teste de fuga de corrente de entrada (IIL, IIH);
3. Teste de tensão de entrada (VIL, VIH);
4. Teste de tensão de saída (VOL, VOH);

5. Teste de consumo de potência (operação, stand-by);
6. Teste de operação sob variações da fonte de alimentação.

2.3.3 Teste de Contato

Este teste verifica se as conexões apresentam característica de circuito aberto ou curto-circuito. Este tipo de teste também é conhecido como teste de continuidade. Durante o teste, o dispositivo é submetido a uma corrente fixa conhecida, e então mede-se a tensão nos respectivos pinos em relação ao terra do circuito. O valor mensurado é comparado com os valores específicos estipulados para o dispositivo. Se os mesmos estiverem dentro da faixa aceitável, o teste é considerado bem sucedido. Este tipo de teste é o primeiro a ser executado devido a sua relativa facilidade e rapidez, o que diminui consideravelmente o tempo de teste total, pelo fato de que as falhas grosseiras serão eliminadas antes da execução de testes mais demorados (Jialin Ding, 2015). A rotina de teste de contato segue a seguinte ordem:

1. Aplicar 0 V em todos pinos de alimentação;
2. Aplicar 0 V em todos pinos de sinais;
3. Aplicar corrente direta nos pinos de sinais de interesse;
4. Medir a queda de tensão no pino de interesse;
5. Repetir os passos 3 e 4 até que todos os pinos sejam verificados;
6. Verificar os valores especificados para curto-circuito, circuito aberto e comparar com os resultados obtidos;

2.3.4 Teste de fuga de corrente de entrada

A verificação da corrente de fuga de entrada, a qual é realizada após o teste de contato, baseia-se na medida de corrente da fonte de tensão aplicada aos pinos de entrada. Desta maneira, verifica-se se a corrente medida está coerente com a especificação do produto. Considerando um pino ideal, a resistência de entrada é infinita e, portanto, não se deve observar corrente elétrica na fonte de alimentação deste acima do especificado. Assim, a medida de resistência dos pinos *VDD* e *GND* podem apresentar defeitos. Valores altos de corrente de fuga indicam defeitos de fabricação, por exemplo danos causados por descargas eletrostáticas, o que, também, pode estar relacionado aos caminhos de baixa impedância, como curto-circuito (Jialin Ding, 2015).

A verificação da corrente de fuga é classificada em *IIIH* (*Input Current Low*) e *IIIL* (*Input Current High*). Quando realizado o teste do tipo *IIIH*, aplica-se a tensão igual a alimentação, *VDD*, no pino de interesse. Os restantes dos pinos de entrada são ligados à referência do circuito, *GND*. Os pinos de saída são deixados em aberto. O teste de *IIIL* é similar, porém os níveis de tensão dos pinos são contrários.

Teste IIIH

1. Definir a máxima tensão do circuito, *VDD*, no pino a ser verificado;
2. Definir a tensão de referência, *GND*, aos outros pinos de entrada;
3. Definir todos os pinos de saída abertos;
4. Aplicar a máxima tensão do circuito, *VDD*, no pino a ser verificado;
5. Aguardar o tempo necessário conforme as definições do circuito;
6. Medir a corrente no pino de interesse;
7. Verificar os valores medidos estão de acordos com limites especificados;

Teste IIII

1. Definir a tensão de referência, *GND*, no pino a ser verificado;
2. Definir a máxima tensão do circuito, *VDD*, aos outros pinos de entrada;
3. Definir todos os pinos de saída abertos;
4. Aplicar a mesma tensão que a referência do circuito, *GND*, no pino a ser verificado;
5. Aguardar o tempo necessário conforme as definições do circuito;
6. Medir a corrente no pino de interesse;
7. Verificar os valores medidos estão de acordos com limites especificados;

2.3.5 Teste tensão de entrada

Este tipo de teste tem como objetivo verificar os valores de tensão de entrada, em que o dispositivo opera, e compará-los com a especificação do mesmo. Normalmente, são aplicados valores de tensão próximos a tensão de nível lógico alto (*VIH*) e, também a tensão de nível lógico baixo (*VIL*). O teste pode ser realizado de forma recursiva até encontrar os valores marginais máximo e mínimo. Uma outra abordagem, refere-se a realização do teste da maneira "PASSA/NÃO PASSA", com apenas um valor acima ou abaixo do especificado. (Jialin Ding, 2015).

2.3.6 Teste de tensão de saída

Este teste tem como objetivo verificar se a tensão de nível lógico alto (*VOH*) e baixo (*VOL*) de saída excedem os valores especificados quando aplica-se uma carga cuja característica também é especificada. O teste possui uma abordagem similar ao teste de tensão de entrada. (Jialin Ding, 2015).

2.3.7 Teste Corrente Idd

Este teste consiste na medida da resistência entre os terminais *VDD* e *GND* do dispositivo sob teste. Normalmente é realizado após o teste de contato. Dispositivos que falham neste teste devem ser rejeitados e não seguir no fluxo, pois o DUT (*device under test*) defeituosos podem ocasionar sobrecorrente durante o teste funcional, o que afeta a fonte do testador e a confiabilidade do resultado (Jialin Ding, 2015). A sequência de teste recomendada por (Jialin Ding, 2015) é:

1. Determinar a tensão de alimentação nos pinos de alimentação;
2. Determinar a condição dos sinais de entrada;
3. Determinar todos pinos de entrada em 0 volts;
4. Determinar que os pinos de saída fiquem em estado aberto;
5. Configurar a medida de corrente da fonte de alimentação;
6. Medir o valor de corrente no pino de alimentação de interesse;
7. Comparar resultados da medida de corrente Idd com o especificado para o DUT;

2.3.8 Teste de consumo em *Stand-by*

Este teste mede a corrente *Idd* quando o DUT não está em uso. Este tipo de teste é amplamente aplicado em dispositivos que requerem baixo consumo de energia. O autor Jialin Ding (2015), define a ordem deste teste como:

1. Aplicar tensão de alimentação nos pinos de alimentação;
2. Determinar os níveis dos sinais de entrada;
3. Determinar a condição dos sinais de saída;
4. Determinar a condição de temporização dos sinais de entrada;
5. Configurar os sinais de *trigger* e os padrões de teste;
6. Executar o padrão de teste e deixar DUT em modo de *stand-by*;
7. Definir os relés dos mapas de pinos de saída como abertos;
8. Comparar resultados da medida de corrente Idd com o especificado para o DUT;

2.3.9 Teste de operação sob variações da fonte de alimentação

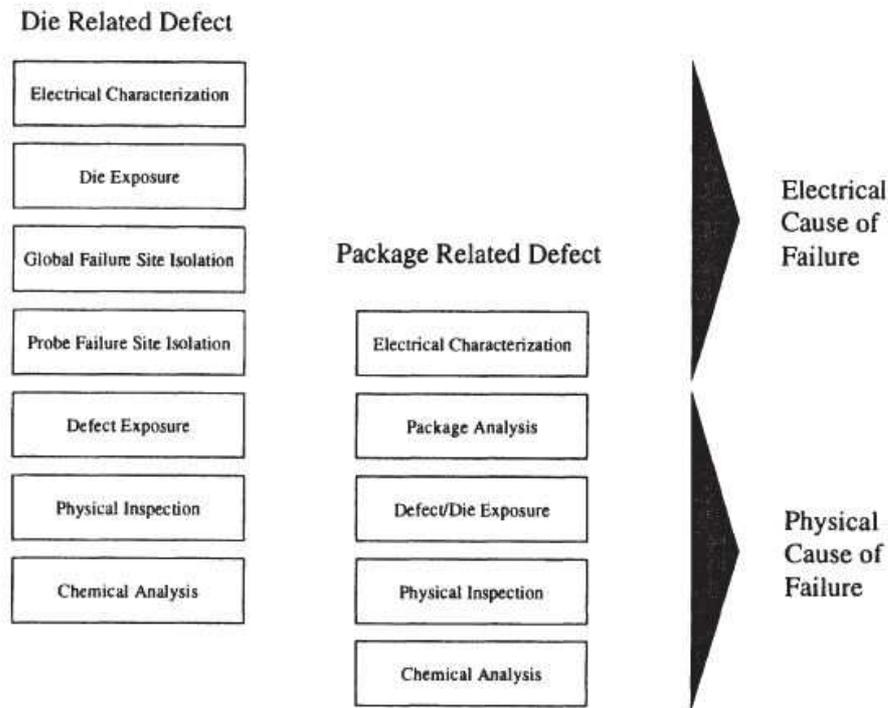
A condição de operação do DUT é verificada enquanto ocorrem perturbações no circuito de alimentação do DUT. O autor Jialin Ding (2015) define a ordem deste teste como:

1. Aplicar tensão de alimentação nos pinos de alimentação;
2. Determinar um sinal de entrada;
3. Determinar a condição da carga;
4. Determinar a temporização dos sinais;
5. Executar o padrão de teste;
6. Realizar perturbações na alimentação do DUT durante a execução do padrão de teste;
7. Comparar resultados na saída com o especificado;

2.4 Análise de Falhas

A análise de falha é definida como o processo que tem como objetivo determinar a causa raiz de uma falha. Na indústria de circuitos integrados este termo se refere aos diversos tipos de atividades que têm como objetivo encontrar a causa raiz de uma falha. Conseqüentemente, a execução deste processo, aumenta a probabilidade de obter-se melhores resultado de rendimento produtivo, qualidade e confiabilidade. O autor menciona que a análise elétrica da falha contribui para definir os próximos passos no fluxo de análise de falhas e que o resultado encontrado auxilia a direcionar a correta análise física da falha. Na Figura 13 está definido um método de análise de falhas através da aplicação de um fluxo de análise de falhas. Esta dissertação aplica-se as indústria de encapsulamento de semicondutores (Lawrence C. Wagner, 1999).

Figura 13 – Fluxo de análise de falhas.



Fonte: (Lawrence C. Wagner, 1999)

Na literatura existem diversos fluxos propostos, como por exemplo, em Cason e Estrada (2011), os autores propõem um fluxo utilizando técnicas de tomografia computadorizada (μ CT) através da aplicação de raios-x na amostra, como pode-se verificar na Figura 14.

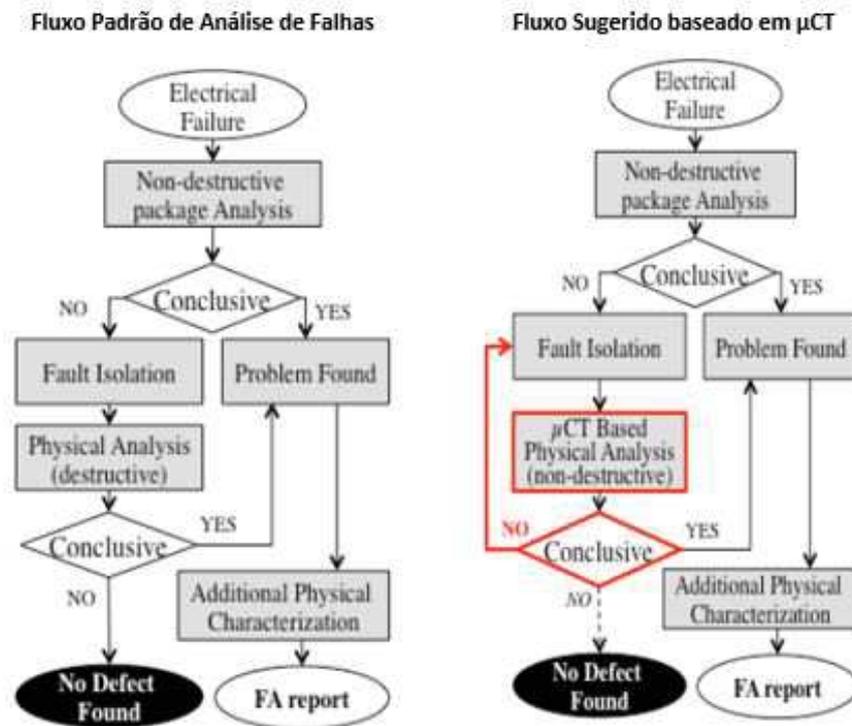
Outras técnicas não destrutivas que são comumente utilizadas são: inspeção visual, microscopia acústica, microscopia de varredura eletrônica, etc. Se estas etapas de inspeção forem inconclusivas pode-se realizar a técnica de *Time Domain Reflectometry* (TDR) que consiste em determinar as características dos condutores elétricos empregados nos circuitos por observação das formas de ondas refletidas nos mesmos. Se um pulso elétrico for aplicado em uma linha de transmissão é possível descobrir a impedância refletida através do tempo que este pulso leva para retornar a fonte emissora. Esta medida de distância aliada ao conhecimento da configuração física do circuito pode, por exemplo, indicar a posição aproximada do circuito aberto (CASON; ESTRADA, 2011).

Os autores mencionam que as etapas seguintes no fluxo seriam as técnicas destrutivas como: a remoção das resinas epóxi com ácido ou laser, corte transversal, *FocusIB*, etc.

A ferramenta de aquisição de medidas paramétricas desenvolvida nesta dissertação pode ser aplicada no ponto inicial do fluxo descrito na Figura 14 em "*Electrical Failure*", pois fornece dados sobre a falha elétrica e relaciona a mesma a um ou mais pinos. Estas informações são importantes para o direcionamento correto da análise da respectiva falha. Desta maneira, o

isolamento da falha pode ser realizado de maneira mais rápida e precisa.

Figura 14 – Fluxos de Análise Falha.



Fonte: Adaptado de Cason e Estrada (2011)

2.5 Trabalhos similares e estado da Arte

Durante a pesquisa realizada para a elaboração desta dissertação não foram encontrados trabalhos que possuam o mesmo objetivo do proposto. Porém, os assuntos abordados por outros autores são similares, especialmente os relacionados aos testes paramétricos e à análise física de falhas. Entretanto, nenhum classificou as assinaturas de falhas paramétricas provenientes do processo de soldagem de fios.

Na dissertação de mestrado do autor Jialin Ding (2015), é descrito o processo de caracterização de falhas e fluxos de testes utilizados na indústria, que teve como principal objetivo a identificação de falhas do processo para que ações corretivas fossem executadas com rapidez e desta maneira, o custo produtivo diminuísse. Neste trabalho foram descritos os tipos de testes utilizados e foram desenvolvidas rotinas de teste em um testador ADVANTEST T2000.

Na obra de Lawrence C. Wagner (1999), encontra-se estudos de diversos autores sobre a análise de falhas de circuitos integrados que são utilizados na cadeia produtiva desde a fabricação do *wafer* até a aplicação de testes após encapsulamento. Nela são abordadas técnicas e ferramentas utilizadas para este processo. A caracterização elétrica de falhas é descrita, para a qual são apresentadas técnicas para análise de curva de corrente por tensão, falhas elétricas

que dependem de um estado funcional específico, falhas funcionais em memórias e problemas encontrados nestes tipos de testes. Outro aspecto importante e referência bibliográfica para esta dissertação refere-se à descrição da análise física de falhas apresentada por Lawrence C. Wagner (1999).

O livro do autor Nishi Yoshio e Doering Robert (2008), abrange as tecnologias utilizadas na indústria de semicondutores e seus processos, materiais e equipamentos envolvidos. Esta obra aborda, entre outros assuntos, o processo de encapsulamento de semicondutores, análise e caracterização de falhas.

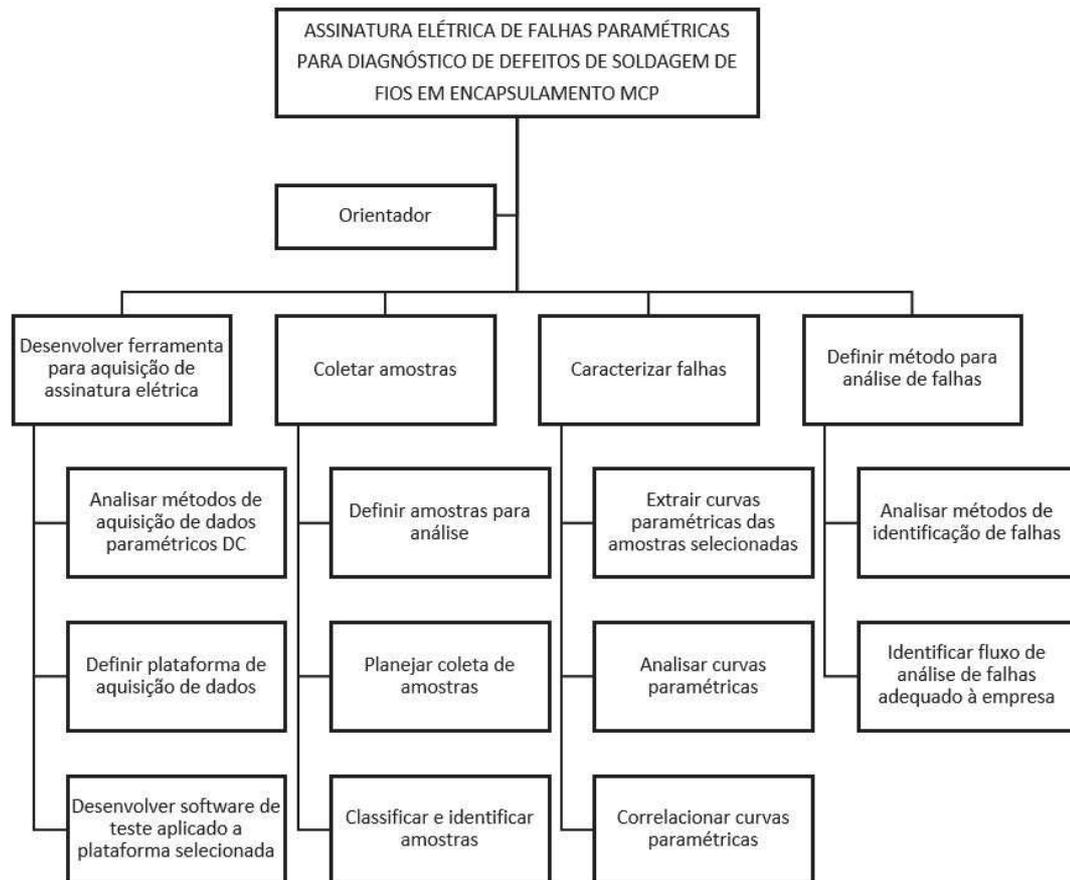
O autor Cason e Estrada (2011), descreve a análise não destrutiva de dispositivos encapsulados utilizando técnicas de micro tomografia computadorizada, denominada "*MicroCT*", no qual aborda como esta técnica contribui de maneira complementar no fluxo de análise de falhas. O autor descreve o fluxo usual de análise de falhas e propõe a sua alteração com a introdução do "*MicroCT*". Apresenta exemplos da aplicação da análise por raios-x e reflectometria no domínio do tempo afim de localizar e isolar as falhas observadas em testes elétricos. O "*MicroCT*" possibilita a reconstrução de imagens em três dimensões das áreas analisadas, bem como o corte transversal virtual das mesmas. Antes disto, estas análises só eram possíveis através de inspeções destrutivas como desencapsulamento químico e corte transversal. Desta maneira a análise é mais rápida e oferece a possibilidade de a amostra ser inspecionada ou testada novamente, pois não são alteradas suas características físicas ou elétricas.

3 MATERIAIS, FERRAMENTAS E MÉTODOS

3.1 Proposta de pesquisa

A pesquisa foi dividida em quatro entregas maiores as quais foram: o desenvolvimento da ferramenta para aquisição de assinaturas elétricas, a coleta de amostras para os testes, a caracterização das falhas e a definição do método que seria utilizado na análise das falhas. Estas atividades foram subdivididas em outras atividades menores, desta maneira formando a estrutura analítica do projeto desenvolvido. A Figura 15 representa a estrutura analítica do projeto com as principais entregas e respectivos desdobramentos em atividades menores.

Figura 15 – Estrutura Analítica do Projeto de Pesquisa.



Fonte: Elaborado pelo autor

3.2 Desenvolvimento da ferramenta para aquisição de assinaturas elétricas

A decisão sobre a plataforma para aquisição das assinatura elétrica das amostras, foi tomada levando em consideração os equipamentos disponíveis na empresa HT Micron e no itt CHIP. No ano de 2017, o itt CHIP, montou um laboratório de teste avançado em memórias *NAND Flash*, que tem como objetivo o desenvolvimento de pesquisas e auxílio à indústria nacional. Um dos recursos mais importantes deste laboratório, que está localizado nas dependências na empresa HT Micron Semicondutores, é um testador de memória de alto desempenho, que tem capacidade para executar rotinas de testes em memórias *Nand Flash* e DRAM. O equipamento, do fabricante Teradyne, é do modelo Magnum V. A Figura 16 mostra imagens do equipamento utilizado. Outro fator importante para a decisão de usar este equipamento, como plataforma para o desenvolvimento desta dissertação, deu-se pelo fato de já existir um ferramental adequado para o componente estudado.

Figura 16 – Laboratório de teste elétrico do itt CHIP.

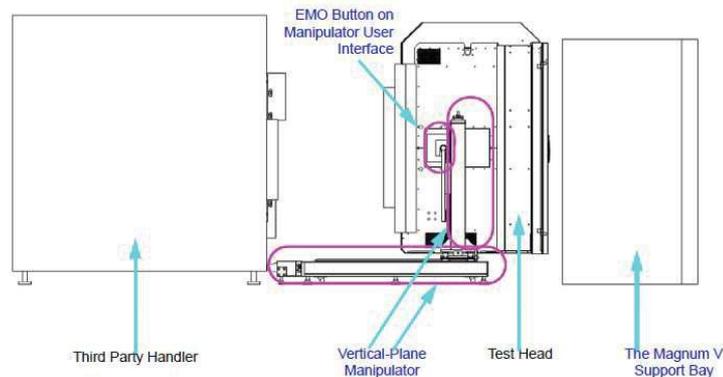


Fonte: Elaborado pelo autor

Este equipamento é composto por unidade testadora e outra para movimentação automática de peças em teste. A unidade testadora pode ser dividida em quatro grandes partes: "*Test Head*", "*TIU*", "*Vertical Plane Manipulator*" e "*Support Bay*". O "*Support Bay*" é onde estão localizados o computador principal, *switch ethernet*, central de distribuição de energia e central de refrigeração. Já o "*Vertical Plane Manipulator*" é responsável pela fixação mecânica e movimentação do "*Test Head*". Este é composto por placas auxiliares de fontes de energia, e placas de interface com a "*TIU*". Por final, o "*TIU*" é a terminação do circuito do testador e a interface com as unidades a serem testadas. No "*TIU*" é inserido o ferramental para o produto em específico, este é chamado de "*DSA*". O equipamento responsável pela movimentação automática

de peças não foi utilizado durante este trabalho, este é destinado a teste de grande quantidade de peças. A estrutura do equipamento pode ser observada na Figura 17.

Figura 17 – Desenho do equipamento Magnum V e suas partes.



Fonte: Magnum V Maintenance Manual

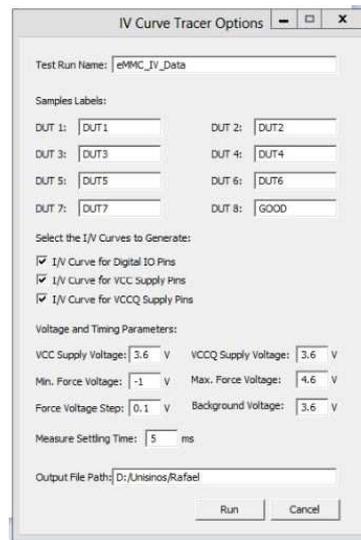
3.2.1 Programa de aquisição das assinaturas elétricas

Foi desenvolvido um programa de aquisição da assinatura elétrica dos pinos da interface do componente pela aplicação de tensão elétrica em alguns pinos de interesse das amostras e a respectiva medida de corrente elétrica. O teste executa sucessivas medidas de corrente elétrica à medida que aplica valores crescentes de tensão elétrica. Os resultados são registrados em tabelas de maneira que ao fim de sua execução é possível gerar curvas do tipo tensão por corrente, ou curvas I-V. A ferramenta foi desenvolvida considerando a aquisição de dados através do teste manual, portanto, não foi utilizado o manipulador automático de peças. Desta maneira, apenas um *site*, composto por oito soquetes, é utilizado.

3.2.1.1 Interface do usuário

A fim de facilitar o uso do programa de teste criado, elaborou-se uma interface gráfica, representada na Figura 18, na qual é possível parametrizar as principais variáveis para geração das curvas I-V das amostras.

Figura 18 – Interface de usuário.



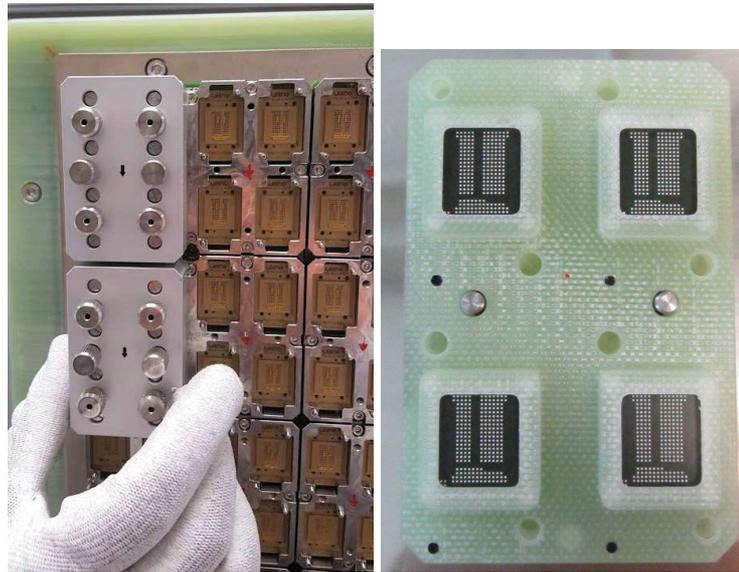
Fonte: Elaborado pelo autor

Através da interface representada na Figura 18 pode-se criar identificadores para os dados adquiridos, bem como, identificar as oito amostras em análise. Também é possível selecionar quais são os pinos de interesse para a curva I-V. Através da interface, é possível configurar os parâmetros da curva e a amostragem da aquisição de dados.

3.2.1.2 Aquisição das leituras elétricas

Os ensaios para a aquisição das assinaturas elétricas foram realizados nas amostras de interesse de maneira manual, isto é, não foi utilizado o recurso do manipulador de peças automático. Assim, foi possível maior controle na execução dos ensaios, por outro lado, dispendeu-se muito tempo manuseando as amostras. A Figura 19 demonstra o uso do ferramental para a execução manual. Cada ferramenta desta possibilita a execução de testes em quatro amostras.

Figura 19 – Utilização da ferramenta para execução manual.

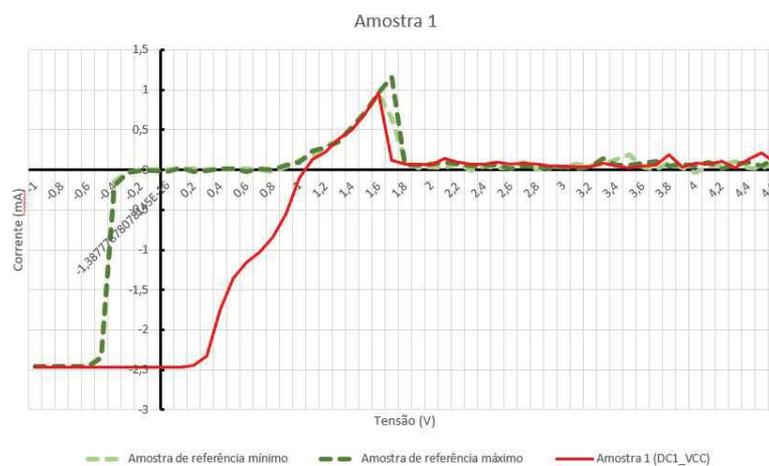


Fonte: Elaborado pelo autor.

3.2.1.3 Resultado dos ensaios

O resultado da aquisição de dados foi composto por leituras elétricas pontuais. Cada uma possui duas dimensões, as quais são: tensão e correntes elétrica. Para apresentar os dados utilizou-se de tabelas, as quais podem ser acessadas através do *Microsoft Excel*. Desta maneira as curvas de corrente em função da tensão elétrica foram facilmente obtidas como pode-se verificar na Figura 20.

Figura 20 – Curva I/V Amostra 1.



Fonte: Elaborado pelo autor

A análise elétrica realizou-se nos pinos de dados e de controle do dispositivo eMMC. A nomenclatura dos mesmos são: DAT0, DAT1, DAT2, DAT3, DAT4, DAT5, DAT6, DAT7, CLK, RST, CMD, DS.

3.3 Seleção de amostras para testes

O componente analisado neste projeto foi um sistema composto por memórias do tipo volátil (LPDRAM) e não volátil (eMMC). Este tipo de encapsulamento se aplica a dispositivos móveis, como *smartphones*, para o qual é necessário a redução do tamanho ocupado. O encapsulamento utiliza o tipo 221 FBGA eMCP, ou seja, um "*embedded multi chip package*". O grupo de amostras era composto por componentes produzidos na empresa HT Micron.

Para análise das falhas adotou-se o princípio de comparação com unidades que apresentavam resultados dentro dos limites toleráveis para os testes DC Paramétricos na linha de produção normal. Portanto, foram selecionadas peças aprovadas e reprovadas para serem analisadas com o *software* desenvolvido.

O grupo de amostras de referência, ou seja, componentes que possuíam medidas paramétricas conforme a especificação, foi composto por cento e sessenta (160) unidades aprovadas na etapa de testes DC paramétricos e reprovadas em etapas posteriores do fluxo produtivo, que não impactavam o resultado da análise. Faziam parte deste grupo, unidades que foram rejeitadas como falhas funcionais (não paramétricas), falhas de desempenho ou defeitos visuais.

Para análise dos efeitos das falhas de soldagem de fios do dispositivo eMMC, foram coletadas duzentas (200) unidades que foram rejeitadas na etapa de teste DC paramétrico do eMMC. Além deste teste, o mesmo dispositivo foi submetido às rotinas de testes paramétricos DC no circuito de memória volátil (LPDRAM).

Durante o processo de coleta de dados, foi possível observar que existem casos que apresentam uma quantidade de falhas acima da média histórica da empresa. Pode-se verificar, que estes casos estavam relacionados à falhas operacionais ou à parametrização incorreta do equipamento que executa a soldagem de fios. As falhas operacionais se demonstraram como eventos pontuais e a quantidade de unidades afetadas possuía relação com o fluxo de processos do produto. Entretanto, as falhas relacionadas à parametrização da receita do equipamento afetaram grandes quantidades, quando comparadas às falhas operacionais. Consequentemente, estas representaram maior relação com a queda do rendimento do processo.

As amostras analisadas, foram ser classificadas em três grupos:

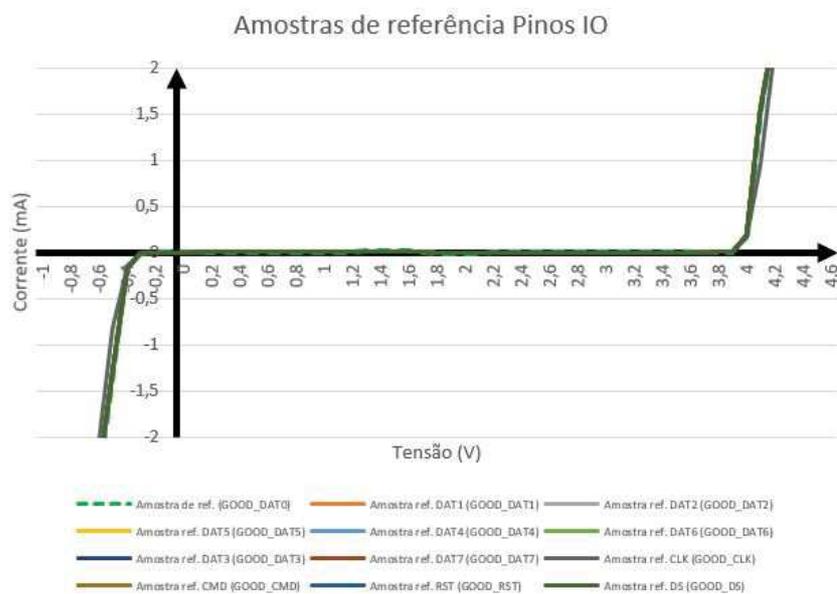
1. Unidades boas, que estavam dentro dos critérios de aceitação do teste DC Paramétrico empregado no fluxo normal de produção;
2. Unidades com falha no teste DC Paramétrico do dispositivo eMMC;
3. Unidades que apresentaram falha no teste DC paramétrico e tiveram causa diretamente relacionada aos defeitos do processo de soldagem de fios.

3.3.1 Amostras de Referência

As amostras de referência ou comumente chamadas de "*Golden Samples*", foram compostas por unidades que passaram por todo o fluxo normal de testes da linha de produção. Este grupo de amostras era composto por rejeitos funcionais e de marcação de topo. Portanto, não apresentaram resultados insatisfatórios nos testes DC paramétricos do fluxo normal. As amostras foram submetidas à caracterização I-V pelo método desenvolvido nesta dissertação e as mesmas apresentaram o comportamento esperado para o modelo elétrico dos pinos caracterizados.

Analisando-se os resultados obtidos para os pinos de interface (IO), para a alimentação dos pinos da interface (VCCQ) e na alimentação do circuito (VCC) verificou-se que o comportamento das curvas I-V foram bastante similares, conforme mostrado nas Figuras 21, 22 e 23.

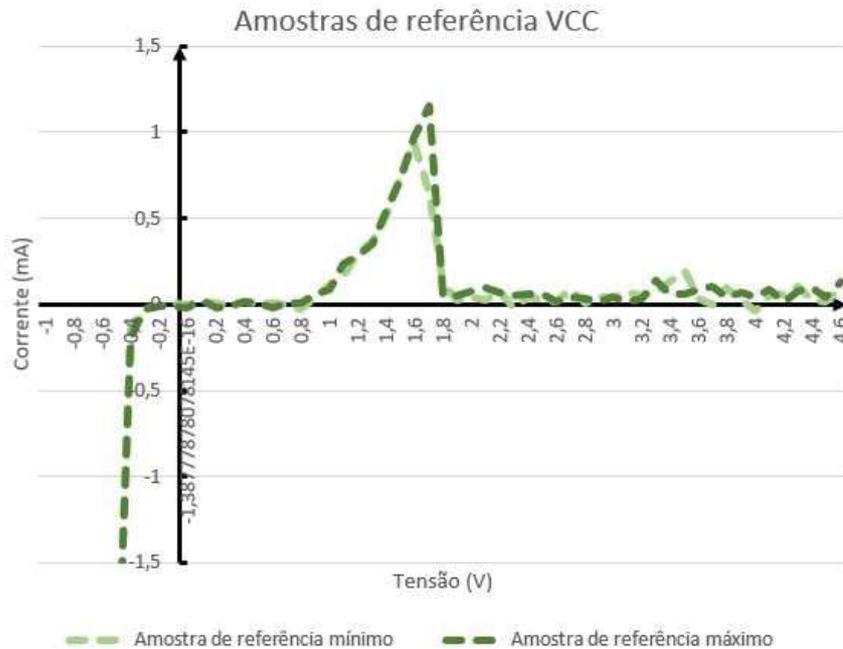
Figura 21 – Valores máximos e mínimos de corrente lidos no pino DAT0 para o conjunto de amostras de referência.



Fonte: Elaborado pelo autor

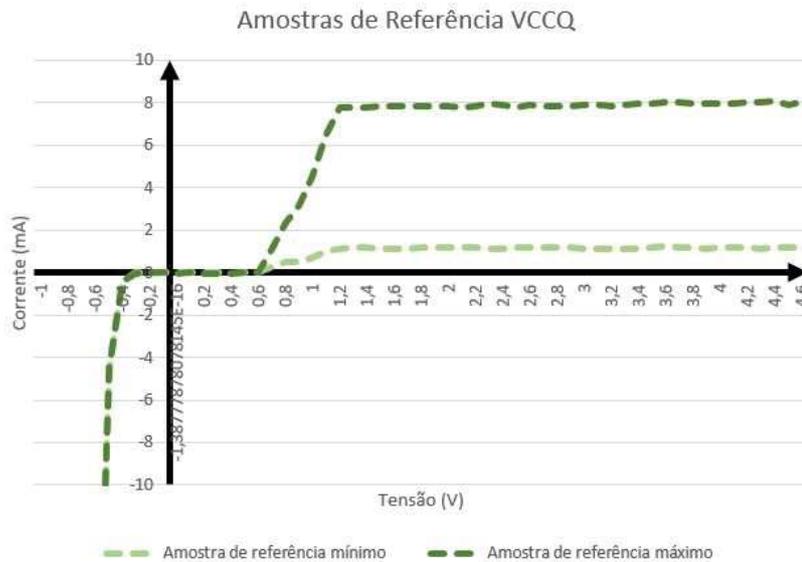
As Figuras 22 e 23 representam as curvas I-V para os pinos de alimentação do circuito eMMC do componente analisado. Observa-se que elas são diferentes das curvas adquiridas para os pinos de interface (IO), representadas na Figura 21. Portanto, pode-se inferir que os circuitos analisado foram diferentes. O circuito elétrico do encapsulamento, que foi abordado nesta dissertação, é de propriedade do fabricante do circuito integrado e não é disponibilizado para consulta. Desta maneira, assim como encontrado nas referências bibliográficas, a análise das curvas I-V foi apresentada de maneira comparativa com as amostras de referência que atendem a especificação do fabricante.

Figura 22 – Valores máximos e mínimos de corrente lidos no pino VCC para o conjunto de amostras de referência.



Fonte: Elaborado pelo autor

Figura 23 – Valores máximos e mínimos de corrente lidos no pino VCCQ para o conjunto de amostras de referência.



Fonte: Elaborado pelo autor

Visto que os resultados foram satisfatórios, para o grupo de amostras de referência utilizado na comparação com as unidades que apresentaram falha no teste DC paramétrico do fluxo de produção normal, pode-se afirmar que a proposta desta dissertação gerou resultados positivos, os quais poderão ser utilizados pela indústria.

3.4 Caracterização das falhas

A caracterização das falhas, ou seja, a identificação da sua assinatura elétrica, foi realizada através da geração das curvas I/V de todos os pinos da interface e de alimentação do dispositivo eMMC.

As amostras foram identificadas e numeradas para que fosse possível a realização testes futuros e outros tipos de inspeções não destrutivas. A identificação física das amostras foi utilizada na coleta de dados, como pode ser visto na Figura 24.

Figura 24 – Parte das amostras identificadas para rastreamento dos resultados.



Fonte: Elaborado pelo autor

3.5 Definição do fluxo de processo para análise de falhas

O estudo realizado durante este projeto contribuiu para melhorar o entendimento dos processos de análise de falhas ligados à indústria de semicondutores. Estes estão diretamente associados ao tema abordado, uma vez que o método desenvolvido pode ser aplicado para simplificar e otimizar estes processos.

No caso específico da empresa HT Micron, onde o estudo foi realizado, O cenário encontrado durante o desenvolvimento deste projeto é de que não existe um fluxo de inspeções definidos e tampouco documentação associada. Os casos analisados tiveram abordagens diferentes para obtenção da causa raiz das falhas. Outro fator que contribui para regulamentação do processo foi a grande ocorrência de falhas não identificadas pelo método aplicado até então.

A Figura 25 descreve o processo de análise de falhas proposto. O fluxo foi desenvolvido com base nas referências bibliográficas e práticas já adotadas pela empresa. A sequência das etapas foi organizada de maneira que facilite as chances de se definir a causa raiz da falha.

O processo tem início com os resultados dos testes elétricos provenientes do fluxo normal do produto na linha de teste. O número de rejeitos deve ser avaliado de acordo com os níveis toleráveis que a empresa estipula. Se o número está dentro do previsto a falha deve ser registrada,

bem como em todos os casos descritos na Figura 25. No caso deste número de rejeitos ser superior ao limite tolerável, deve existir uma análise das unidades que apresentaram falha.

A primeira etapa desta análise é composta por inspeções não destrutivas e está detalhada na Figura 26 e sua inspeção inicial é composta pela análise da assinatura elétrica da falha, através da sua curva I-V, conforme método proposto nesta dissertação. O resultado da análise das assinaturas elétricas das falhas deve servir como informação base para o direcionamento das análises subsequentes.

Na sequência deve ser inspecionado visualmente a identificação no componente que fornece a posição em que ele se encontrava na placa de circuito impresso antes de ser singularizado no processo de *Saw and Sorter*. Ao reunir-se todas possíveis posições dos componentes em falha na PCB de origem, pode-se identificar padrões de localização das falhas. Por conseguinte, pode-se comparar estas posições com manuseio realizado por equipamentos e operadores.

Durante o período de coleta de amostras, foram identificados, através de inspeção por raios-x, casos em que não existiam fios de solda conforme o diagrama de solda. Através do mapeamento das falhas, em sua posição original da na placa, verificou-se que os defeitos estavam concentrados em algumas colunas específicas de uma única placa de circuito impresso (PCB). Este tipo de falha associa-se a falha na execução da operação pelo operador.

Em outro exemplo pertinente, os componentes com moldagem por resina plástica podem sofrer arraste de fios devido ao processo de aplicação da mesma. Através de observação do processo foi possível verificar que o arraste tem maior probabilidade de acontecer em regiões específicas da placa de circuito e desta maneira pode-se ter um indicativo da origem da falha.

Seguindo o fluxo da Figura 26 tem-se a análise visual externa do componente. Esta análise tem como objetivo identificar características como delaminações, esferas de solda danificadas, quebras, a presença de bolhas, contaminações, etc.

A análise de Raios-X tem como objetivo a comparação do respectivo diagrama de solda do componente e a característica visual dos fios soldados. Posto que a característica da soldagem de fios determina o comportamento do sinal elétrico a percorrer o mesmo, as falhas encontradas no processo de teste DC Paramétricos estão diretamente relacionadas ao processo de Soldagem de Fios. Portanto, é esperado que grande parte das falhas tenham sua causa identificada pela inspeção por raios-x.

Adicionalmente, deve-se realizar uma inspeção por microscopia acústica. Através desta pode-se identificar falhas estruturais nos *dice*, delaminações entre materiais e a presença de bolhas de ar aprisionadas no composto de moldagem.

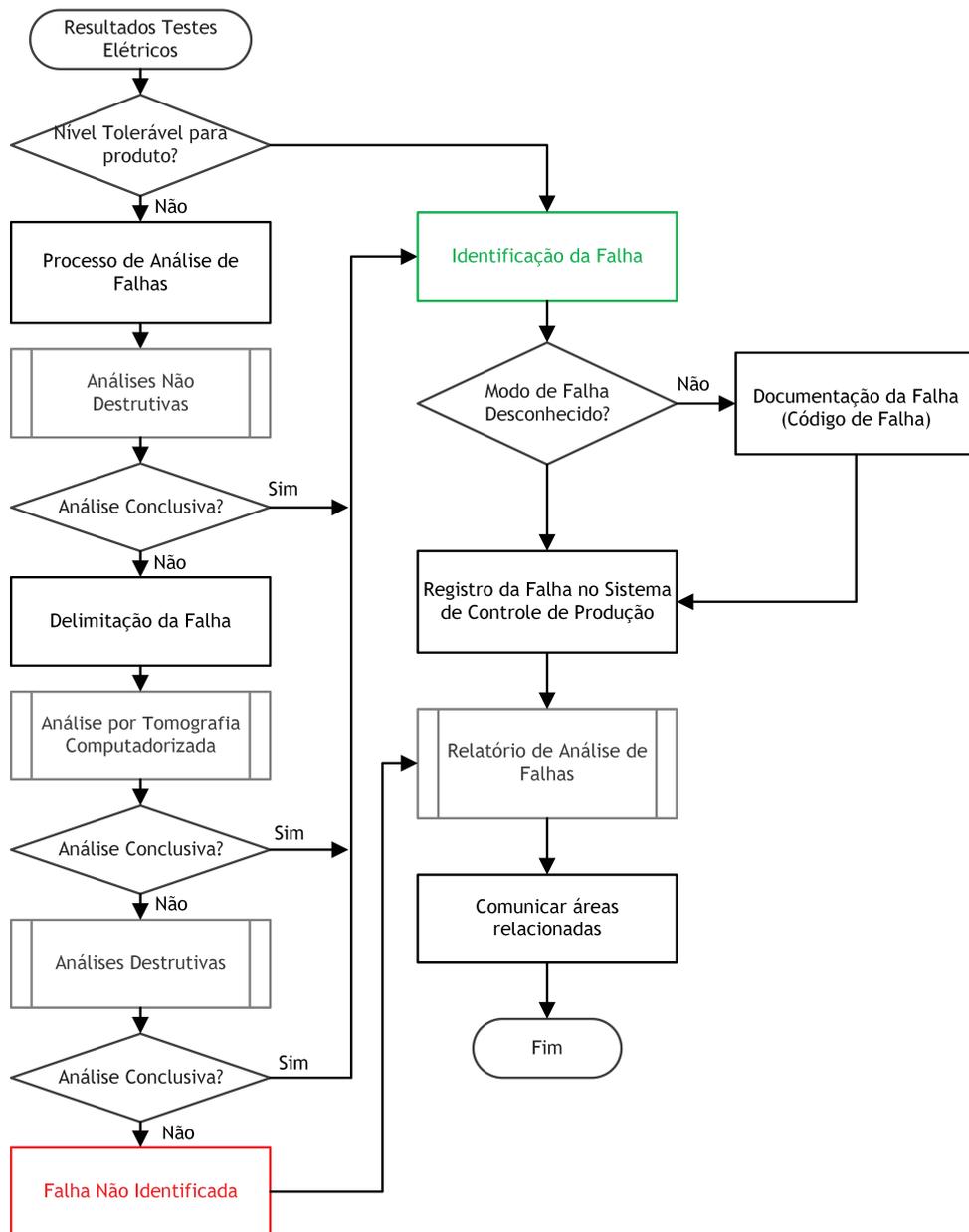
Por fim, após a realização das etapas é necessário realizar o agrupamento das evidências e retornar ao fluxo geral, descrito na Figura 25. É esperado que a falha seja encontrada durante a execução deste conjunto de inspeções não destrutivas. Se ela não for identificada, processos adicionais serão necessários.

A Figura 27 descreve o processo de análise destrutiva das amostras. Este método deve ser adotado quando nenhum dos outros mencionados anteriormente apresentarem resultados satisfatórios para a caracterização da falha.

A análise através do seccionamento transversal da peça é conhecida na indústria como "*Cross Section*". Esta técnica possibilita a inspeção visual de seções da amostra através da aplicação de polimento. Normalmente é utilizado uma politriz para execução da mesma, mas também existe a possibilidade de executar-se cortes transversais utilizando laser. O preparo da amostra, descrito na Figura 27, consiste em reunir as imagens geradas através de raio-X ou microscopia acústica e definir o ponto de interesse na mesma.

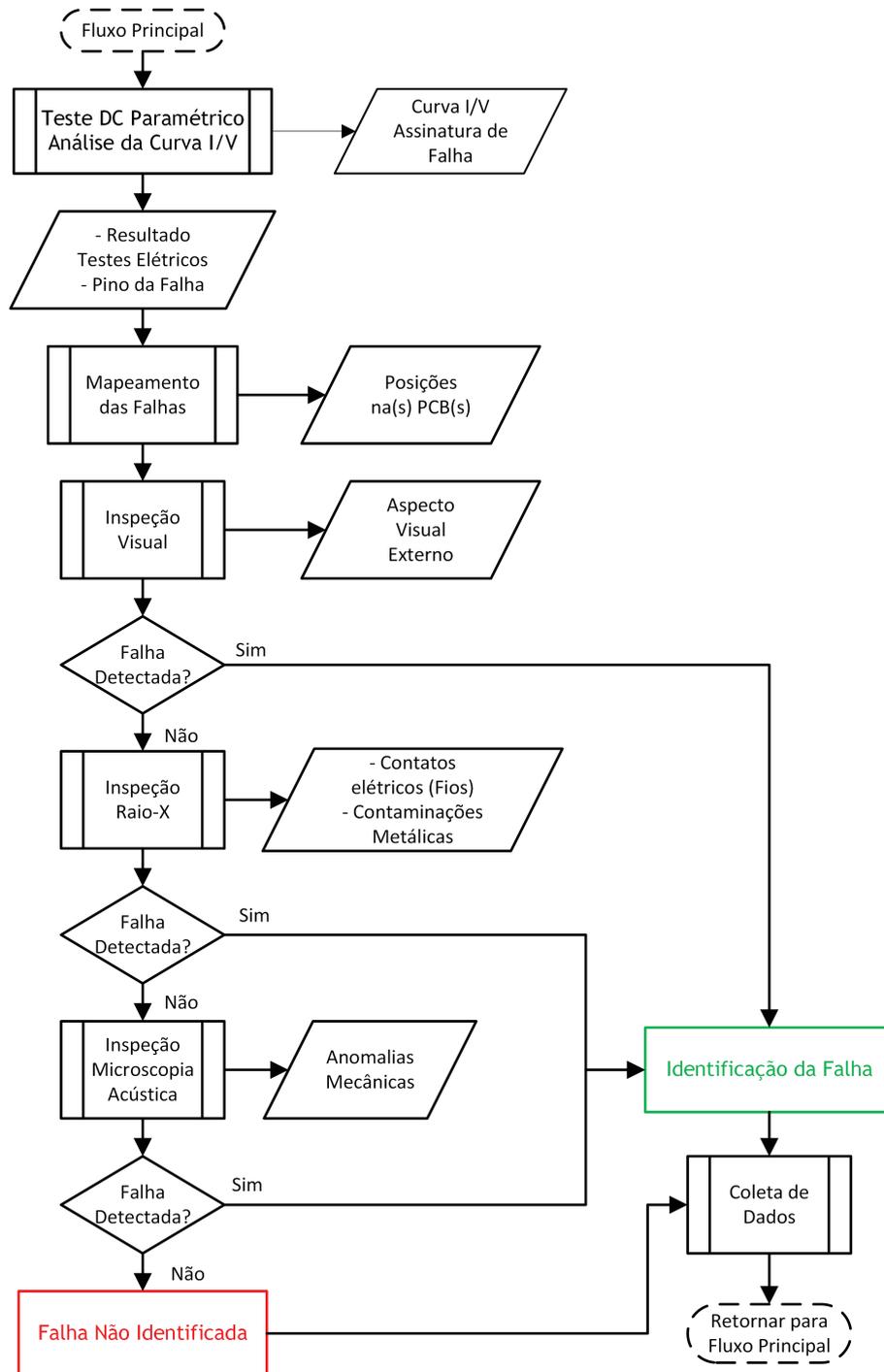
As técnicas de desencapsulamento tem como objetivo a remoção do composto de moldagem para que seja possível realizar inspeção visual da estrutura interna do componente. Para que seja possível realizar esta retirada de material são utilizados ácidos como ácido nítrico fumegante com concentração altíssima. A remoção do composto de moldagem pode ser em um ponto específico do encapsulamento ou em sua totalidade. A remoção pontual é utilizada para análise de fios de solda e a remoção total tem como objetivo a análise visual dos *Dice*.

Figura 25 – Fluxo Geral do Processo de Análise de Falhas proposto.



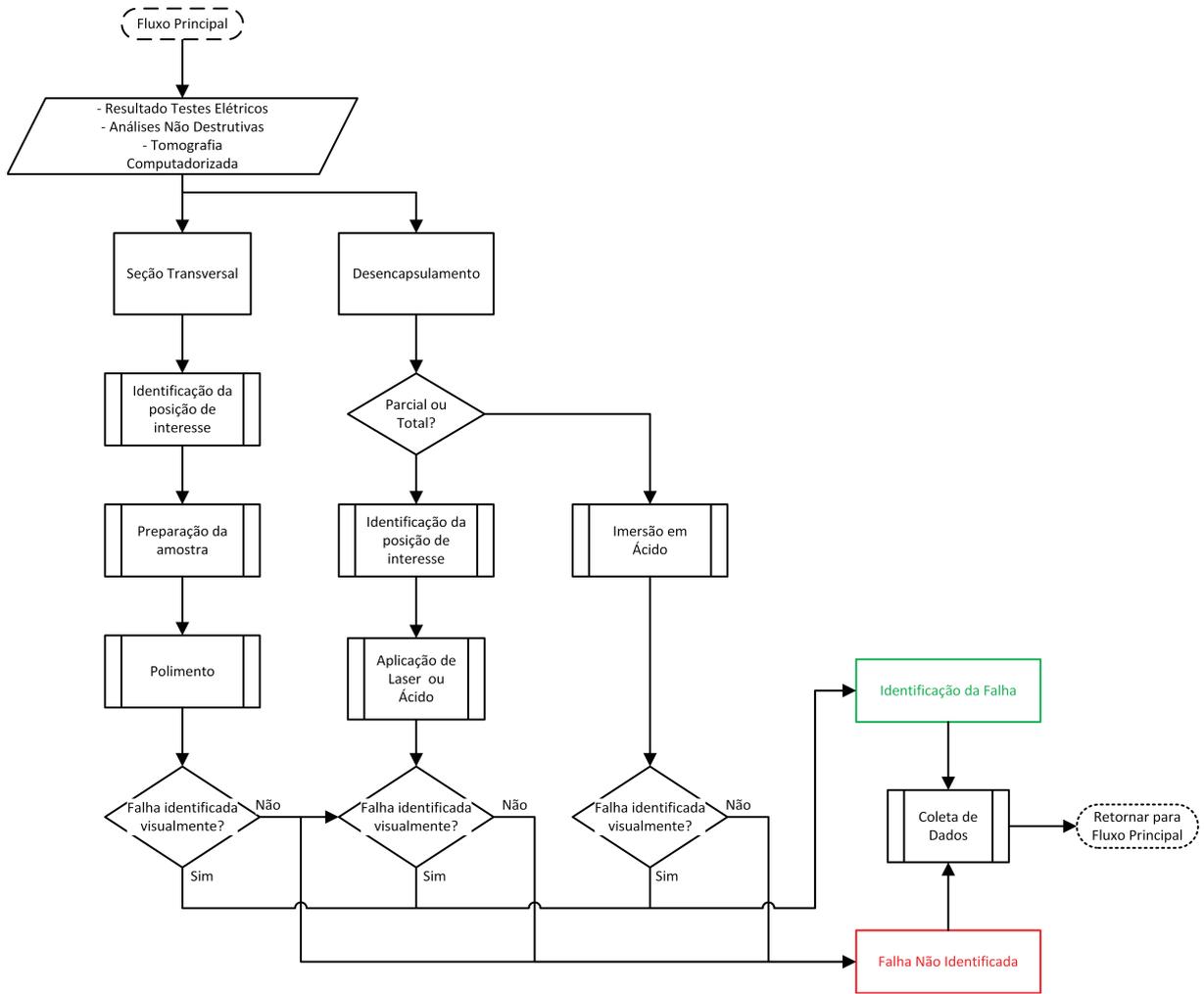
Fonte: Elaborado pelo autor

Figura 26 – Fluxo de processos de análise de falhas não destrutivas.



Fonte: Elaborado pelo autor

Figura 27 – Fluxo de processos de análise de falhas destrutivas.



Fonte: Elaborado pelo autor

4 RESULTADOS

4.1 Estudo de caso 1

O grupo de amostras que compuseram este estudo, foram resultado de falhas descobertas no processo de teste DC paramétrico para o sistema de memória do tipo eMMC. Este grupo de amostras foi composto por lotes que tiveram baixo rendimento, comumente referido como *Low Yield*, na etapa de teste DC paramétrico. Desta maneira, os lotes foram segregados para análise da equipe de qualidade de processo. O método utilizado, na ocasião, não identificou a causa das falhas através da inspeção por raios-x.

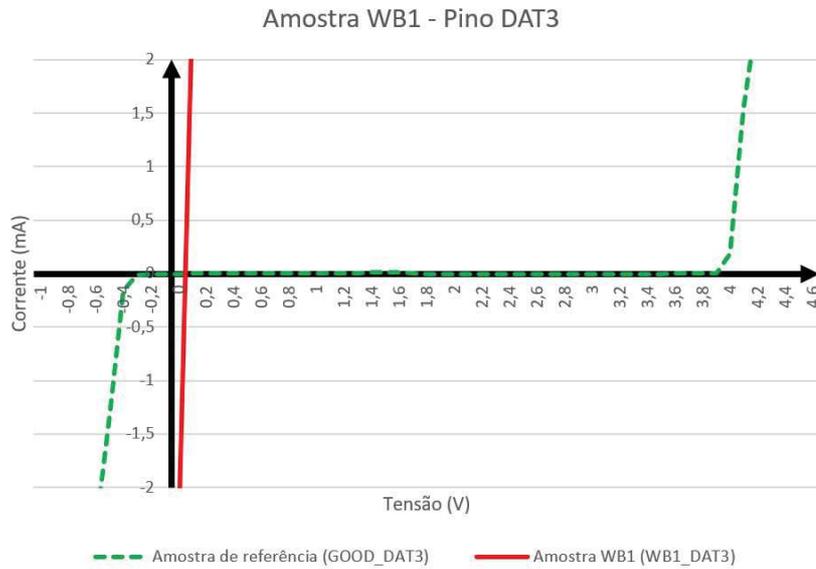
Após a análise por raios-X, foram reunidos os arquivos de resultados de teste dos lotes afetados, para os quais constam as leituras paramétricas e a classificação preliminar das falhas. O resultado do teste indicou o mesmo tipo de falha em pinos similares. As falhas foram classificadas como *Short Circuit*, o que indica o curto-circuito do pino analisado com outra estrutura metálica e, portanto, obteve-se valores de corrente diferentes dos especificados. Os pinos que apresentavam a falha foram identificados como: DAT0, DAT1, DAT2, DAT3, DAT4, DAT5, DAT6, DAT7, DS.

Adicionalmente, foi realizada a inspeção por microscopia acústica de quarenta (40) unidades que apresentaram as falhas. O resultado da inspeção não demonstrou anomalias.

Paralelamente à análise realizada pela empresa, foi aplicado o método de análise de teste desenvolvido neste projeto. Desta maneira, buscou-se a caracterização das falhas através da obtenção das curvas I-V dos pinos do circuito do dispositivo de armazenamento eMMC.

As leituras elétricas obtidas para pinos de interface (IO) demonstraram resultados similares entre si. Logo, constatou-se que as assinaturas, representadas pelas curvas IV, foram semelhantes. Os resultados obtidos foram coerentes com a classificação original. Através da Figura 28 é possível comparar as curvas da amostra com falhas (WB1) e as de referência para o mesmo pino de dados (DAT3).

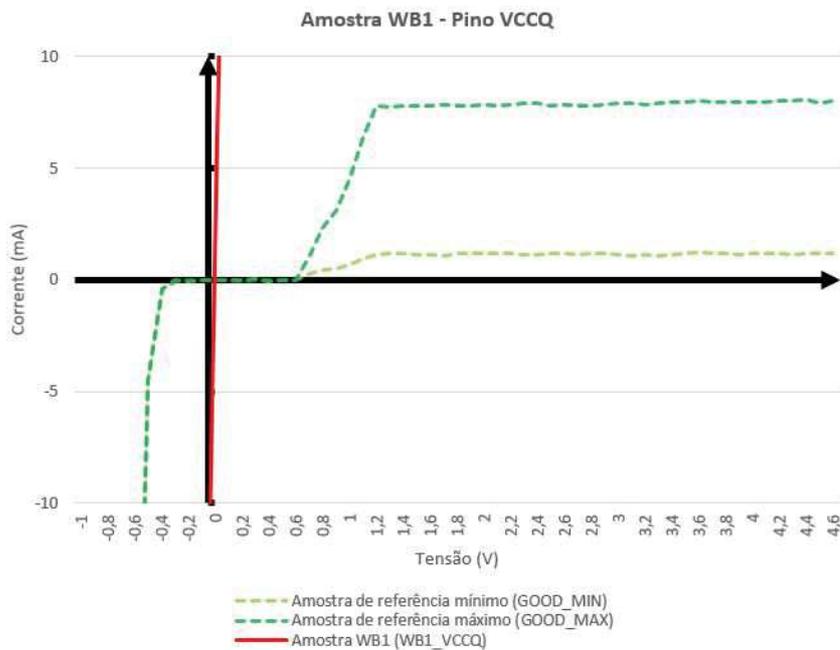
Figura 28 – Curva I-V das leituras do pino DAT3 da amostra WB1.



Fonte: Elaborado pelo autor

As curvas, demonstradas nas Figuras 28 e 29, caracterizam a assinatura de falhas para um curto-circuito.

Figura 29 – Curva I-V para o pino VCCQ da amostra WB1.

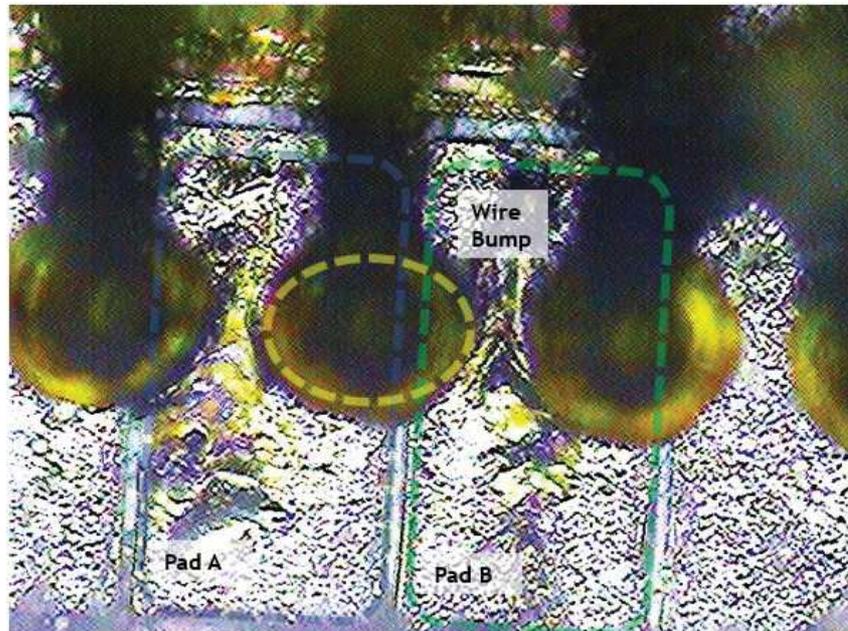


Fonte: Elaborado pelo autor

Dando prosseguimento na análise das unidades em falha, aplicou-se métodos destrutivos, como o desencapsulamento químico. Esta técnica consiste na remoção do material encapsulante que é composto por uma resina *epoxy*. Logo, revelou-se a estrutura interna do componente, e

então foi possível verificar a disposição dos fios de solda e os *dice* através da análise visual por de microscopia óptica, como pode ser observado na Figura 30.

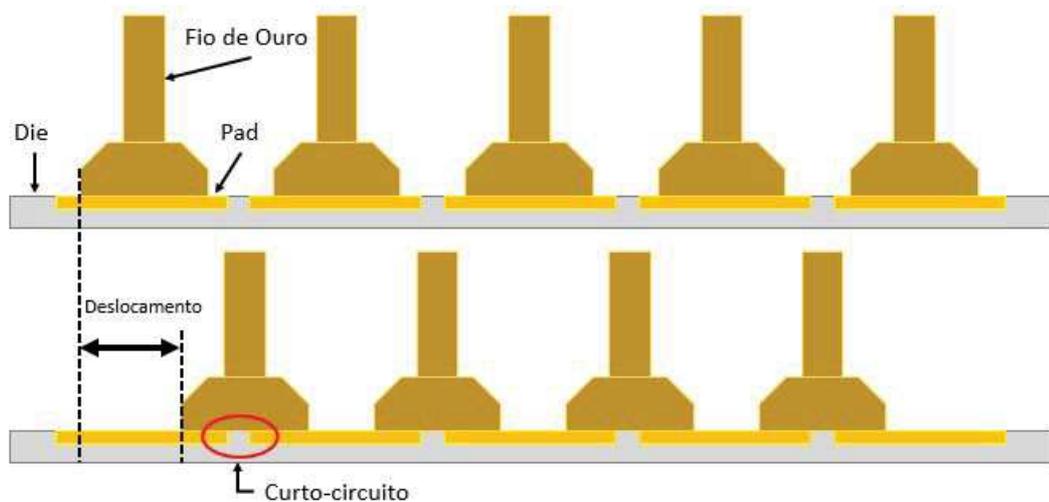
Figura 30 – Imagem após desencapsulamento. Curto entre Pads através do Wire Bump.



Fonte: Elaborado pelo autor

Neste caso, deslocou-se o diagrama de solda em relação à posição física. Este deslocamento foi o suficiente para que cada fio de ouro realizasse o contatos elétrico entre dois *pads* adjacentes no *die*. Por consequência, produzindo o curto-circuito observado na Figura 31.

Figura 31 – Ilustração do deslocamento do diagrama de solda.



Fonte: Elaborado pelo autor

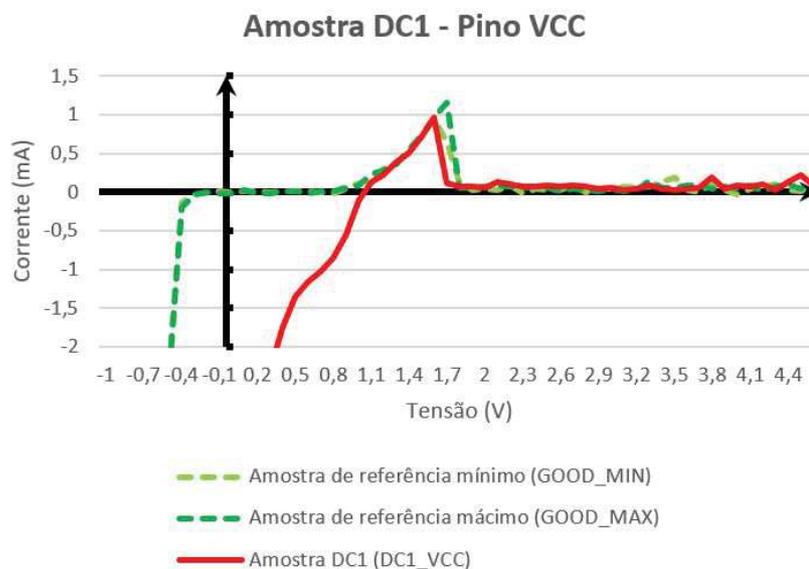
4.2 Estudo de caso 2

Nesta seção, serão abordadas as análises do grupo de amostras composto por rejeitos do processo de teste paramétrico DC de diversos. Estes testes fazem parte do fluxo normal após a produção do componente. Nestas rotinas são verificados modos de falhas característicos do processo produtivo realizado no encapsulamento.

Amostra DC1

A Figura 32 representa a curva I-V do pino de alimentação VCC para Amostra DC1. Pode-se verificar um padrão diferente em relação a amostra de referência, representada pela curva na cor verde.

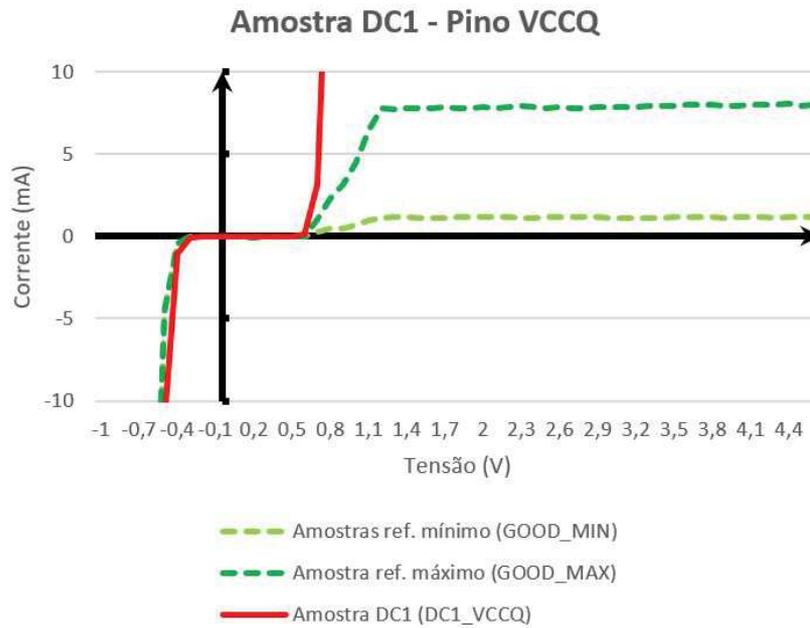
Figura 32 – Amostra DC1, curva I-V pino VCC.



Fonte: Elaborado pelo autor

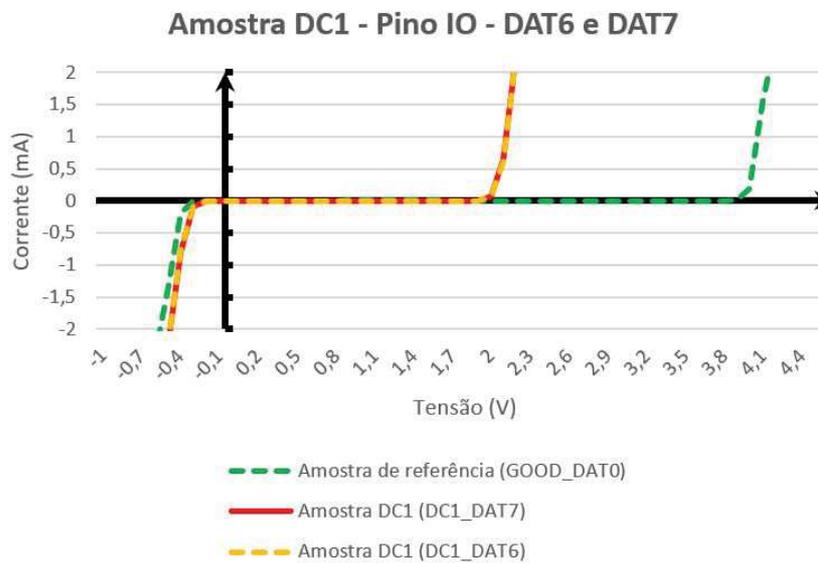
Já a Figura 33 representa a curva I-V do pino de alimentação VCCQ, para o qual é possível verificar uma diferença em relação ao padrão aceitável. Verifica-se que a curva apresenta um comportamento de curto-circuito quando aplicadas tensões acima de 0,6 Volts.

Figura 33 – Amostra DC1, curva I-V pino VCCQ.



Fonte: Elaborado pelo autor

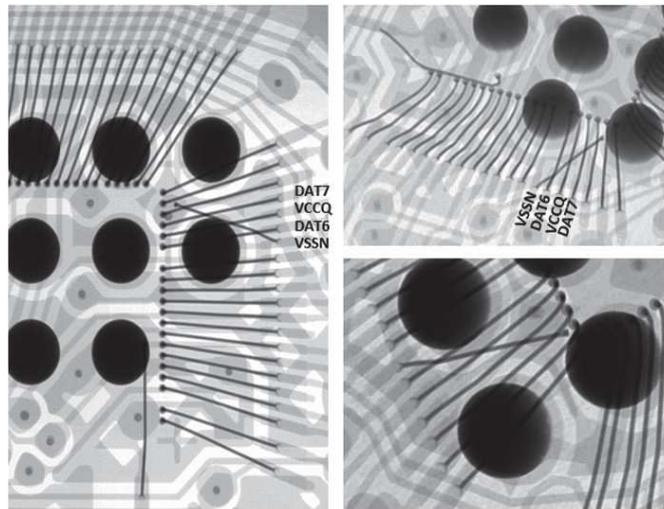
Figura 34 – Amostra DC1, curva I-V pino VCCQ.



Fonte: Elaborado pelo autor

A inspeção por raios-x, conforme Figura 35, demonstra a falha do tipo "pad open", ou seja, a extremidade que deveria estar soldada no pad do die não foi soldada. Devido a isto, o fio se deslocou e tocou outros fios, provocando o curto entre eles.

Figura 35 – Amostra DC1, inspeção por raios-x vista de topo.

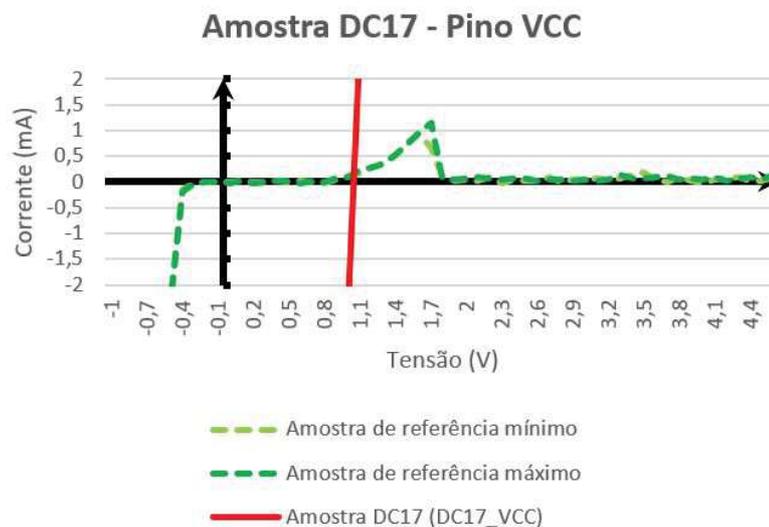


Fonte: Elaborado pelo autor

Amostra DC17

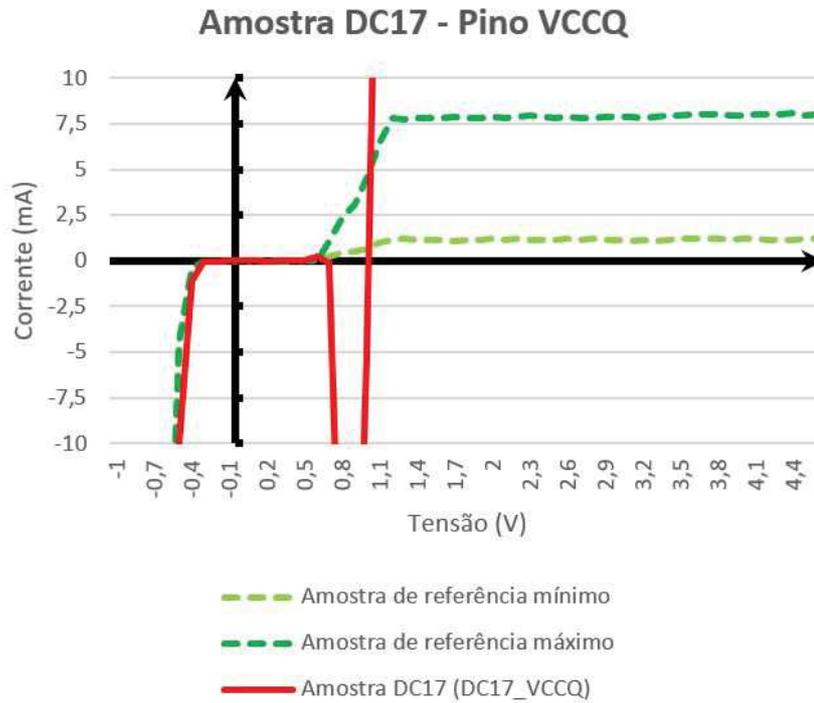
A imagem por raios-x, conforme Figura 38, demonstra uma alteração no formato do fio ligado ao pino VDDI. Desta maneira, observou-se variações nas medidas dos pino VCC e VCCQ conforme as Figuras 36 e 37 respectivamente. Na Figura 36 é possível verificar uma assíntota cruzando o eixo das abscissas em 1,1 volts. Pode-se inferir que existe um curto-circuito devido o formato da curva I-V. O comportamento observado na curva I-V do pino VCCQ é similar em 1,1 volts, porém é possível verificar o um comportamento da corrente elétrica diferente para valores de tensão entre 0,7 à 1,1 volts. Desta forma, é possível inferir que exista um curto-circuito quando o circuito de proteção ESD está polarizado diretamente, conforme Figura 12.

Figura 36 – Amostra DC17, curva I-V pino VCC.



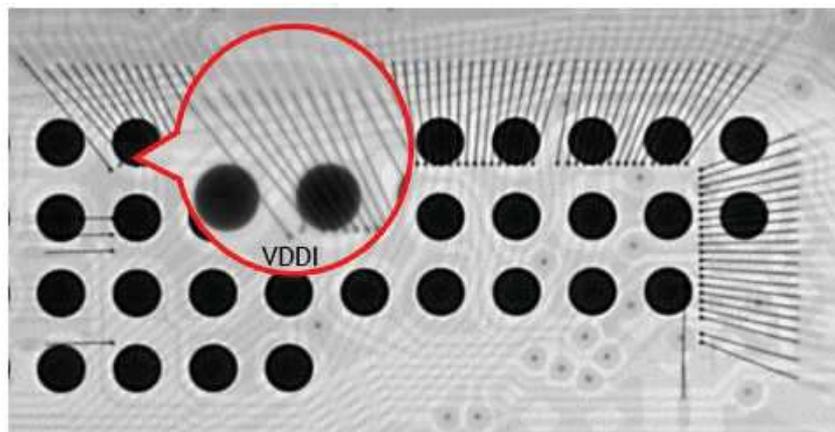
Fonte: Elaborado pelo autor

Figura 37 – Amostra DC17, curva I-V pino VCCQ.



Fonte: Elaborado pelo autor

Figura 38 – Amostra DC17, inspeção por raios-x vista de topo.

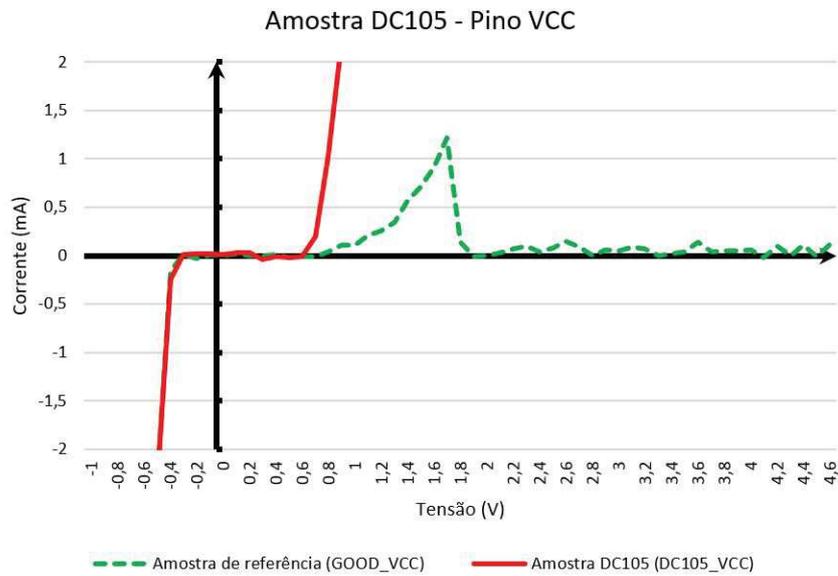


Fonte: Elaborado pelo autor

Amostra DC105

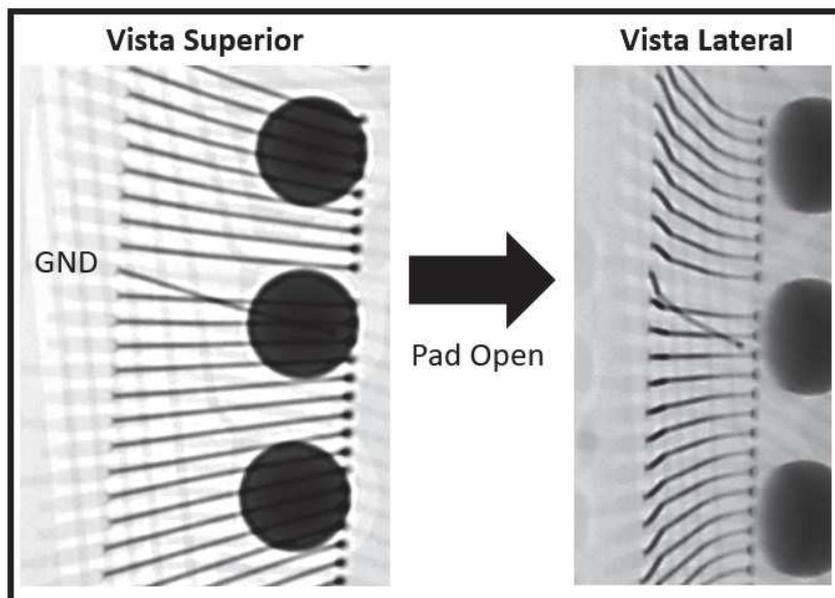
A curva I-V do pino de alimentação VCC da Amostra DC105, representada na Figura 39, mostrou-se diferente da curva da amostra de referência. A análise desta amostra por raios-x revelou o modo de falha de "pad open" no pino de GND.

Figura 39 – Curva I/V para amostra DC105 no pino de alimentação VCC.



Fonte: Elaborado pelo autor

Figura 40 – Amostra DC105, inspeção por raios-x vista de topo e lateral.



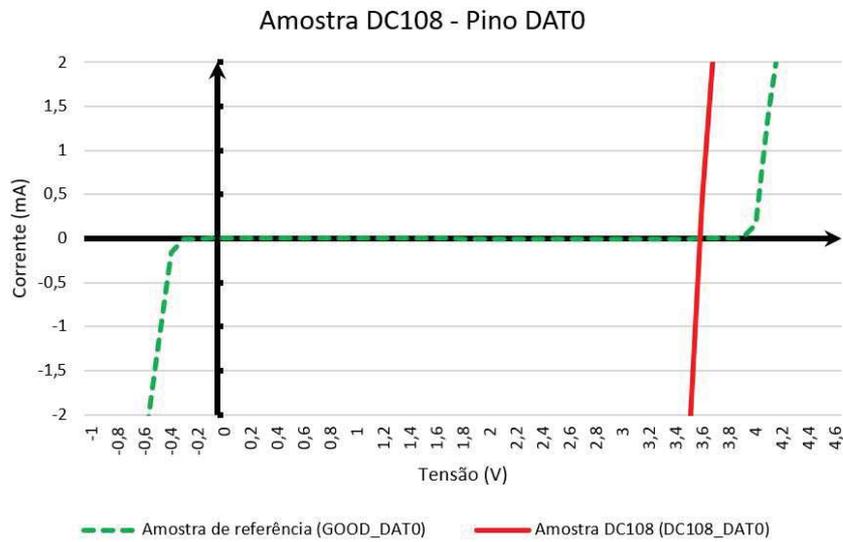
Fonte: Elaborado pelo autor

Amostra DC108

A amostra DC108, também apresentou resultados diferentes quando comparados às amostras de referência. Os pinos que possuem leituras fora da especificação foram DAT0 e DAT4, como pode ser verificado nas Figuras 41 e 42. A curva I-V para os dois pinos apresentam

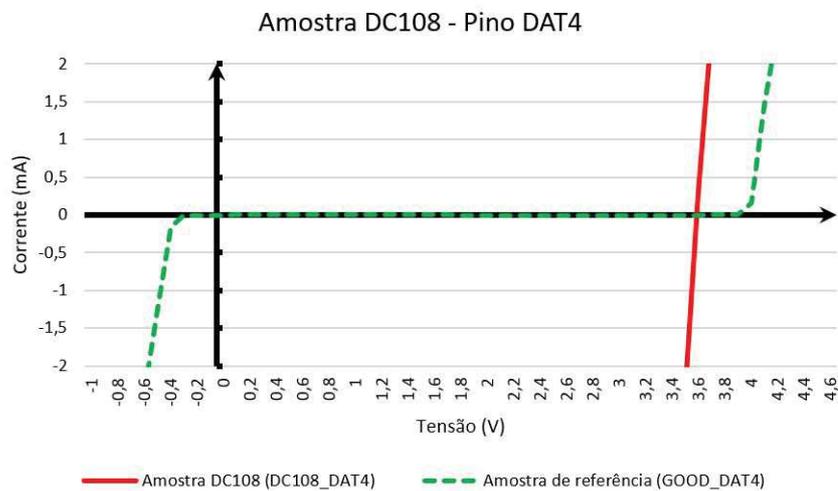
a mesma assinatura. Verifica-se que os mesmos estavam em curto com a alimentação do circuito, pois a curva I-V é representada por uma reta que cruza o eixo das abscissas em 3,5 volts.

Figura 41 – Curva I/V para amostra DC108 no pino DAT0.



Fonte: Elaborado pelo autor

Figura 42 – Curva I/V para amostra DC108 no pino DAT4.

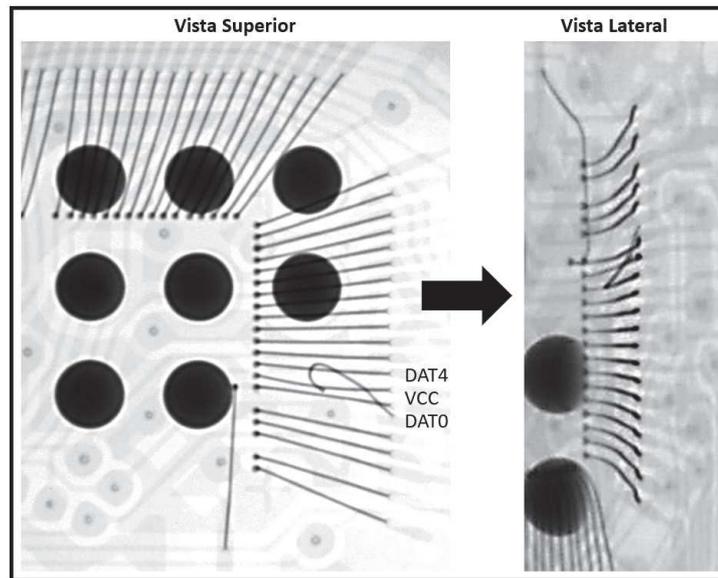


Fonte: Elaborado pelo autor

A falha foi confirmada através da análise por raios-x, demonstrada na Figura 43, que mostra o curto entre fios dos respectivos pinos. O defeito observado, no fio de alimentação VCC, é denominado "pad open". Este fio estava em curto com os pinos DAT0 e DAT4. Portanto, lia-se valores iguais a alimentação nos respectivos pinos.

”

Figura 43 – Amostra DC108, inspeção por raios-x vista de topo e lateral.

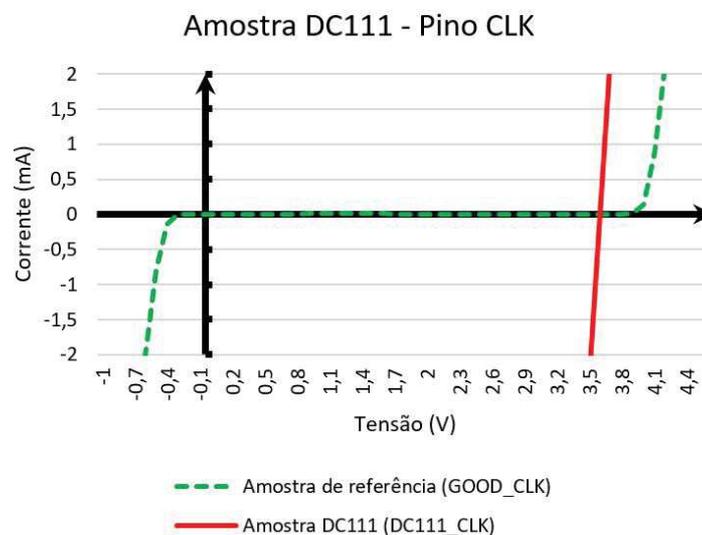


Fonte: Elaborado pelo autor

Amostra DC111

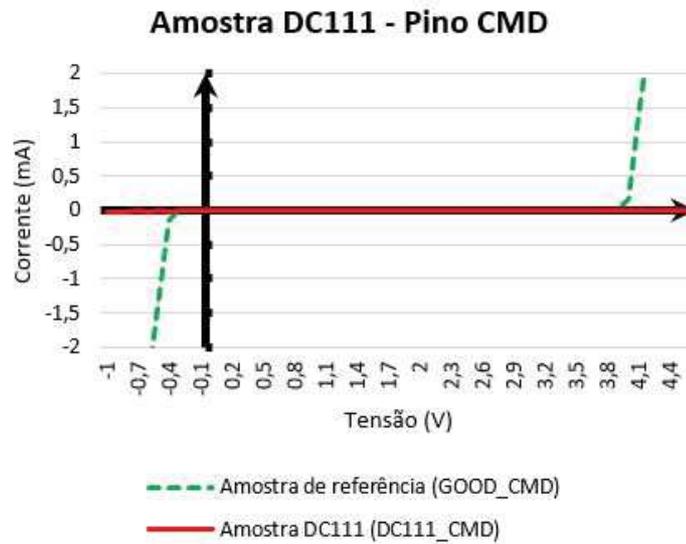
A curva I-V extraída do pino CLK da amostra DC111 apresenta a assinatura de um curto-circuito com a alimentação. Pode-se observar na Figura 44, que a curva cruza o eixo das abscissa em 3,6 volts, que é igual ao valor de alimentação. Entretanto, observar-se na curva I-V representada na Figura 45 a assinatura de falha de um circuito aberto, pois independentemente do valor de tensão aplicado ao pino a corrente é constante e igual a zero amperes.

Figura 44 – Curva I/V para amostra DC111 no pino CLK.



Fonte: Elaborado pelo autor

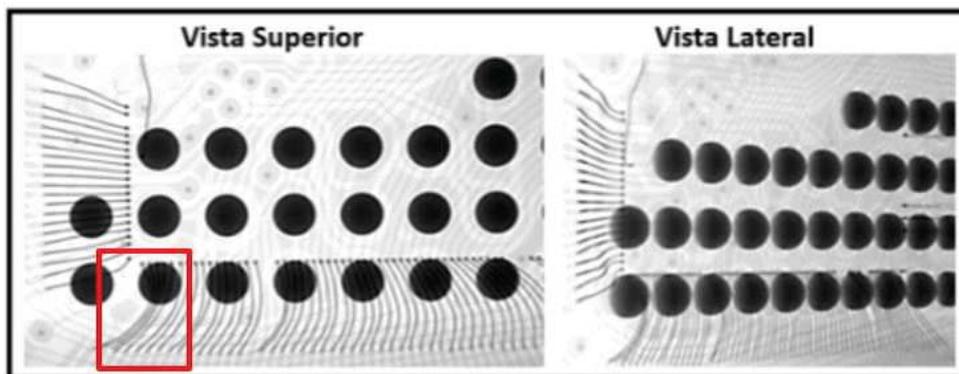
Figura 45 – Curva I/V para amostra DC111 no pino CMD.



Fonte: Elaborado pelo autor

Como descrito, a amostra DC111 apresentou assinaturas de falhas diferentes em seus pinos de interface. A análise, através de raios-x, representada na Figura 46, demonstrou danos significativos aos fios de solda. A falha pode estar relacionada a manuseio incorreto do componente antes do processo de moldagem, visto que a os danos provocaram deslocamento dos fios em diversos sentidos.

Figura 46 – Amostra DC111, inspeção por raios-x vista de topo e lateral.



Fonte: Elaborado pelo autor

5 CONCLUSÃO

O desenvolvimento deste trabalho propiciou o melhor entendimento do propósito e aplicação das rotinas de testes DC Paramétricos, bem como a interpretação dos seus resultados através da análise das curvas de tensão por corrente. Não obstante, teve grande importância para o estudo das diferentes técnicas de análise de falhas associadas ao processo de encapsulamento de semicondutores e a aplicação de melhorias de processo decorrentes da identificação da causa raiz.

Falhas relacionadas ao processo de soldagem de fios nem sempre são detectadas nos processos de inspeção visual, muitas vezes só são detectadas no teste DC paramétrico. O tempo de processo entre a produção na etapa de soldagem de fios e o teste elétrico pode ser longo o suficiente para que uma grande quantidade de unidades seja produzida até que ocorra a identificação da falha. Portanto, o processo de análise de falhas deve ser ágil, mas não tem a função de substituir totalmente verificações de qualidade durante o processo. Desta maneira, é aplicado com uma ferramenta de análise complementar.

Através da utilização do método de análise das curvas de corrente elétrica em função de tensão elétrica foi possível identificar assinaturas das falhas geradas por defeitos no processo de soldagem de fios. Foram observados defeitos como o curto entre fios, a ausência de fios, o deslocamento do diagrama de soldagem e o contato elétrico aberto. Algumas amostras apresentaram diferentes assinaturas, observadas nas curvas IV, quando comparadas às amostras de referência. Porém, ao realizar-se o método de análise de falhas não foram identificadas evidências que relacionassem a assinatura da falha com o processo de soldagem de fios ou com outros processos do encapsulamento. Portanto, nestes casos foi possível evidenciar que não houve relação da falha detectada com o processo fabril de encapsulamento. Esta constatação foi possível através da aplicação do método de análise de falhas, a qual pode ser utilizada para elaboração de uma SCAR, solicitação de ação corretiva ao fornecedor.

A documentação e compartilhamento das informações reunidas a partir da execução do análise das falhas são de extrema importância para se evitar a recorrência, bem como a resposta rápida a problemas já catalogados. Portanto, as áreas relacionadas ao processo produtivo devem, além de desenvolver o método de análise, realizar a documentação do método, a retenção de dados analisados, classificação de falhas com identificadores e a divulgação de resultados de maneira periódica.

A aplicação do método desenvolvido durante esta dissertação teve como objetivo a detecção de padrões de falha provenientes do processo de soldagem de fios. Esta avaliação serviu como ponto de partida para definição do fluxo de análise de falhas. A utilização desta técnica fornece dados que possibilitam ao analista determinar quais são os testes pertinentes à medida

que identifica um padrão de falha conhecido. O fluxo proposto incluiu a catalogação das falhas, permitindo que, com o tempo, seja possível organizar um banco de dados de falhas para consulta.

Desta maneira, o trabalho contribuiu com a definição e aperfeiçoamento do fluxo de análise de falhas da empresa. Por conseguinte, incentivou a melhoria do processo baseada na definição da causa raiz dos rejeitos dos processos de testes elétricos. Esta, que por sua vez, possibilita o aumento da eficiência produtiva.

5.1 Trabalhos futuros

O grupo de amostras que compôs este estudo de caso apresentavam falhas de processo de teste DC Paramétrico para o dispositivo de armazenamento do tipo eMMC. O método desenvolvido neste trabalho cobre as falhas do tipo DC Paramétricas. A fim de complementar outros possíveis modos de falha sugere-se o desenvolvimento de outras ferramentas e métodos com objetivo de cobrir falhas funcionais, bem como a extensão do fluxo de análise de falhas proposto. Desta maneira seria possível diagnosticar falhas que não são inseridas no processo de encapsulamento.

Outro ponto interessante a ser abordado em um trabalho futuro refere-se a utilização da técnica de reflectometria no domínio do tempo, "*Time Domain Reflectometry*". Durante o processo de pesquisa sobre métodos de análise de falha, esta foi mencionada por diversas vezes. O princípio de análise é a reflectometria no domínio do tempo de sinais elétricos através dos materiais condutores do circuito integrado. Desta maneira pode-se avaliar o comportamento do sinal ao ser transmitido pela esfera de solda, placa de circuito impresso, fios de solda, superfície de contato metálico do Die. Assim, torna-se possível determinar, com exatidão, a posição da falha por comparação com amostras que apresentam sinais normais em relação a especificação.

REFERÊNCIAS

Alan Wadsworth. *The Parametric Measurement Handbook 4th Edition*. 4th editio. ed. United States of America: Keysight Technologies, 2018. ISBN 5992-2508EN. Disponível em: <<https://literature.cdn.keysight.com/litweb/pdf/5992-2508EN.pdf?id=2941515>>. Citado na página 28.

ARDEBILI, H.; PECHT, M. *Encapsulation Technologies for Electronic Applications*. First edit. Whittier: Elsevier, 2009. 504 p. ISBN 9780815515760. Citado na página 17.

CASON, M.; ESTRADA, R. Application of X-ray MicroCT for non-destructive failure analysis and package construction characterization. In: *Proceedings of the International Symposium on the Physical and Failure Analysis of Integrated Circuits, IPFA*. [S.l.: s.n.], 2011. ISBN 9781457701597. Citado 4 vezes nas páginas 13, 33, 34 e 35.

CHANG, P.-H. *ESD Protection Design in 28nm High-K/Metal Gate Process*. 83 p. Tese (Doutorado) — National Chiao Tung University, 2014. Citado na página 27.

CHEN, M. K. et al. Failure analysis of BGA package by a TDR approach. *Proceedings of the 4th International Symposium on Electronic Materials and Packaging, EMAP 2002*, v. 0, n. C, p. 112–116, 2002. Citado na página 19.

CHEN, M. K. et al. Failure analysis of BGA package by a TDR approach. *Proceedings of the 4th International Symposium on Electronic Materials and Packaging, EMAP 2002*, v. 0, n. C, p. 112–116, 2002. Citado na página 19.

CHUNLING, R. et al. Failure Analysis of the First Wire 's Bond. n. 58, p. 1–4, 2008. Citado na página 17.

GONG, E. et al. Impact of pin configuration in IV characterization on ESD failure analysis. In: *2009 16th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits*. IEEE, 2009. p. 200–203. ISBN 978-1-4244-3911-9. Disponível em: <<https://ieeexplore.ieee.org/document/5232670http://ieeexplore.ieee.org/document/5232670/>>. Citado na página 26.

GROUT, I. A. *Integrated Circuit Test Engineering: Modern Techniques*. Springer London, 2005. 362 p. ISBN 9781846280238. Disponível em: <<https://books.google.com.br/books?id=0PwCmrk3Y6YC>>. Citado 4 vezes nas páginas 22, 23, 24 e 25.

HARMAN, G. *Wire Bonding in Microelectronics*. McGraw-Hill Education, 2009. ISBN 9780071642651. Disponível em: <<https://books.google.com.br/books?id=rAmJbSQ7BmEC>>. Citado 2 vezes nas páginas 18 e 19.

HAWKINS, K.; CHOU, G. WSTS Semiconductor Market Forecast Spring 2019. n. May 2019, p. 2019–2020, 2019. Citado na página 12.

HU, Y. et al. System-in-Package: Electrical and Layout Perspectives. *Electronic Design Automation*, v. 4, n. 4, p. 223–306, 2011. Disponível em: <<https://pdfs.semanticscholar.org/9af7/2e574fc314033710af0d6291a5488890c0ba.pdf>>. Citado na página 12.

International Technology Roadmap for Semiconductors. *MORE MOORE*. [S.l.], 2015. Disponível em: <https://www.semiconductors.org/clientuploads/Research_Technology/ITRS/2015/5_2015ITRS2.0_MoreMoore.pdf>. Citado na página 13.

JEDEC. *EMBEDDED MULTI-MEDIA CARD (eMMC), ELECTRICAL STANDARD (5.1)*. 2018. 352 p. Disponível em: <https://www.jedec.org/document_search?search_api_views_fulltext=jesd84-b51>. Citado na página 14.

Jialin Ding. DC Parametric Test and IDDQ Test Using Advantest T2000 ATE. 2015. Citado 7 vezes nas páginas 12, 28, 29, 30, 31, 32 e 34.

KPMG Global. *Semi conductors: Can the surge continue?* [S.l.], 2018. Disponível em: <<https://assets.kpmg/content/dam/kpmg/us/pdf/2018/02/kpmg-semiconductor-outlook-2018-web.pdf>>. Citado na página 12.

KUMAR, S.; IBRAHIM, M.; SHOO, F. Status of the Advanced Packaging Industry 2019. *Status of the Advanced Packaging Industry 2019*, 2019. Citado na página 12.

Lawrence C. Wagner. *Failure Analysis of Integrated Circuits*. Boston, MA: Springer US, 1999. ISBN 978-1-4613-7231-8. Disponível em: <<http://link.springer.com/10.1007/978-1-4615-4919-2>>. Citado 6 vezes nas páginas 22, 25, 32, 33, 34 e 35.

LU, T.-B. *Failure Analysis (FA) Introduction (III- Reliability Failure Mode)*. 2005. Disponível em: <http://www.isu.edu.tw/upload/81201/48/news/postfile_22448.pdf>. Citado 3 vezes nas páginas 19, 20 e 21.

Nishi Yoshio; Doering Robert. *Handbook of semiconductor manufacturing technology*. Second edi. Taylor & Francis Group, 2008. 1722 p. ISBN 1-57444-675-4. Disponível em: <https://books.google.es/books/about/Handbook_of_Semiconductor_Manufacturing.html?id=Qi98H-iTgLEc&pgis=1>. Citado 2 vezes nas páginas 19 e 35.

PATTERSON, J. M. Developing an Approach to Semiconductor Failure Analysis and Curve Tracer Interpretation. In: *16th International Reliability Physics Symposium*. IEEE, 1978. p. 93–100. ISSN 0735-0791. Disponível em: <<http://ieeexplore.ieee.org/document/4208218/>>. Citado na página 26.

ROSSO, D. *Global Semiconductor Sales Decrease 14.6 Percent Year-to-Year in April; 12 Percent Decrease in Annual Sales Projected for 2019*. 2019. Disponível em: <<https://www.semiconductors.org/global-semiconductor-sales-decrease-14-6-percent-year-to-year-in-april-12-percent-decrease-in-annual-sales>>. Citado na página 12.

ST Microelectronics. the Fabrication of a Semiconductor Device. p. 15, 2007. Disponível em: <https://www.st.com/content/ccc/resource/technical/document/application_note/f1/36/51/95/ff/f3/44/19/CD00003986.pdf/files/CD00003986.pdf/jcr:content/translations/en.CD00003986.pdf>. Citado na página 16.

TUMMALA, R. Packaging: past, present and future. In: *2005 6th International Conference on Electronic Packaging Technology*. IEEE, 2005. p. 3–7. ISBN 0-7803-9449-6. Disponível em: <<http://ieeexplore.ieee.org/document/1564643/>>. Citado na página 16.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. *Microelectronics Packaging Handbook : Technology Drivers Part I*. Springer US, 1997. 720 p. ISBN 9781461540861. Disponível em: <https://books.google.com.br/books?id=pTbSBwAAQBAJ&pg=PA2&hl=pt-BR&source=gbs_toc_r&cad=4#v=onepage&q&f=false>. Citado 2 vezes nas páginas 17 e 24.

VEENDRICK, H. *Nanometer Cmos Ics: From Basics To Asics*. Springer International Publishing, 2008. 611 p. ISBN 9783319475950. Disponível em: <<https://www.springer.com/gp/book/9783319475950>>. Citado 3 vezes nas páginas 12, 16 e 28.

Apêndices

APÊNDICE A – CÓDIGO DO PROGRAMA DE GERAÇÃO DAS CURVAS I-V

```

1 #include "tester.h"
2 // #include "patterns.h"
3 /*
4 *****
5 * Test Blocks file
6 *****
7 */
8 // ----- User Variables for Dialog Box -----
9 ---
10 CSTRING_VARIABLE( RUN_NAME, "eMMC_IV_Data", "Test Run Name"
11 ) { }
12 CSTRING_VARIABLE( DUT1_NAME, "DUT1", "DUT1 Sample Name"
13 ) { }
14 CSTRING_VARIABLE( DUT2_NAME, "DUT2", "DUT2 Sample Name"
15 ) { }
16 CSTRING_VARIABLE( DUT3_NAME, "DUT3", "DUT3 Sample Name"
17 ) { }
18 CSTRING_VARIABLE( DUT4_NAME, "DUT4", "DUT4 Sample Name"
19 ) { }
20 CSTRING_VARIABLE( DUT5_NAME, "DUT5", "DUT5 Sample Name"
21 ) { }
22 CSTRING_VARIABLE( DUT6_NAME, "DUT6", "DUT6 Sample Name"
23 ) { }
24 CSTRING_VARIABLE( DUT7_NAME, "DUT7", "DUT7 Sample Name"
25 ) { }
26 CSTRING_VARIABLE( DUT8_NAME, "DUT8", "DUT8 Sample Name"
27 ) { }
28 DOUBLE_VARIABLE ( VOLT_SUPPLY, 3.6, "Power Supply Voltage (V)"
29 ) { }
30 DOUBLE_VARIABLE ( VOLT_MIN, 0 , "Minimum Force Voltage (V)"
31 ) { }
32 DOUBLE_VARIABLE ( VOLT_MAX, 3.6, "Maximum Force Voltage (V)"
33 ) { }
34 DOUBLE_VARIABLE ( VOLT_STEP, 0.1, "Force Voltage Step (V)"
35 ) { }
36 DOUBLE_VARIABLE ( VOLT_BACK, 0 , "Background Voltage (V)"

```

```
37 ) { }
38 DOUBLE_VARIABLE ( SETTLING_T, 0 , "Measure Settling Time (ms)"
39 ) { }
40 BOOL_VARIABLE ( IO_TEST, true, "Measure Current on IO Pins"
41 ) { }
42 BOOL_VARIABLE ( SUPPLY_TEST, true, "Measure Current on Power
43 Pins") { }
44 CSTRING_VARIABLE( FILE_PATH, "D:/Unisinos/Rafael", "I/V Data
45 Output Excel File Path") { }
46 //CSTRING_VARIABLE( FILE_PATH,
47 "C:/Users/marcelomoraes/Documents/IV_Data", "I/V Data Output Excel
48 File Path") { }
49 void test_block_header(void) {
50 TB_Timer.StartTimer(); // Start TestBlock_Timer Should be
51 first call in Test Block, if used.
52 output( "Running TestBlock = %-15s ", current_test_block() );
53 }
54 void test_block_footer(void) {
55 output( "TestBlock = %-15s Complete ", current_test_block()
56 );
57 TB_Timer.StopTimer(" "); // Stops TB_Timer and outputs
58 time
59 }
60 BEFORE_TESTING_BLOCK( btb_name ) {
61 FlowTimer.StartTimer();
62 // Start Flow Timer
63 output("Output from BEFORE_TESTING_BLOCK, Site number %d",
64 site_num());
65 power_down();
66 // Call function to set ref voltages to zero
67 dps_comp_cap_set(.0000055 ,.001, pl_all_supply); // 5x 1.1uF
68 decoupling cap On VCC and VCCQ
69 dps_connect( pl_all_supply ); //
70 Must Connect DPS pins, System SW does not do this
71 measure( TRUE ); //
72 Enables ability to retrieve parametric measurements
73 clear_dut_bins();
74 // Clears Dut bins
75 // Fetch user variables values from dialog box in host
76 process
77 remote_fetch(RUN_NAME, 0, false, INFINITE);
78 remote_fetch(DUT1_NAME, 0, false, INFINITE);
```

```
79 remote_fetch(DUT2_NAME, 0, false, INFINITE);
80 remote_fetch(DUT3_NAME, 0, false, INFINITE);
81 remote_fetch(DUT4_NAME, 0, false, INFINITE);
82 remote_fetch(DUT5_NAME, 0, false, INFINITE);
83 remote_fetch(DUT6_NAME, 0, false, INFINITE);
84 remote_fetch(DUT7_NAME, 0, false, INFINITE);
85 remote_fetch(DUT8_NAME, 0, false, INFINITE);
86 remote_fetch(VOLT_SUPPLY, 0, false, INFINITE);
87 remote_fetch(VOLT_MIN, 0, false, INFINITE);
88 remote_fetch(VOLT_MAX, 0, false, INFINITE);
89 remote_fetch(VOLT_STEP, 0, false, INFINITE);
90 remote_fetch(VOLT_BACK, 0, false, INFINITE);
91 remote_fetch(SETTLING_T, 0, false, INFINITE);
92 remote_fetch(IO_TEST, 0, false, INFINITE);
93 remote_fetch(SUPPLY_TEST, 0, false, INFINITE);
94 remote_fetch(FILE_PATH, 0, false, INFINITE);
95 }
96 AFTER_TESTING_BLOCK( atb_name ) {
97 output("Output from AFTER_TESTING_BLOCK, Site number %d",
98 site_num());
99 site_show_bins();
100 FlowTimer.StopTimer("Total Flow "); //Stop Flow Timer and
101 output time
102 }
103 TEST_BLOCK(tb_continuity) {
104 test_block_header();
105 // Test Settings
106 power_down(); // Set Power
107 Down Voltages
108 vclamp(12 V, -3.5 V ); // Set vclamp
109 because this TB forces current
110 partime(5 MS); // Set
111 parametric wait time
112 back_voltage(0 V); // Set
113 background voltage to 0 V
114 back_voltage_enable(true); // Enable
115 background voltage
116 ipar_force(-50 UA ); // Set Force Value
117 vpar_high( -0.1 V ); // Set high Limit
118 vpar_low( -1.2 V ); // Set low
119 limit
120 // Run Parametric Test and Datalog
```

```
121 partest( pass_niv1, pl_all_pins ); // Execute Test
122 parametric_datalog( pl_all_pins ); // Output
123 parametric results to UI site tab
124 // Resetting Test Parameters
125 partime(0 MS); // Reset
126 parametric wait time
127 back_voltage_enable(false); // Disable
128 background voltage
129 test_block_footer();
130 return MULTI_DUT ;
131 }
132 TEST_BLOCK( tb_IV_Data ) {
133 test_block_header();
134 int row_idx = 1;
135 DutPin * dpin;
136 CArray<double,double> meas_results;
137 CString dut_names[8] = {DUT1_NAME, DUT2_NAME, DUT3_NAME,
138 DUT4_NAME, DUT5_NAME, DUT6_NAME, DUT7_NAME, DUT8_NAME};
139 // Creating Excel file to store test data
140 if ( ! InvokeExcelEx(false) )
141 output("ERROR: Invoking Excel failed!");
142 AddWorkbook();
143 output("Created new Excel file to store I/V data");
144 // Creating Excel worksheet to store test data
145 AddWorkSheet( "IV_Data", true, true );
146 if ( ! SelectWorkSheet("IV_Data") )
147 output("ERROR: Selecting Excel worksheet 'IV_Data'
148 failed!");
149 output("Created Excel worksheet 'IV_Data' to store I/V
150 data");
151 // Write Excel File Worksheet Header
152 AddVal( "PRODUCT:", row_idx, 1 ); AddVal(
153 "eMMC", row_idx, 2 ); row_idx++;
154 AddVal( "RUN NAME:", row_idx, 1 ); AddVal(
155 RUN_NAME, row_idx, 2 ); row_idx++;
156 CString str_value;
157 str_value.Format("%1.1f V", VOLT_SUPPLY);
158 AddVal( "SUPPLY VOLTAGE:", row_idx, 1 ); AddVal( str_value,
159 row_idx, 2 ); row_idx++;
160 str_value.Format("%1.1f V", VOLT_MIN);
161 AddVal( "MIN. VOLTAGE:", row_idx, 1 ); AddVal(
162 str_value, row_idx, 2 ); row_idx++;
```

```
163 str_value.Format("%1.1f V", VOLT_MAX);
164 AddVal( "MAX. VOLTAGE:", row_idx, 1 ); AddVal(
165 str_value, row_idx, 2 ); row_idx++;
166 str_value.Format("%1.1f V", VOLT_STEP);
167 AddVal( "VOLTAGE STEP:", row_idx, 1 ); AddVal(
168 str_value, row_idx, 2 ); row_idx++;
169 str_value.Format("%1.1f V", VOLT_BACK);
170 AddVal( "BACKGROUND VOLT.:", row_idx, 1 ); AddVal( str_value,
171 row_idx, 2 ); row_idx++;
172 str_value.Format("%1.1f ms", SETTling_T);
173 AddVal( "SETTLING TIME:", row_idx, 1 ); AddVal(
174 str_value, row_idx, 2 ); row_idx++;
175 time_t now = time(0); struct tm * timeinfo = localtime(&now);
176 AddVal( "DATE/TIME:", row_idx, 1 ); AddVal(
177 asctime(timeinfo) , row_idx, 2 ); row_idx++;
178 for ( int t_run = 0; t_run < 2; t_run++ ) {
179 bool io_run = (t_run == 0 && IO_TEST );
180 bool supply_run = (t_run == 1 && SUPPLY_TEST );
181 if (io_run || supply_run) {
182 // Write Excel File Test Header
183 CString test_header;
184 PinList * pl_measure;
185 if (io_run) {
186 test_header = "I/V DATA POR I/O PINS";
187 pl_measure = pl_all_pins;
188 } else {
189 test_header = "I/V DATA POR SUPPLY PINS";
190 pl_measure = pl_all_supply;
191 }
192 row_idx++;
193 AddVal( test_header, row_idx, 1 );
194 output("Test Run: %s", test_header);
195 row_idx++;
196 int col_idx = 1;
197 // Write Excel File Column Header (Pin Name)
198 AddVal( "Pin Name", row_idx, col_idx );
199 CString pin_name;
200 for ( int dpi = 0; pin_info(pl_measure, dpi, &dpin
201 ); ++dpi ) {
202 pin_name = resource_name( dpin );
203 SoftwareOnlyActiveDutIterator ad1;
204 while( ad1.More() ) {
```

```
205 col_idx++;
206 AddVal( pin_name, row_idx, col_idx );
207 }
208 }
209 row_idx++;
210 // Write Excel File Column Header (DUT Number)
211 col_idx = 1;
212 AddVal( "Force (V)", row_idx, col_idx );
213 //CString dut_header;
214 for ( int dpi = 0; pin_info(pl_measure, dpi, &dpin
215 ); ++dpi ) {
216 SoftwareOnlyActiveDutIterator ad1;
217 while( ad1.More() ) {
218 col_idx++;
219 //dut_header.Format( dut_name"DUT %d",
220 active_dut_get( ) + 1);
221 AddVal( dut_names[active_dut_get()],
222 row_idx, col_idx );
223 }
224 }
225 row_idx++;
226 // Test Settings
227 partime(SETTLING_T MS);
228 // Settling Time
229 back_voltage_enable(true); //
230 Enable background voltage
231 dps(VOLT_SUPPLY V, pl_all_supply); // Set
232 VCC/VCCQ = VOLT_MAX
233 back_voltage(VOLT_BACK V); // Set
234 background voltage to VOLT_BACK
235 ipar_high(2 MA, range4); // Set
236 high Limit
237 ipar_low(-2 MA, range4); // Set
238 low limit
239 // Make I/V Measurements
240 for (double vforce = VOLT_MIN; vforce < VOLT_MAX +
241 0.01; vforce = vforce + VOLT_STEP) {
242 // Run Parametric Measurement
243 vpar_force(vforce V);
244 // Force Voltage
245 partest( pass_nicl, pl_measure, iacc,
246 sequential ); // Measure Current
```

```
247 // Datalog do UI
248 parametric_datalog( pl_measure );
249 // Datalog to Excel File
250 col_idx = 1;
251 AddVal( vforce, row_idx, col_idx );
252 for ( int dpi = 0; pin_info(pl_measure, dpi,
253 &dpin ); ++dpi ) {
254 SoftwareOnlyActiveDutIterator ad1;
255 while( ad1.More() ) {
256 col_idx++;
257 Pin_meas( meas_results );
258 AddVal( meas_results[dpi],
259 row_idx, col_idx );
260 }
261 }
262 row_idx++;
263 }
264 }
265 }
266 // Resetting Test Parameters
267 power_down(); // Reset to
268 Power Down Voltages
269 back_voltage_enable(false); // Disable
270 background voltage
271 //Saving Excel file with test data
272 CString filename;
273 filename.Format("%s/%s_Site%d_%04d%02d%02d_%02d%02d%02d.xlsx"
274 , FILE_PATH, RUN_NAME, site_num(), timeinfo->tm_year+1900,
275 timeinfo->tm_mon+1, timeinfo->tm_mday, timeinfo->tm_hour,
276 timeinfo->tm_min, timeinfo->tm_sec);
277 SaveAs(filename);
278 QuitExcel( true, false );
279 ReleaseExcel();
280 output("I/V data saved in file %s", filename);
281 test_block_footer();
282 return MULTI_DUT ;
283 }
284 /*
285 *****
286 ***** Pin Assignment Table
287 *****
288 */
```

```
289 #include "tester.h"
290 // Declare dut_pin_info array used for datalog purposes
291 static CMap < DutPin *, DutPin *, CString, CString > dut_pin_info;
292 // ***** Use DUT_PIN() Macro to name each pin of a single device
293 *****
294 DUT_PIN(DAT0) { }
295 DUT_PIN(DAT1) { }
296 DUT_PIN(DAT2) { }
297 DUT_PIN(DAT3) { }
298 DUT_PIN(DAT4) { }
299 DUT_PIN(DAT5) { }
300 DUT_PIN(DAT6) { }
301 DUT_PIN(DAT7) { }
302 DUT_PIN(CLK) { }
303 DUT_PIN(CMD) { }
304 DUT_PIN(DS) { }
305 DUT_PIN(RST) { }
306 DUT_PIN(VCC) { }
307 DUT_PIN(VCCQ) { }
308 DUT_PIN(VSS) { }
309 // ***** PIN_ASSIGNMENTS table declaration *****
310 PIN_ASSIGNMENTS( pin_assign_emmc_768p_tse )
311 {
312 SITES_PER_CONTROLLER(1)
313 // ASSIGN statements, ASSIGN_1DUT - ASSIGN_32DUT
314 // Pin t_dut1 t_dut2
315 t_dut3 t_dut4 t_dut5 t_dut6
316 t_dut7 t_dut8
317 ASSIGN_8DUT( DAT0, a_1, b_1, a_2,
318 b_2, a_33, b_33, a_34, b_34 )
319 ASSIGN_8DUT( DAT1, a_3, b_3, a_4,
320 b_4, a_35, b_35, a_36, b_36 )
321 ASSIGN_8DUT( DAT2, a_9, b_9, a_10,
322 b_10, a_41, b_41, a_42, b_42 )
323 ASSIGN_8DUT( DAT3, a_11, b_11, a_12,
324 b_12, a_43, b_43, a_44, b_44 )
325 ASSIGN_8DUT( DAT4, a_17, b_17, a_18,
326 b_18, a_49, b_49, a_50, b_50 )
327 ASSIGN_8DUT( DAT5, a_19, b_19, a_20,
328 b_20, a_51, b_51, a_52, b_52 )
329 ASSIGN_8DUT( DAT6, a_25, b_25, a_26,
330 b_26, a_57, b_57, a_58, b_58 )
```

```

331 ASSIGN_8DUT( DAT7, a_27, b_27, a_28,
332 b_28, a_59, b_59, a_60, b_60 )
333 ASSIGN_8DUT( CLK, a_5, b_5, a_7,
334 b_7, a_37, b_37, a_39, b_39 )
335 ASSIGN_8DUT( CMD, a_13, b_13, a_14,
336 b_14, a_45, b_45, a_46, b_46 )
337 ASSIGN_8DUT( DS, a_15, b_15, a_21,
338 b_21, a_47, b_47, a_53, b_53 )
339 ASSIGN_8DUT( RST, a_23, b_23, a_24,
340 b_24, a_55, b_55, a_56, b_56 )
341 ASSIGN_8DUT( VCC, a_dps1a, a_dps1b, b_dps1a,
342 b_dps1b, a_dps3a, a_dps3b, b_dps3a, b_dps3b )
343 ASSIGN_8DUT( VCCQ, a_dps2a, a_dps2b, b_dps2a,
344 b_dps2b, a_dps4a, a_dps4b, b_dps4a, b_dps4b )
345 // define the package pin numbers - used for datalog
346 dut_pin_info[DAT0] = "A9";
347 dut_pin_info[DAT1] = "B10";
348 dut_pin_info[DAT2] = "C6";
349 dut_pin_info[DAT3] = "B5";
350 dut_pin_info[DAT4] = "C9";
351 dut_pin_info[DAT5] = "A10";
352 dut_pin_info[DAT6] = "A5";
353 dut_pin_info[DAT7] = "B4";
354 dut_pin_info[CLK] = "B8";
355 dut_pin_info[CMD] = "A6";
356 dut_pin_info[DS]= "A7";
357 dut_pin_info[RST] = "C2";
358 dut_pin_info[VCC] = "B3,B12,B13,C4,D8";
359 dut_pin_info[VCCQ] = "A4,B6,B9,C7,C11";
360 }
361 // return the package pin number for this dutpin
362 CString get_dut_pin_number( DutPin * dpin ) {
363 return dut_pin_info[ dpin ];
364 }
365 #include "tester.h"
366 /*
367 *****
368 ***** Pin List file
369 *****8*****
370 Fill in your Pin Lists in this file. You MUST also declare all Pin
371 Lists
372 as externals in the pin_lists.h file.

```

```
373 PINLIST declarations may contain multiple "PINS()" ( PINS() thru
374 PINS8() ) statements.
375 PINLIST may also contain 1 or more INCLUDE_PINLIST()
376 */
377 PINLIST( pl_DAT0 ) {
378 PINS1(DAT0)
379 }
380 PINLIST( pl_DAT1 ) {
381 PINS1(DAT1)
382 }
383 PINLIST( pl_DAT2 ) {
384 PINS1(DAT2)
385 }
386 PINLIST( pl_DAT3 ) {
387 PINS1(DAT3)
388 }
389 PINLIST( pl_DAT4 ) {
390 PINS1(DAT4)
391 }
392 PINLIST( pl_DAT5 ) {
393 PINS1(DAT5)
394 }
395 PINLIST( pl_DAT6 ) {
396 PINS1(DAT6)
397 }
398 PINLIST( pl_DAT7 ) {
399 PINS1(DAT7)
400 }
401 PINLIST( pl_CLK ) {
402 PINS1(CLK)
403 }
404 PINLIST( pl_CMD ) {
405 PINS1(CMD)
406 }
407 PINLIST( pl_DS ) {
408 PINS1(DS)
409 }
410 PINLIST( pl_RST ) {
411 PINS1(RST)
412 }
413 PINLIST( pl_VCC ) {
414 PINS1(VCC)
```

```
415 }
416 PINLIST( pl_VCCQ ) {
417 PINS1(VCCQ)
418 }
419 PINLIST( pl_data ) { // Data Pins
420 PINS8(DAT0, DAT1, DAT2, DAT3, DAT4, DAT5, DAT6, DAT7)
421 }
422 PINLIST( pl_all_inputs ) {
423 INCLUDE_PINLIST(pl_data)
424 INCLUDE_PINLIST(pl_CLK)
425 INCLUDE_PINLIST(pl_CMD)
426 INCLUDE_PINLIST(pl_RST)
427 }
428 PINLIST( pl_all_outputs ) {
429 INCLUDE_PINLIST(pl_data)
430 INCLUDE_PINLIST(pl_CMD)
431 INCLUDE_PINLIST(pl_DS)
432 }
433 PINLIST( pl_all_bidir ) {
434 INCLUDE_PINLIST(pl_data)
435 INCLUDE_PINLIST(pl_CMD)
436 }
437 PINLIST( pl_all_pins ) {
438 INCLUDE_PINLIST(pl_data)
439 INCLUDE_PINLIST(pl_CLK)
440 INCLUDE_PINLIST(pl_CMD)
441 INCLUDE_PINLIST(pl_RST)
442 INCLUDE_PINLIST(pl_DS)
443 }
444 PINLIST( pl_all_supply ) {
445 INCLUDE_PINLIST(pl_VCC)
446 INCLUDE_PINLIST(pl_VCCQ)
447 }
448 PINLIST( pl_all_dut_pins ) {
449 INCLUDE_PINLIST(pl_all_pins)
450 INCLUDE_PINLIST(pl_all_supply)
451 }
452 // *****
453 // ***** PINLIST External Declarations file *****
454 // *****
455 EXTERN_PINLIST( pl_DAT0 );
456 EXTERN_PINLIST( pl_DAT1 );
```

```
457 EXTERN_PINLIST( pl_DAT2 );
458 EXTERN_PINLIST( pl_DAT3 );
459 EXTERN_PINLIST( pl_DAT4 );
460 EXTERN_PINLIST( pl_DAT5 );
461 EXTERN_PINLIST( pl_DAT6 );
462 EXTERN_PINLIST( pl_DAT7 );
463 EXTERN_PINLIST( pl_CLK );
464 EXTERN_PINLIST( pl_CMD );
465 EXTERN_PINLIST( pl_DS );
466 EXTERN_PINLIST( pl_RST );
467 EXTERN_PINLIST( pl_VCC );
468 EXTERN_PINLIST( pl_VCCQ );
469 EXTERN_PINLIST( pl_data );
470 EXTERN_PINLIST( pl_all_inputs);
471 EXTERN_PINLIST( pl_all_outputs );
472 EXTERN_PINLIST( pl_all_bidir);
473 EXTERN_PINLIST( pl_all_pins );
474 EXTERN_PINLIST( pl_all_supply );
475 EXTERN_PINLIST( pl_all_dut_pins );
476 #include "tester.h"
477 /*
478 *****
479 **
480 ***** Pin Scramble Maps file
481 *****
482 *****
483 **
484 Fill in your Pin Scramble Maps in this file.
485 Enter your Pin Scramble Table(s) below. If you have
486 multiple Pin Scramble Tables, simply add them
487 below using unique names for each.
488 *****
489 */
490 #define PASS TRUE
491 #define FAIL FALSE
492 // binning.cpp
493 class bin {
494 public:
495 CString name;
496 int sbin; // soft bin
497 int hbin; // hard bin
498 CString data;
```

```
499 CString repair_data;
500 };
501 // datalog.cpp
502 EXTERN_BOOL_VARIABLE( dlog );
503 EXTERN_BOOL_VARIABLE( dlog_file );
504 // voltage_sets.cpp
505 void vs_loose(void);
506 void power_down(void);
507 // binning.cpp
508 void init_bins();
509 void process_test_results(TestBin*, int, int);
510 void site_show_bins(void);
511 void clear_dut_bins(void);
512 //timing_lists.cpp
513 void ts_10mhz(void);
514 // address_topo.cpp
515 void SetAddressTopo(void);
516 // test_blocks.cpp
517 EXTERN_CSTRING_VARIABLE( RUN_NAME );
518 EXTERN_CSTRING_VARIABLE( DUT1_NAME );
519 EXTERN_CSTRING_VARIABLE( DUT2_NAME );
520 EXTERN_CSTRING_VARIABLE( DUT3_NAME );
521 EXTERN_CSTRING_VARIABLE( DUT4_NAME );
522 EXTERN_CSTRING_VARIABLE( DUT5_NAME );
523 EXTERN_CSTRING_VARIABLE( DUT6_NAME );
524 EXTERN_CSTRING_VARIABLE( DUT7_NAME );
525 EXTERN_CSTRING_VARIABLE( DUT8_NAME );
526 EXTERN_DOUBLE_VARIABLE ( VOLT_SUPPLY );
527 EXTERN_DOUBLE_VARIABLE ( VOLT_MIN );
528 EXTERN_DOUBLE_VARIABLE ( VOLT_MAX );
529 EXTERN_DOUBLE_VARIABLE ( VOLT_STEP );
530 EXTERN_DOUBLE_VARIABLE ( VOLT_BACK );
531 EXTERN_DOUBLE_VARIABLE ( SETTILING_T );
532 EXTERN_BOOL_VARIABLE ( IO_TEST );
533 EXTERN_BOOL_VARIABLE ( SUPPLY_TEST );
534 EXTERN_CSTRING_VARIABLE( FILE_PATH );
535 // host_begin.cpp
536 EXTERN_VOID_VARIABLE(TEST_BUTTON);
537 // dialog_box.cpp
538 EXTERN_DIALOG( OPTIONS_DIALOG )
```
