

UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA MECÂNICA

AVALIAÇÃO NUMÉRICA DO EMPENAMENTO DURANTE A FABRICAÇÃO DE
SEMICONdutoRES ENCAPSULADOS PELA TECNOLOGIA POP

FABIANO ALEX COLLING

Dissertação de mestrado

São Leopoldo, Novembro de 2014

AVALIAÇÃO NUMÉRICA DO EMPENAMENTO DURANTE A FABRICAÇÃO DE
SEMICONDUCTORES ENCAPSULADOS PELA TECNOLOGIA POP

FABIANO ALEX COLLING

Trabalho submetido ao Programa de Pós-Graduação em Engenharia Mecânica da Universidade do Vale do Rio dos Sinos - UNISINOS como pré-requisito parcial para a obtenção do título de Mestre em Engenharia Mecânica.

Mestre em Engenharia Mecânica

Orientador: Prof. Dr. Carlos Alberto Mendes Moraes
Co-orientador: Prof. Dr. Willyan Hasenkamp Carreira

Banca Examinadora:

Prof. Dra. Flávia Schwarz Franceschini Zinani (PPGEM, Unisinos)
Prof. Dr. Conrad Yuan Yuen Lee (PPGEM, Unisinos)
Prof. Dr. Luiz Eduardo Rhod (PPGEE, Unisinos)
Prof. Dr. Ricardo Meurer Papaléo (PURS)

São Leopoldo, Novembro de 2014

C711a Colling, Fabiano Alex
Avaliação numérica do empenamento durante a fabricação de semicondutores encapsulados pela tecnologia POP / Fabiano Alex Colling– 2014.
93 f. :il. color. ; 30cm.
Dissertação (mestre em Engenharia Mecânica) -- Universidade do Vale do Rio dos Sinos. Programa de Pós-Graduação em Engenharia Mecânica, São Leopoldo, RS, 2014.
Orientador: Orientador: Prof. Dr. Carlos Alberto Mendes Moraes; Coorientador: Prof. Dr. Willyan Hasenkamp Carreira.

1. Engenharia mecânica. 2. Simulação computacional. 3. Termomecânica. 4. Semicondutores encapsulados - empenamento. 5. Encapsulamento sobre encapsulamento. I. Título. II. Moraes, Carlos Alberto Mendes. III. Carreira, Willyan Hasenkamp.

CDU 621

FINANCIAMENTO DE PESQUISA

Este trabalho é financiado pela Tecnosinos através bolsa de estudos de 40% do programa Talentos Tecnosinos, da Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (Fapergs) através do Programa de Internacionalização da Pós-Graduação no RS - EDITAL CAPES/FAPERGS 12/2013 - Internacionalização do PPG/RS, do CNPQ através do edital/chamada Emenda MCT/FINEP - Tecnologia e Inovação e tem apoio do itt Chip - Instituto Tecnológico de Semicondutores da Unisinos, NucMat - Núcleo de Pesquisas de Materiais da Unisinos, da Hongik University da Coreia do Sul, do Laboratório de Modelagem Elétrica Térmica e Mecânica de Módulos e Encapsulamentos e Eletrônicos (Modelab), do Governo do Estado do Rio Grande do Sul que foi o órgão financiador Modelab.



AGRADECIMENTOS

A minha esposa Cecilia e meu filho Lorenzo, que me impulsionaram a fazer o mestrado, acreditaram que tudo daria certo e tiveram paciência e a compreensão nos momentos que não pude estar presente.

A minha família, por terem sempre me apoiado ao longo do meu caminho acadêmico e profissional.

Ao Professor Dr. Carlos A. M. Moraes pela esplêndida orientação, por proporcionar o aprendizado muito além do trabalho acadêmico, pela compreensão e principalmente pela confiança.

Ao Professor Dr. Willian Hasenkamp Carreira, pela co-orientação, sugestões e críticas construtivas as quais foram de grande valia para este trabalho.

Ao Professor Dr. Tae Sung Oh, pelo projeto desenvolvido junto a esse trabalho, o que contribui muito para que eu pudesse transformar esta dissertação num marco para desenvolvimento tecnológico em encapsulamento de semicondutores na minha região.

A equipe de pesquisadores da Universidade Hongik da Coreia do Sul, que me acolheram em seu laboratório com tanta cordialidade e que também contribuíram de forma significativa para o meu desenvolvimento profissional.

Ao Itt Chip e principalmente ao Modelab, que viabilizou sua infraestrutura possibilitando tornar este trabalho um sucesso.

Aos colegas do Modelab pelos valiosos debates e todos os amigos que de uma forma ou outra estiveram presente e contribuíram para amenizar as angustias surgida ao longo da dissertação.

Aos órgãos CNPQ, Fapergs, Finep, Tecnosinos e Nucmat, pela concessão da bolsa e apoio financeiro pra realizar a pesquisa.

RESUMO

O desenvolvimento de novas tecnologias de encapsulamento de semicondutores tem diminuído o tamanho das trilhas das placas de circuito impresso em busca da miniaturização. Esta diminuição está chegando ao limite possível de ser construído pelo fato de apresentar problemas, como aumento da resistência, ou por ruptura por eletromigração, além do aumento do custo para o controle de partículas nas salas limpas de fabricação. O Encapsulamento sobre Encapsulamento (Package on Package - PoP) surge como uma proposta de encapsulamento com empilhamento de chips finos para reduzir a ocupação do chip na placa. A diferença de propriedades térmicas e mecânicas dos diferentes materiais que compõem o chip encapsulado pode resultar no empenamento do componente. Neste trabalho, foi simulado o comportamento termomecânico de um dispositivo eletrônico encapsulado pela tecnologia Package on Package. Foi avaliado, do ponto de vista térmico e mecânico, quais são os fatores geradores do empenamento de semicondutores encapsulados com a tecnologia PoP recorrente no processo de moldagem. As condições e parâmetros de processo de fabricação foram estudados durante a fabricação de um protótipo de chip de 40 μm de espessura e moldado com um composto de epóxi do tipo 2 (Epoxy Molding Compound - EMC) realizado no Laboratório de Materiais do Departamento de Ciências dos Materiais e Engenharia da universidade Hongik da Coreia do Sul, parceira no projeto de pesquisa. Através das medições do empenamento, por interferometria de Moiré, realizadas no laboratório de testes da empresa Sul Coreana Hana Micron, foi possível construir correlações com a simulação computacional deste componente. Os resultados desta comparação foram utilizados como base para a validação da simulação e ajustes de dados de entrada utilizados em outras três espessuras diferentes de chip de silício (70, 100 e 200 μm) e dois tipos diferentes de EMC (EMC1 e EMC2). As condições e parâmetros de processo de fabricação, a influência no empenamento das diferentes espessuras e tipos de EMC dos componentes simulados foram avaliados. As simulações realizadas com variação no EMC em componentes com chip de 40 μm mostraram que o EMC do tipo 1 apresenta uma redução de 42,39% no empenamento na parte superior do componente (Top) maior em relação ao EMC do tipo 2. No Top, o substrato com chip de 100 μm , o empenamento foi reduzido em 36,62% e no de 200 μm a redução foi de 3,29%. Os resultados mostram a importância da simulação para prever a tendência do empenamento, quando existe a necessidade de muitas variações de parâmetros de processo de fabricação.

Palavras-chave: simulação computacional. termomecânica. empenamento. Encapsulamento sobre Encapsulamento.

ABSTRACT

The development of new technologies of semiconductors packaging has reduced the size of the tracks of printed circuit boards in search of miniaturization. This reduction has been reaching its own possible limits (of construction) because it has several problems, such as increase of resistance, rupture by electromigration, in addition to the increase of costs of particles control in manufacturing cleanrooms. Package on Package (PoP) comes as a proposition for encapsulation with thin chips piling in order to reduce chip occupation on the board. The difference in thermal and mechanical properties of the different materials that make up the encapsulated chip may result in the warpage of the component. In this study, the thermomechanical behavior of an electronic device encapsulated by the Package on Package technology was simulated. From the thermal and mechanical point of view, it was evaluated what factors cause the warpage of the semiconductors encapsulated with the PoP technology, warpage which is recurrent in the molding process. The manufacturing process conditions and parameters were assessed/evaluated during the making of a 40 μ m-thick chip prototype which was molded with a type 2 Epoxi Molding Compound - EMC - in the Materials Laboratory of Hongik University Department of Materials Science and Engineering in South Korea, our partner in this research project. Through the warpage measurements, by Moiré interferometry carried out in South Korean Hana Micron's test laboratory, we managed to build correlations with the computing simulation of this component. The results of this comparison were used as base for validation of the simulation and for adjustment of input data used in three different thickness of silicon chips (70, 100 and 200 μ m) and two different EMC (EMC1 and EMC2). The manufacturing process conditions and parameters, the influence in warpage of different thicknesses and simulated components EMC types were evaluated. The simulations carried out with EMC variation in components with 40 μ m chip demonstrated that type 1 EMC has a decrease in warpage of the upper part of the component (Top) 42.39 percent larger than type 2 EMC. On the Top, the substrate plus chip with 100 μ m thickness, the warpage was reduced in 36.62 percent, and in the 200 μ m chip, the reduction was by 3.29 percent. The results show the importance of simulation to predict warpage tendency, when there is the need for many variations of manufacturing production parameters.

Keywords: computing simulation, thermomechanics, warpage, Package on Package.

LISTA DE ABREVIATURAS

BGA	Encapsulamento tipo Matriz de Esferas (<i>Ball Grid Array</i>)
BNDES	Banco Nacional de Desenvolvimento Econômico e Social
CAD	Desenho Assistido por Computador (<i>Computer Aided Design</i>)
CI	Circuito Integrado (<i>Chip ou Die</i>)
DSC	Calorimetria Diferencial de Varredura (<i>differential scanning calorimetry</i>)
CSP	Encapsulamento em Escala de Chip (<i>Chip-Scale Package</i>)
DAF	Filme Adesivo do Chip (<i>Die Attach Film</i>)
DHs	Centro de projetos de CIs (<i>Design Houses</i>)
DIP	Encapsulamento tipo Linha Dupla (<i>Dual In-line Package</i>)
DMA	Análise Mecânica-Dinâmica (<i>Dynamic Mechanical Analysis</i>)
DRAM	Memória Dinâmica de Acesso Aleatório (<i>Dynamic Random Access Memory</i>)
EMC	Composto de Epóxi para Moldagem (<i>Epoxy Molding Compound</i>)
GPS	Sistema de Posicionamento Global (<i>Global Positioning System</i>)
ITRS	Internacional mapa de projeções de tecnologia para semicondutores (<i>International Technology Roadmap for Semiconductor</i>)
JEDEC	Conselho Conjunto de Engenharia de Dispositivos Eletrônico (<i>Joint Electronic Devices Engineering Council</i>)
MCTI	Ministério da Ciência, Tecnologia e Inovação
MEF	Método dos Elementos Finitos (<i>Finite Element Modeling-FEM</i>)
MODELAB	Laboratório de Modelagem Elétrica Térmica e Mecânica de Módulos e Encapsulamentos Eletrônicos
P&D	Pesquisa e Desenvolvimento
PADIS	Programa de Apoio ao desenvolvimento Tecnológico da Indústria de Semicondutores
PCI	Placa de Circuito Impresso
PGA	Encapsulamento tipo Matriz de Pinos (<i>Pin Grid Arrays</i>)
PoP	Encapsulamento sobre Encapsulamento (<i>Package on Package</i>)
QFP	Encapsulamento Quadrado Plano (<i>Quad Flat Pack</i>)
SIP	Sistema em um único Encapsulamento (<i>System in Package</i>)
SOP	Sistema Encapsulado (<i>System on Package</i>)
TMA	Análise Termo-Mecânica
TSV	Vias Através do Silício (<i>Through Silicon Via</i>)
FinFET	Transistor de efeito de campo de Alça (<i>Finger Field Effect Transistor</i>)

LISTA DE TABELAS

Tabela 1.1 – Levantamento bibliográfico em banco de dados sobre o tema abordado.....	18
Tabela 2.1 – Típicas estruturas de encapsulamento PoP.....	35
Tabela 3.1 – Variações das dimensões do <i>Top</i> e do <i>Bottom</i> utilizados na simulação.....	50
Tabela 3.2 – Relação de materiais e suas propriedades.....	50
Tabela 3.3 – Perfil de temperatura utilizado na simulação. Os perfis são similares aos usados para fabricação de protótipos no laboratório da Universidade Hongik.....	58

LISTA DE SÍMBOLOS

A	Área de superfície [m ²]
$\{\epsilon^{el}\}$	Diferença entre o vetor deformação total e o vetor deformações térmica
$\{\epsilon^{th}\}$	vetor deformações térmica
ϵ_x	Deformações transversais na direção x [-]
ϵ_y	Deformações transversais na direção y [-]
ϵ_z	Deformações transversais na direção z [-]
\bar{h}	Coefficiente de transferência de calor [Ww/cm ³]
S_x	Desvios-padrão da variável X [-]
S_y	Desvios-padrão da variável Y [-]
E_x	Módulo de Young na direção x
G_{xy}	Modulo de cisalhamento no plano xz
H_0	Hipótese 0 [-]
H_1	Hipótese 1 [-]
T_g	Temperatura de transição vítrea [°C]
T_{ref}	Temperatura de referência
V_0	volume original [m ³]
t_{estat}	Significância de relação linear [-]
ν_{xy}	Maior coeficiente de Poison
ν_{yx}	Menor coeficiente de Poison
$\{\epsilon\}$	vetor deformação total
$[D]$	Matriz de rigidez elástica
ΔV	Variação do volume [m ³]
ΔT	variação da temperatura [°C]
Δl	variação do comprimento
G	Módulo de rigidez [Pa]
L	Comprimento [m]
l_0	Comprimento original [m]
l_i	Comprimento instantâneo [m]
t	Tempo [s]
E	Módulo de <i>Young</i> ou Módulo de elasticidade [Pa]
F	Força [N]
T	Temperatura [°C]
cov	Covariância [-]
k	Condutividade térmica do material [W/m ² K]
n	Número de elementos de uma amostra [-]
q	Taxa de transferência de calor [W/m ²]
r	Coefficiente de correlação [-]

ν Coeficiente de *Poisson* [-]

LISTA DE SÍMBOLOS GREGOS

ϵ Deformação elástica [-]

α Coeficiente de expansão térmica [$^{\circ}\text{C}^{-1}$]

ρ inclinação da população

σ Tensão [Pa]

$\{\sigma\}$ Vetor tensão

LISTA DE FIGURAS

Figura 2.1 – Tipos de encapsulamentos de CIs.	21
Figura 2.2 – Tipos de tecnologias de montagem de componentes eletrônicos em placa de circuito impresso. a) Montagem tipo <i>through-hole</i> ; b) Montagem tipo <i>surface mount</i>	22
Figura 2.3 – Ilustração de um recorte de encapsulamento tipo BGA.....	22
Figura 2.4 – Desenho ilustrativo do encapsulamento PoP montado.	26
Figura 2.5 – Ilustração do processo de montagem do encapsulamento PoP antes de soldar na PCI.....	27
Figura 2.6 – Ilustração do processo de montagem do encapsulamento PoP realizando a junção dos três componentes em uma única passagem pelo forno.	28
Figura 2.7 – Modelo de forno de refusão com cinco zonas de aquecimento e uma zona de resfriamento utilizado na montagem de placa eletrônica.	29
Figura 2.8 – Perfil de temperatura típico utilizado para refusão para ligas contendo: Sn63Ob37 ou Sn62Pb36Ag02.....	31
Figura 2.9 – Perfil de temperatura típico para cura do epóxi utilizado para colagem do chip no substrato.....	32
Figura 2.10 – Tipos de empenamento: a) côncavo e b) convexo	33
Figura 2.11 – Detalhe de soldas rompidas na junção do encapsulamento PoP devido ao empenamento ocorrido no processo de refusão.....	33
Figura 2.12 – Espectro de coeficientes de expansão térmica dos principais materiais de encapsulamento.	38
Figura 2.13 – Diagrama tensão-deformação.....	40
Figura 2.14 – Exemplo de gráfico de tensão-deformação para determinar o módulo de Young através da razão entre a tensão e a deformação.	41
Figura 2.15 – Curva de tensão-deformação de comportamento elástico não linear.....	42
Figura 2.16 – Espectro do módulo de Young dos principais materiais de encapsulamento. ...	43
Figura 2.17 – Formatos de elementos 3D utilizados para modelagem computacional.	45
Figura 2.18 – Exemplo de representação gráfica do teste de convergência do refinamento de malha com as tensões resultantes.	46
Figura 3.1 – Esquema sequencial de utilização dos softwares para realizar a simulação.	51
Figura 3.2 – Desenho do substrato utilizado no <i>Top</i> e no <i>Bottom</i> com a matriz de distribuição das bases de contato de cobre. a) Visão frontal do Desenho; b) vista seccional do desenho; c) Foto Frontal do Substrato; d) Foto de microscópio do substrato em recorte transversal.	53

Figura 3.3 – Desenho em vista explodida das partes que compõem o <i>Top</i> utilizado na simulação.....	54
Figura 3.4 – Detalhe do desenho em: a) corte transversal do encapsulamento PoP representação 2D e b) visão plano frontal detalhando a distribuição da base de cobre.	55
Figura 3.5 – Malha de modelagem do elemento finito para <i>Top</i> . a) Malha tetraédrica formada na Mascara de Solda; b) Malha com elementos hexaédrico formada no EMC, Chip, Fita adesiva e substrato do <i>Top</i> c) Vista lateral da malha gerada no <i>Top</i>	56
Figura 3.6 – Malha de modelagem do elemento finito para o <i>Bottom</i> . a) Malha tetraédrica formada na mascara de solda do <i>Bottom</i> ; b) Malha com elementos hexaédrico formada no EMC, Chip, Fita adesiva e substrato no <i>Bottom</i> ; c) Vista lateral da malha gerada no <i>Bottom</i> .	56
Figura 3.7 – Desenho do <i>Top</i> em corte $\frac{1}{4}$ utilizado para representação de simetria do objeto na simulação.	57
Figura 3.8 – Curva do perfil de temperatura do forno de refusão adotado na montagem encapsulamento PoP.	58
Figura 3.9 – Etapas de moldagem de BGA realizado na Coreia do Sul	59
Figura 3.10 – Etapas de colagem do chip no substrato. a) Cartela de substrato com dois substratos recostados; b) Forma utilizada para posicionamento do chip; c) Chapa elétrica de aquecimento utilizada para cura do filme adesivo.....	60
Figura 3.11 - Etapas de modelagem. a) o componente é encaixado no molde; b) o molde é fechado; c) a) após fechar com parafusos o epóxi é inserido em um orifício d) um pino fecha o orifício; e) o molde é inserido no forno; f) o pino é posicionado no centro da prensa g) o forno é fechado e ligado na programação do ciclo de cura; h) após resfriar o molde em temperatura ambiente, o componente é removido.....	61
Figura 3.12 – Etapas de Modelagem do <i>Top</i> e do <i>Bottom</i> . a) Para modelagem do <i>Bottom</i> a face do cobre é voltada para cima; b) Chip é colado na face do cobre c) Epóxi cobrindo somente o chip mantendo as bases de cobre para soldagem do <i>Top</i> ; d) Para a modelagem do <i>Top</i> a face do cobre é voltada para baixo; e) O chip é colado no <i>Top</i> ; f) O epóxi cobre o chip e o substrato.....	62
Figura 3.13 - Exemplo de relatório de saída do Ansys.....	63
Figura 4.1 - Curva de empenamento do T40/EMC2 mensurado (em vermelho) e do primeiro T40/EMC2 simulado (em azul), a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC.....	66

Figura 4.2 - Curva de empenamento do B40/EMC2 mensurado (em vermelho) e do primeiro B40/EMC2 simulado (em azul) , a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC.....	67
Figura 4.3 - Curva de empenamento do T40/EM2 mensurado (em vermelho) e do segundo T40/EM2 simulado (em azul) , a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC.....	69
Figura 4.4 - Comparativo da alterações realizadas nas entradas de dados na simulação para as propriedades do EMC	70
Figura 4.5 - Curva de empenamento do T40/EM2 mensurado (em vermelho) e do terceiro T40/EM2 simulado (em azul).....	71
Figura 4.6 - Curva de empenamento T40/EM2 do mensurado (em vermelho) e do quinto T40/EM2 simulado (em azul).....	71
Figura 4.7 - Sequencias de simulações numérica da deformação do modelo 3D do substrato utilizado no T40.....	73
Figura 4.8 - Sequencias de simulações numérica da deformação do modelo 3D do substrato com o chip de silício utilizado no T40.	74
Figura 4.9 - Sequencias de simulações numérica da deformação do modelo 3D do componente com o EMC no T40.....	75
Figura 4.10 - Curva de evolução do coeficiente de correlação entre o empenamento mensurado e o simulado	76
Figura 4.11 - Curva de evolução da significância do coeficiente de correlação do empenamento.....	77

SUMÁRIO

1	INTRODUÇÃO	14
1.1	OBJETIVOS	15
1.1.1	Objetivo Geral	15
1.1.2	Objetivos Específicos.....	16
1.1.3	Justificativa	16
1.2	ESTRUTURA DA PESQUISA.....	19
2	REVISÃO BIBLIOGRÁFICA	20
2.1	ENCAPSULAMENTO DE SEMICONDUTORES.....	20
2.1.1	Tecnologia <i>Package on Package</i>	25
2.2	PROPRIEDADES DOS MATERIAIS PARA ENCAPSULAMENTO DE SEMICONDUTORES.....	35
2.2.1	Propriedades Térmicas	36
2.2.2	Propriedades Mecânicas	39
2.3	MODELAGEM MATEMÁTICA	44
3	MATERIAIS E MÉTODOS	49
3.1	MATERIAIS	49
3.1.1	Software.....	51
3.1.2	Hardware.....	52
3.2	SIMULAÇÃO COMPUTACIONAL.....	52
3.2.1	Desenho geométrico.....	52
3.2.2	Malhas	55
3.3	PARÂMETROS DE PROCESSO, CONDIÇÕES INICIAIS E SIMPLIFICAÇÕES.....	56
3.4	VALIDAÇÃO DA METODOLOGIA	59
3.5	ANÁLISE DOS RESULTADOS	62
4	RESULTADOS E DISCUSSÃO	66
5	CONCLUSÃO.....	79
	REFERÊNCIAS	81
	APÊNDICE A - TABELAS DE SIMULAÇÕES DAS HIPÓTESES	85
	APÊNDICE B - TABELAS DE CORRELAÇÕES	86
	APÊNDICE C - RESULTADO DAS SIMULAÇÕES	87

1 INTRODUÇÃO

A sociedade contemporânea, impulsionada pelo desenvolvimento tecnológico, tem constantemente ampliado o consumo e a demanda de dispositivos móveis eletrônicos dos tipos celulares, telefones celular inteligentes (smartphones), tablets e GPS nas áreas de comunicação e entretenimento. Como exemplo, o mercado de smartphones obteve um crescimento de 60% de janeiro à julho deste ano em relação ao mesmo período do ano anterior, sendo ele o responsável por 73% do total de celulares. (ABINEE, 2014).

Além da ampliação do consumo e da exigência dos consumidores de tecnologia, observa-se que a pressão da concorrência pela participação no mercado vem forçando a indústria a produzir equipamentos cada vez mais rápidos, leves, menores e baratos. Além disso identifica-se a preferência, cada vez maior, dos consumidores pelo design e dimensão destes produtos. (ITRS, 2014).

Sob a influência desta tendência de consumo, os fabricantes de produtos eletroeletrônicos encontram-se em plena corrida pelo processo ao qual se determina o menor valor que uma grandeza possa ter na fabricação de componentes eletrônicos. O processo de miniaturização de equipamentos móveis de comunicação e entretenimento avança tanto em tecnologias de aplicativos (*softwares*) quanto na redução dos equipamentos (*hardware*). (ABINEE, 2014).

Além da nova tecnologia de *software* aplicada aos dispositivos eletrônicos, nota-se uma considerável diminuição no seu tamanho e massa. Aumentar a capacidade de processamento e memória também é necessidade da evolução tecnológica, principalmente nos equipamentos móveis como *smartphones*, celulares, *tablets*, Sistema de Posicionamento Global (GPS), entre outros.

No campo da microeletrônica, o microchip, também conhecido como circuito integrado, é a integração de um grande número de micro e nano transistores fabricados por processo de fotolitografia¹ em um monocristal de silício. Os avanços da tecnologia proporcionam a fabricação de chips com melhor desempenho, ou seja, capacidade de executar, em menos tempo, mais funções com dispositivos cada vez menores. (TUMMALA et al., 1997a).

Entretanto, os chips de memória estão chegando ao seu limite físico. Atualmente a largura de trilha, ou a menor dimensão possível de ser gravada na superfície da lâmina pelo

¹ Técnica utilizada em micro e nano fabricação de dispositivos eletrônicos.

processo de fotolitografia, é da ordem de 14 nm. Mesmo que seja possível diminuir ainda mais a trilha, o microchip apresentaria problemas como aumento da resistência, ruptura por eletromigração e efeitos de tunelamento de corrente, além do aumento do custo para o controle de partículas nas salas limpas de fabricação. (DARLING, 2011; ITRS, 2014).

Nos processos de *front-end*², para a produção de chips semicondutores, as pesquisas se concentram na fotolitografia, em geometrias e materiais novos, bem como no processo de corrosão dos materiais, a fim de alcançar a linha mais estreita possível de ser fabricada. (ITRS, 2014). Em maio de 2011, a Intel anunciou o desenvolvimento de um transistor que não empregava uma estrutura planar existente, mas tinha uma nova estrutura tridimensional onde os transistores ficam posicionados na posição vertical chamado de FinFET. Este dispositivo tem como principal vantagem a densidade de integração. (INTEL, 2014).

As dificuldades de integração de semicondutores nos processos de *front-end*, ou seja, as dificuldades de incluir mais funções ou mais transistores por unidade de área de chip na superfície da lâmina de silício ocorrem por limites físicos, tecnológicos e de custo. Em função destas limitações surgiu uma alternativa tecnológica viável para aumentar a integração através do empilhamento de chips em uma estrutura tridimensional pelo processo de *back-end*³, ou seja, no encapsulamento de chips.

A tecnologia de encapsulamento *Package on Package* (PoP) é uma das principais alternativas para encapsulamento em 3D. Esta tecnologia é a que está atraindo mais interesse, especialmente para aplicações de produtos eletrônicos portáteis. Entretanto, o empilhamento de mais e mais chips pode acarretar alguns defeitos durante o processamento do sistema. O principal problema é o empenamento gerado no processo de fabricação. (SUN, P. S. P. et al., 2008; ITRS, 2014).

1.1 OBJETIVOS

1.1.1 Objetivo Geral

- Avaliar, do ponto de vista térmico e mecânico, quais são os fatores geradores do empenamento de semicondutores encapsulados com a tecnologia PoP recorrente no processo de moldagem.

² Etapa de fabricação do chip no processo produtivo do segmento de circuitos integrados.

³ Etapa de encapsulamento e teste no processo produtivo do segmento de circuitos integrados.

1.1.2 Objetivos Específicos

- Desenvolver e analisar as condições e parâmetros da etapa de moldagem do chip em laboratório;
- Avaliar a influência de três diferentes espessuras de chip de silício utilizada em encapsulamento do tipo PoP e dois tipos diferentes de compostos de epóxi para moldagem (Epoxy Molding Compound - EMC).
- Avaliar a influência da deformação do encapsulamento PoP e os parâmetros de processo de fabricação do chip.

1.1.3 Justificativa

Os investimentos em microeletrônica no Brasil iniciaram a partir de 1970 com a participação do Banco Nacional de Desenvolvimento Econômico Social (BNDES) e, em 1974, com a criação da primeira estatal, a Empresa Digital Brasileira (Digibrás), para regulamentar as futuras empresas subsidiárias da área de eletrônica. No final da década de 80, os segmentos que mais receberam investimentos foram os de informática com 53%, os equipamentos de telecomunicação com 19% e apenas 9% para componentes eletrônicos, que também repetiu o mesmo percentual na década seguinte. (BNDES, 2014).

Percebe-se, claramente, que os investimentos no desenvolvimento em componentes eletrônicos ficaram a desejar, transformando o segmento como o mais crítico em deficiência do complexo eletrônico no Brasil. Este fato impacta também na atração de investimentos estrangeiros, embora a Samsung tenha se instalado no Brasil no final da década de 90 para fabricação de aparelhos de telefonia celular. (BNDES, 2014).

A retomada dos incentivos para a produção de semicondutores no Brasil ganha forças a partir de 2005 com as primeiras ações do programa CI-Brasil na criação de Design Houses (DHs). Em 2007, o Ministério da Ciência, Tecnologia e Inovação (MCTI) cria o Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores (PADIS) que concede isenção do imposto de renda e reduz a zero as alíquotas da Contribuição para o PIS/PASEP, COFINS e IPI. Através dos incentivos do governo, surgem, no Brasil, Centros Tecnológicos voltados à produção de semicondutores e, recentemente, a primeira fábrica de encapsulamento de semicondutores no Rio Grande do Sul, a HT Micron Semicondutores LTDA, iniciou suas atividades. É claro que o encapsulamento de semicondutores é apenas

uma das etapas da cadeia de fabricação de chip, mas espera-se que mais empresas venham a se instalar fortalecendo a cadeia produtiva de semicondutores. (BRASIL, 2007; CI-BRASIL, 2014).

Este quadro atual esboça a carência do Brasil, tanto na produção completa de chips que empregam tecnologias modernas, como pela presença de pouquíssimas empresas do setor. Além disto, é necessário cooperações de P&D entre universidades brasileiras e estrangeiras, para proporcionar avanços em diversas etapas de produção de tecnologia de ponta e, desta maneira, possibilitar o desenvolvimento de conhecimento e tecnologias com conteúdo nacional.

Um exemplo de cooperação é o da Universidade do Vale do Rio dos Sinos (UNISINOS), que estabeleceu parceria com a Universidade Hongik, da Coreia do Sul. A cooperação se estende com o apoio tecnológico da empresa Hana Micron, Seul Techno Park, na Coreia do Sul, HT Micron e o ITT Chip (Instituto Tecnológico de Semicondutores da Unisinos). Juntas trabalham no desenvolvimento da tecnologia de encapsulamento de semicondutores *Package on Package* (PoP), que é o objeto de pesquisa desta dissertação de mestrado.

A tecnologia de encapsulamento PoP (*Package on Package*) é um dos sistemas de encapsulamentos de semicondutores mais populares para aplicações móveis. No entanto, devido à natureza de empilhamento do encapsulamento PoP, o empenamento de uma camada de encapsulamento pode danificar a estrutura geral do PoP. O excesso de empenamento provoca a ruptura das juntas de solda que resulta em falha de conexão elétrica do módulo montado. A fim de evitar tal ocorrência de juntas de solda abertas e garantir a confiabilidade de um sistema de encapsulamento PoP, a Universidade Hongik da Coreia do Sul propôs um projeto de pesquisa com o título “Desenvolvimento da Tecnologia de Confiabilidade para *Package on Package* (*Development of the Reliability Technology for Package on Package*)”, com suporte do governo coreano e vigência de Novembro/2011 a Outubro/2014. Este projeto propôs o desenvolvimento da tecnologia de processo para minimizar a deformação do PoP. O método que está sendo empregado é por meio de experimentos e simulações sobre a relação entre o empenamento e os parâmetros do processo, onde os pesquisadores da universidade sul coreana são responsáveis pelo desenvolvimento experimental e a Unisinos pela simulação do processo.

Estudos como este são importantes para que a indústria de eletrônicos possa oferecer produtos portáteis cada vez menores, com menor custo, maior espaço de armazenamento,

maior confiabilidade e melhor desempenho. No entanto, poucos trabalhos foram realizados para investigar a evolução do empenamento durante o processo de fabricação. (REN e QIN, 2009).

A Unisinos, parceira do projeto de pesquisa, tem como atividade desenvolver uma metodologia de simulação. Para isso, dispõe de um moderno laboratório de modelagem, Laboratório de Modelagem Elétrica Térmica e Mecânica de Módulos e Encapsulamentos Eletrônicos (MODELAB), pertencente ao Instituto de Semicondutor da Unisinos (ITT CHIP) instalado no parque tecnológico TECNOSINOS junto a Unisinos.

Há também a carência na produção científica no Brasil para o tema abordado, especialmente no que se refere ao empenamento causado por características termomecânicas. A Tabela 1.1 apresenta um levantamento bibliográfico, quantitativo, realizado para esta dissertação e mostra que no Brasil não há publicações a respeito desta tecnologia de encapsulamento, tampouco sobre modelagem térmica de encapsulamento de semicondutores. Este fato demonstra a necessidade no Brasil de adquirir mais conhecimento nesta área.

Tabela 1.1 – Levantamento bibliográfico em banco de dados sobre o tema abordado.

Abrangência	Palavras associadas	Fontes		
		Science Direct	IEEEExplore	CAPEL
Inglês	semiconductor "package on package"	37	52	10
	semiconductor "package on package" thermal modeling	9	1	1
	Relevantes	0	1	0
	thermal deformation	216510	2198	39429
	thermal deformation semiconductor	18915	349	1928
	thermal deformation semiconductor package PoP	149	149	52
	Relevantes	0	0	0
	thermal modeling semiconductor	27633	7106	24927
	thermal modeling semiconductor warpage	225	74	147
	thermal modeling semiconductor warpage PoP	13	4	12
	Relevantes	1	3	1
	"package on package" warpage	9	64	8
"package on package" warpage thermal	8	29	5	
Relevantes	0	>10	1	
Português	Semicondutor	231	285	307
	semicondutor empenamento	0	0	0
	semicondutor deformação	0	0	1
	semicondutor encapsulamento	0	0	0
	Relevantes	0	0	0

Entre os trabalhos relevantes, SUN et al (2009) pesquisaram sobre os modelos de semicondutores encapsulados com a tecnologia de encapsulamento PoP existente e propuseram melhorias como: diminuir a espessura, aumentar a capacidade da unidade lógica e otimizar a matriz de esferas de solda. O objetivo dos pesquisadores era diminuir o empenamento causado no processo de fabricação. Diversos protótipos de encapsulamento PoP são sugeridos por empresas a fim de resolver os problemas levantados. No modelo estudado pelos pesquisadores, o componente apresentou o empenamento médio de 30 μm .

REN e QIN, (2009) estudaram o empenamento do encapsulamento PoP investigando relações das propriedades dos materiais, o processo de fabricação e os parâmetros de geometria durante o processo de moldagem e de soldagem do encapsulamento PoP. O método utilizado foi a análise por elementos finitos. Os resultados mostraram que o empenamento também está relacionado com a proporção da espessura entre o substrato e o chip de silício. Concluíram também que o tamanho do chip de silício, bem como o coeficiente de dilatação térmica do composto de epóxi para moldagem (EMC) e do substrato, tem influência significativa no empenamento do encapsulamento PoP.

1.2 ESTRUTURA DA PESQUISA

O Capítulo 2 tem como propósito apresentar a revisão bibliográfica sobre encapsulamento de semicondutores, onde pretende-se explorar as características dos materiais envolvidos, bem como suas propriedades térmicas e mecânicas. Também apresenta uma revisão sobre a tecnologia de encapsulamento *Package on Package* abordando conteúdos da sua estrutura interna, dos processos de fabricação, das características dos materiais que o compõem e do uso da modelagem computacional para otimização do processo de fabricação de encapsulamento de semicondutores.

O Capítulo 3 aborda a metodologia proposta para o desenvolvimento do trabalho, sobre os materiais utilizados para realizar a simulação, a validação da metodologia, as variações dos parâmetros de processos operacionais consideradas, as características dos materiais utilizados na simulação computacional que será realizada no modelo proposto e o detalhamento do desenho 3D e a física aplicada na simulação.

O Capítulo 4 apresenta resultados das simulações e, por fim, o último capítulo apresenta uma análise dos dados e a conclusão do trabalho.

2 REVISÃO BIBLIOGRÁFICA

Este capítulo aborda as características de um semicondutor encapsulado com a tecnologia Package on Package (PoP), as propriedades de materiais utilizados em componentes microeletrônicos e seus processos de fabricação.

2.1 ENCAPSULAMENTO DE SEMICONDUTORES

O primeiro circuito integrado (CI) foi desenvolvido em 1959 por Jack Kilby, contendo apenas dois transistores e um resistor. A partir deste, em média, o número de transistores dobrou a cada 18 meses, fato que confirma a teoria de Gordon Moore publicada em 1965. Porém, esta teoria não pode ser sustentada para sempre, pois há o limite físico do transistor, que é próximo ao tamanho da molécula. Nestas condições, a mecânica quântica passaria a ser a base para compreender as movimentações dos elétrons. (TUMMALA, 2001).

Atualmente, os CIs contêm muitos componentes eletrônicos. Milhões ou até dezenas de milhões de transistores, resistores, diodos, capacitores e outros componentes são necessários para compor um CI. Estes componentes eletrônicos precisam estar interconectados para formar o CI. Os CIs também precisam estar conectados para formar entidades de função. (TUMMALA et al., 1997b).

Os CIs também precisam de uma proteção mecânica, química e eletromagnética nas interconexões e nos componentes com o meio ambiente, isso para não danificá-los. Esta proteção é denominada encapsulamento (*packaging*). Muitos tipos de tecnologias de encapsulamento foram desenvolvidos para suprir as necessidades da grande variação de tipos de CIs, surgidos a partir de meados do século 20, como mostrado na Figura 2.1. As diferenças estão nas suas estruturas, materiais, metodologia de fabricação, tecnologias de união, tamanho, espessura, desempenho elétrico, número de conexões, a capacidade de remoção de calor, desempenho elétrico e custo. (TUMMALA, 2001).

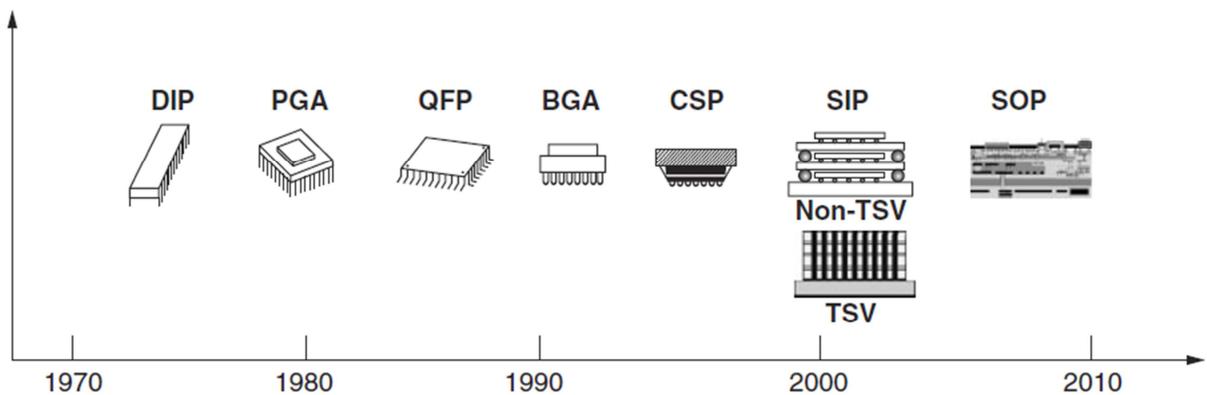


Figura 2.1 – Tipos de encapsulamentos de CIs.

Fonte: Adaptado de Tummala e Swaminathan (2008)

Antes de 1980, predominavam os encapsulamentos tipo DIP (*Dual In-line Package* - encapsulamento tipo Linha Dupla) com dupla linha de pinos e o encapsulamento tipo PGA (*Pin Grid Arrays* – encapsulamento tipo Matriz de Pinos) com uma grade de pinos ao redor, ambos encapsulados com cerâmica. Entre 1980 e 1990 os QFP (*Quad Flat Pack* - Encapsulamento Quadrado Plano) se destacaram pela fina espessura e a melhora na densidade dos pinos. O BGA (*Ball Grid Arrays* – encapsulamento tipo Matriz de Esferas) surge nos anos 90 com uma matriz de esferas de solda substituindo os pinos. A proposta dos encapsulamento, a partir de BGA, é a integração de chip empilhados ligados por fios, como o CSP (*Chip-Scale Package* - Encapsulamento em Escala de Chip) e mais complexos como o SIP (*System in Package* - Sistema em um único Encapsulamento) que integram funções como sistema de placa ou o TSV (*Through Silicon Via* - Vias Através do Silício) que usa orifícios como vias de conexões e o SOP (*System on Package* - Sistema Encapsulado) que tem a características de miniaturizar em um encapsulamento um único sistema com todas as funções e componentes necessários para um sistema de placa e maior nível de integração que o SIP. (TUMMALA e SWAMINATHAN, 2008).

Os componentes eletrônicos são classificados em duas categorias: *through-hole* (através do orifício), que são montados através de orifícios na Placa de Circuito Impresso (PCI), e *surface mount device* (SMD) (dispositivo de montagem em superfície), que são montados na superfície da PCI. Estes tipos de tecnologias de montagem são ilustrados na Figura 2.2.

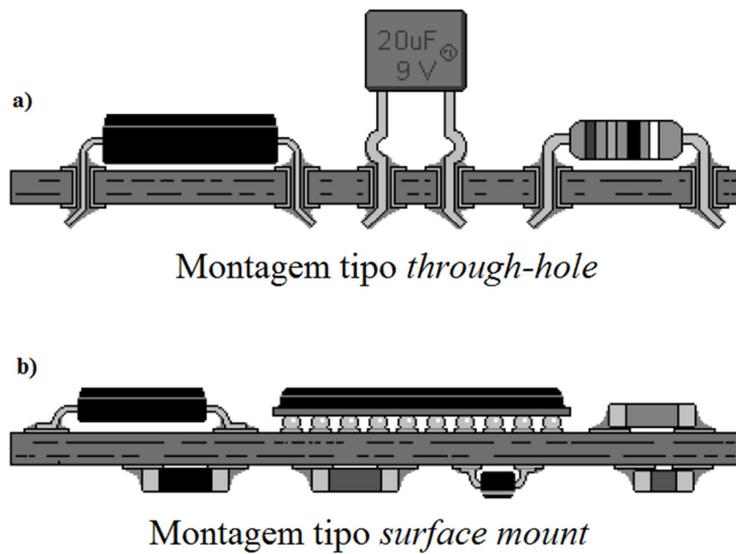


Figura 2.2 – Tipos de tecnologias de montagem de componentes eletrônicos em placa de circuito impresso. a) Montagem tipo *through-hole*; b) Montagem tipo *surface mount*

Fonte: Adaptado de Tummala (2001)

Atualmente, pode-se observar maior avanço e variedades nos encapsulamentos do tipo soldados na superfície (*surface mount*) da PCI. O BGA (*Ball grid array*) é um exemplo desta tecnologia, pois uma matriz de grade de esferas de solda é colocada debaixo da superfície do encapsulamento possibilitando o aumento significativo de entradas e saídas (I/O), além de serem mais leves e mais finos, ideal para produtos portáteis. (ITRS, 2014).

A Figura 2.3 apresenta uma ilustração simplificada do recorte de um encapsulamento do tipo BGA detalhando as partes internas.

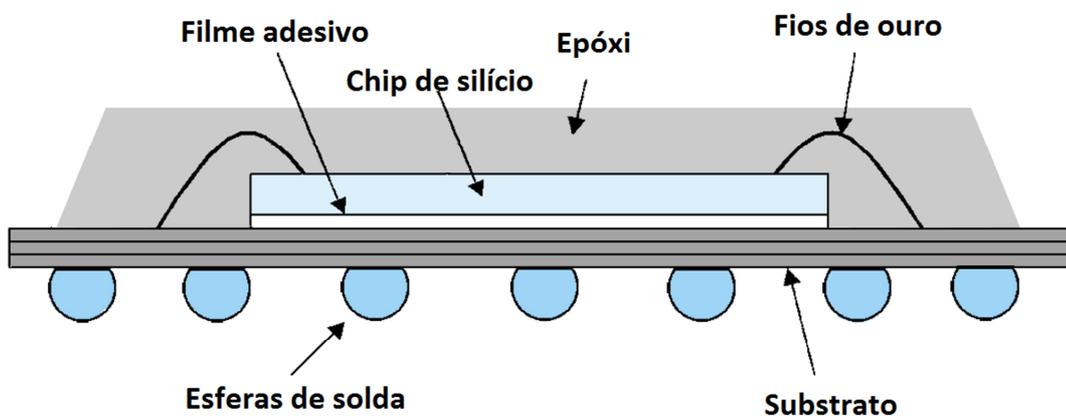


Figura 2.3 – Ilustração de um recorte de encapsulamento tipo BGA.

Fonte: Adaptado de Tummala (2001)

Basicamente, o encapsulamento BGA é composto por fios de ouro, epóxi, chip de silício, filme adesivo, substrato e esferas de solda.

Os fios de ouro interconectam o CI com o substrato. O processo chamado de solda de fios (*Wire bonding*), é a tecnologia mais comum de interconexão do chip ao substrato. A maioria dos semicondutores utiliza esta tecnologia. Apesar das repetidas previsões que as interconexões de fio atingiram seu limite físico, a tecnologia continua a superar, ou por espessuras mais finas ou por custo baixo comparado com investimento inicial para mudar para outra tecnologia. (TUMMALA, 2001). O *Flip Chip* é também uma tecnologia muito utilizada para conectar o chip de silício no substrato, cuja técnica é a de virar o chip e soldá-lo com esferas de estanho no substrato. O *Flip Chip* se tornou um padrão para interconexão do chip para o substrato de microprocessadores e processadores gráficos com bom desempenho, baixo custo e alto valor agregado. (ITRS, 2014).

Na parte superior do chip de silício é onde estão todos os componentes e circuitos. A redução contínua de sua espessura é um dos fatores mais críticos em encapsulamento de encapsulamento mais finos. A lâmina de silício (*wafers*) de 500 μm de espessura pode ser reduzida por processo de desgaste. Em 2011 eram capazes de chegar a 75 μm de espessura. Acredita-se que hoje estas espessuras possam ser ainda menores. (ITRS, 2014).

Os filmes adesivos (*Die Attach Film ou DAF*) são usados em aplicações elétricas e eletrônicas e necessitam de propriedades elétricas e termomecânicas apropriadas ao uso em encapsulamento. No BGA, o adesivo é usado para colar o chip no substrato, embora também tenha a função de equilibrar a expansão entre as peças. (HARPER, 2005).

O substrato é composto de várias camadas de diferentes materiais. O mais comum é composto por um laminado de epóxi com fibra de vidro chamado FR-4. Trilhas, tipicamente de cobre, são utilizadas para as conexões elétricas. Para o isolamento elétrico das trilhas, é utilizado um revestimento de verniz isolante chamado de máscara de solda. Em muitos casos, a estrutura interna no desenho de substrato é ignorada devido sua complexidade estrutural e dificuldade de modelar esses pequenos detalhes de sua estrutura. Porém, para ZHAO et al (2008), os diferentes designs de camadas dos substratos podem influenciar no coeficiente de expansão térmica, no módulo de elasticidade e na anisotropia.

O Composto de Epóxi para Moldagem (*Epoxy Molding Compound - EMC*) é utilizado no encapsulamento para proteção do chip semicondutor do ambiente externo, especialmente

de forças físicas e químicas, como impactos, pressões, umidade, calor, raios ultravioleta e para manter a propriedade de isolamento elétrico. (LU e WONG, 2009).

As esferas de solda são utilizadas para interligações mecânicas e elétricas entre componentes eletrônicos incluindo chips, módulos e substratos. Estas ligas para soldagem geralmente são compostas por estanho (Sn), chumbo (Pb), prata (Ag), bismuto (Bi), índio (In), antimônio (Sb) e cádmio (Cd). Dependendo da utilização, a liga pode variar entre os elementos e suas proporções, por exemplo, o Sn5/Pb95 que significa 5% de estanho e 95% de chumbo. (HARPER, 2005). No geral, os motivos que levam à escolha da liga são:

- a) diferença entre a temperatura de fusão da liga e a temperatura de serviço;
- b) propriedades mecânicas da liga em relação às condições de serviço;
- c) compatibilidade metalúrgica, a consideração do fenômeno de lixiviação e a potencial formação de um composto intermetálico;
- d) a consideração de migração de prata;
- e) especificações da capacidade de aderência no substrato;
- f) temperatura eutética versus temperatura não eutética da composição.

Atualmente, principalmente por considerações ambientais, há uma exigência da fabricação de dispositivos livres de chumbo em sua composição. Esse é um quesito obrigatório no mercado de eletrônicos, principalmente na Europa e Japão. A liga com chumbo permite o processamento a uma temperatura mais baixa do que liga sem chumbo, fato que implica em mudanças na tecnologia de encapsulamento. (TUMMALA e SWAMINATHAN, 2008). Assim, as principais ligas que contêm chumbo, como Sn60/Pb40, Sn62/Pb36/Ag2 e Sn63/Pb37, deixaram de ser utilizadas em encapsulamento de semicondutores e são preferencialmente substituídas por 96.5Sn3.0Ag0.5Cu, comercialmente conhecido como SAC 305. (YOSHIDA et al., 2006; SUN et al., 2009).

Estas variedades de encapsulamento de semicondutores, geralmente, obedecem às normas da *Joint Electronic Devices Engineering Council* (JEDEC). As normas JEDEC são padrões definidos pela indústria que devem ser seguidos por todos fabricantes e usuários de componentes eletrônicos. Padronizar os tipos mais comuns de encapsulamento, independentemente de quem fabrica o encapsulamento, é uma necessidade. Assim é possível a produção global de componentes e conjuntos do sistema. Além disso, empresas de semicondutores e fornecedores de encapsulamento, normalmente publicam um conjunto de especificações técnicas que descrevem os materiais de construção, as características dimensionais, bem como dados elétricos, térmicos, de desempenho e de confiabilidade para

cada tipo de encapsulamento. Estas informações são essenciais para os engenheiros escolherem o tipo de encapsulamento adequado para a sua aplicação específica (JEDEC, 2014).

2.1.1 Tecnologia *Package on Package*

O *Package on Package* (PoP), Figura 2.4, é uma das mais modernas tecnologias de encapsulamento de semicondutores. Sua principal característica é a possibilidade de integrar vários semicondutores encapsulados em uma única pilha e vem sendo uma solução para miniaturização e melhoria do desempenho dos equipamentos portáteis, principalmente celulares. (YOSHIDA et al., 2006). Apesar disto, o empilhamento vertical dos BGAs compromete a altura total do encapsulamento PoP. Para os dispositivos móveis, a espessura, o tamanho e a massa são fatores relevantes e, produzir semicondutores mais finos seria a saída para superar estas desvantagens. No entanto, o chip se tornaria ainda mais sensível ao empenamento. (SUN et al., 2009)

Uma grande vantagem do encapsulamento PoP é a possibilidade de empilhar chips de memória, por exemplo DRAM⁴ e NandFLASH⁵, diretamente sobre o chip do processador dedicado dos celulares tipo *smartphones*, reduzindo dessa forma a distância das conexões com a conseqüente redução das capacitâncias, indutâncias e resistência elétrica proporcionando menores perdas e maiores velocidades, além, é claro, da redução do volume. (CHEN et al., 2008). Sun et al. (2009) consideram como vantagem, além da possibilidade de aplicação de diversos tipos de memória e lógica para projetos diferentes, a flexibilidade no design, economia de espaço na placa, integração de diferentes componentes e o roteamento de sinais mais rapidamente.

O encapsulamento PoP é uma das classes pertencentes a tecnologia de encapsulamento em 3D. O encapsulamento PoP consiste no empilhamento de dois encapsulamentos do tipo BGA (*Ball Grid Array*), sendo um a memória discreta e o outro a lógica ou processador. (SUN et al., 2009). Utiliza-se o termo superior (*Top*) para referenciar o componente superior e o termo base/inferior (*Bottom*) para referenciar o componente inferior, termos que também se adotam neste trabalho para referenciar as partes do chip.

⁴ *Dynamic Random Acces Memory* - Tipo de memória de acesso aleatório que armazena cada bit de dados em um capacitor separado dentro de um circuito integrado.

⁵ *NandFlash* é um tipo de memória que não necessita de uma fonte de alimentação para estar ativa.

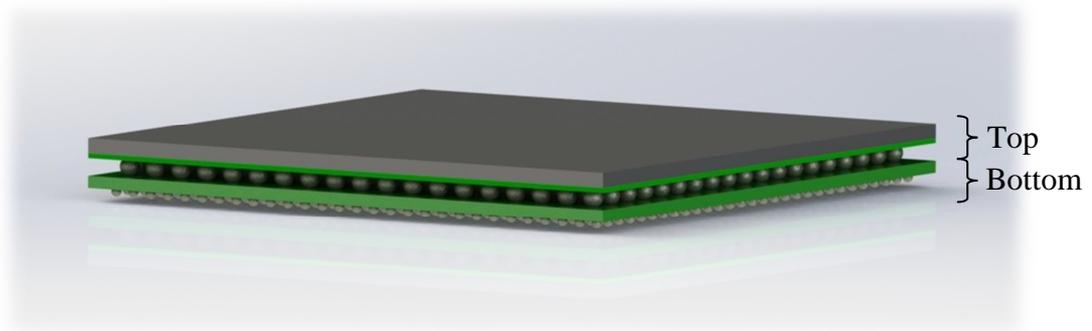


Figura 2.4 – Desenho ilustrativo do encapsulamento PoP montado.

O empilhamento pode ser realizado por dois métodos diferentes. Um desses métodos consiste em: a) unir o BGA superior (*Top*) com o BGA inferior (*Bottom*) aplicando fluxo⁶ nas esferas de solda do *Top* antes de posicioná-lo em cima do *Bottom*. Apesar de não ser um adesivo, o fluxo possui densidade, viscosidade e aderência suficientes para manter o chip na posição; b) passar o conjunto por um forno de refusão com perfil de temperatura adequado para realizar a solda dos dois componentes; c) posicionar o conjunto sobre a placa de circuito impresso (PCI); e d) realizar a solda do conjunto PoP na PCI, conforme ilustrado na Figura 2.5. (MCCORMICK et al., 2009). Neste caso tem-se uma dupla refusão.

⁶ O fluxo é um material ácido destinado a limpar superfícies metálicas de gases absorvidos, películas de óxido e outros contaminantes de superfícies. O fluxo irá melhorar a capacidade de molhamento de uma solda reduzindo a tensão da superfície entre a solda e o substrato.

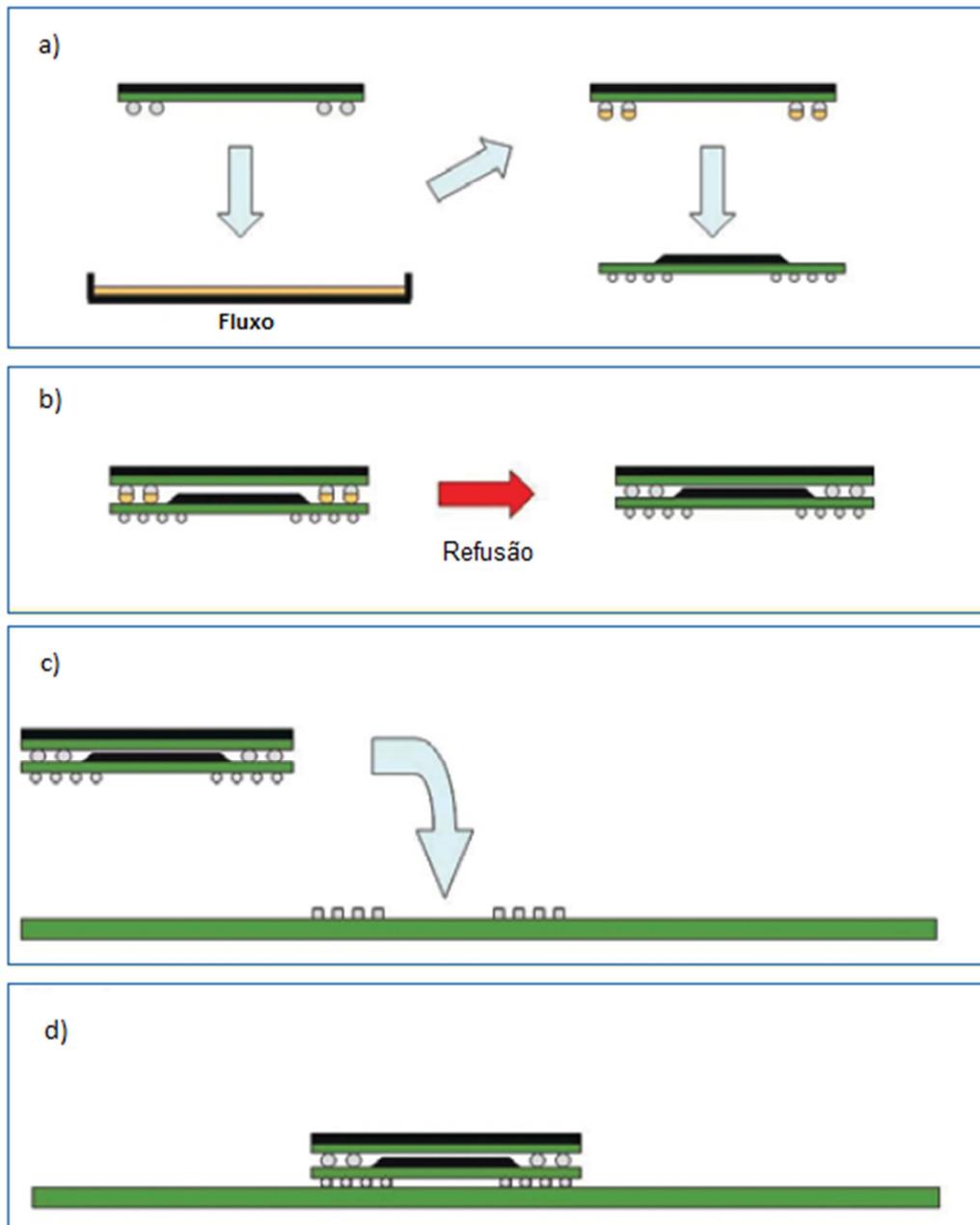


Figura 2.5 – Ilustração do processo de montagem do encapsulamento PoP antes de soldar na PCI.

Fonte: Adaptado de MCCORMICK et al. (2009).

O segundo método consiste em: a) posicionar primeiro o *Bottom* sobre a PCI, onde já existe pasta de solda aplicada; b) aplicar fluxo nas esferas do *Top* e o posterior encaixar sobre o *Bottom*; e c) passar o conjunto encapsulamento PoP e PCI pelo forno para realizar a solda, conforme ilustrado na Figura 2.6. Neste caso tem-se apenas uma refusão.

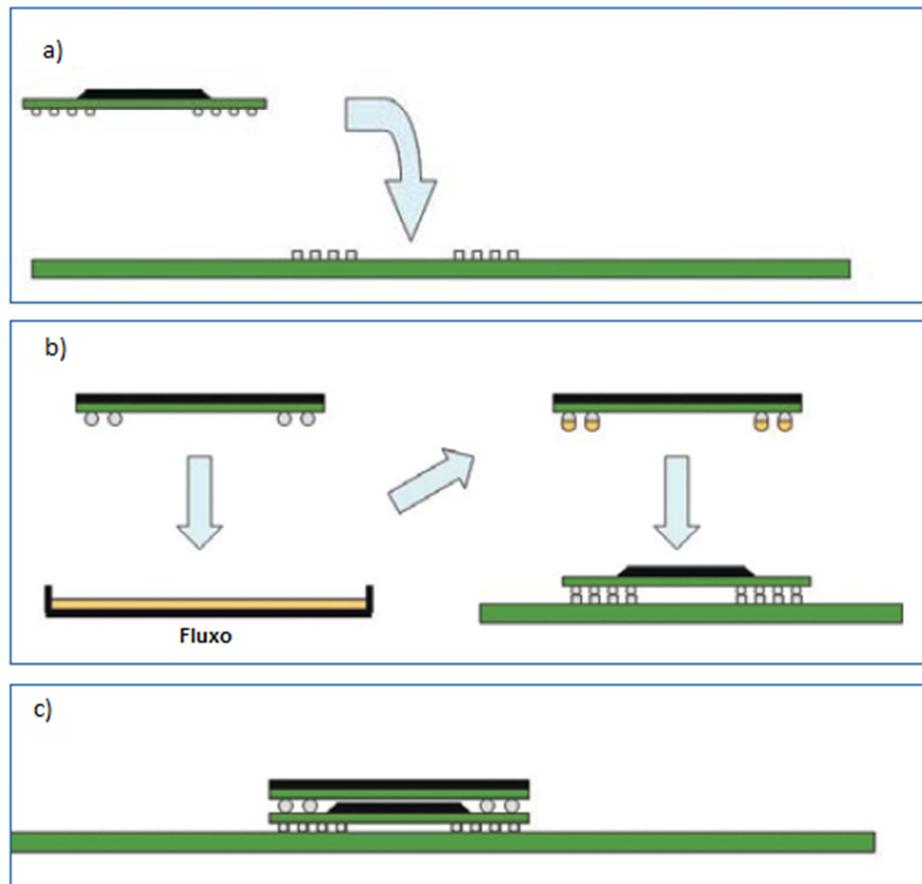


Figura 2.6 – Ilustração do processo de montagem do encapsulamento PoP realizando a junção dos três componentes em uma única passagem pelo forno.

Fonte: Adaptado de MCCORMICK et al. (2009).

No processo de encapsulamento podem ocorrer dois tipos de exposição de calor: ciclos de processo, que são muitas vezes realizados em temperaturas elevadas, mas em número reduzido, e ciclos de operação que são numerosos, mas menos extremos. É imprescindível que todos os materiais que compõem um chip encapsulado tenham condições de suportar a qualquer ciclo térmico. A ciclagem térmica pode causar fissuras e comprometer o funcionamento do componente. Este modo de falha é conhecido como fadiga termomecânica. (TUMMALA et al., 1997c).

O processo de refusão faz parte do ciclo de fabricação, onde ocorre a solda da junção dos componentes ou a soldagem do encapsulamento PoP na PCI. O aquecimento provoca a expansão térmica dos diversos tipos de materiais que compõem o chip encapsulado. Este processo tende a diminuir o tempo de vida do componente e impacta na taxa de falha do encapsulamento. (TUMMALA et al., 1997c). O aquecimento é controlado através de um perfil de refusão (*reflow profile*), que define a curva de aquecimento e resfriamento para

realizar a solda. O tipo de forno de refusão normalmente utilizado funciona por convecção forçada, pois oferece muito melhor distribuição de calor no conjunto da placa comparado com fornos de outras tecnologias, como o forno de radiação de infravermelho e o de vapor. (TUMMALA, 2001). A Figura 2.7 mostra o modelo de forno utilizado em linha de fabricação de placas eletrônicas.

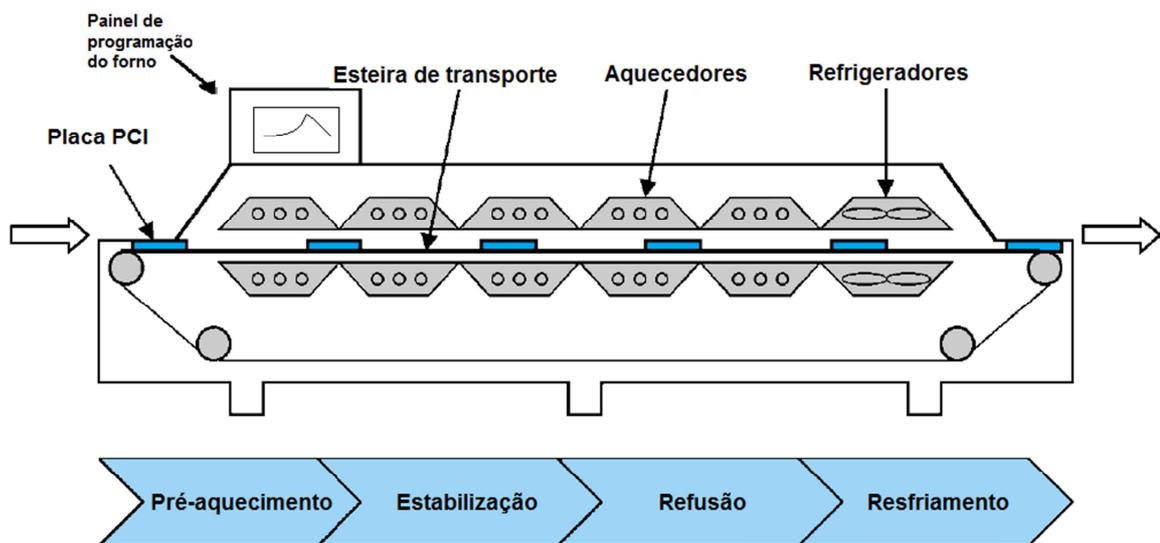


Figura 2.7 – Modelo de forno de refusão com cinco zonas de aquecimento e uma zona de resfriamento utilizado na montagem de placa eletrônica.

Fonte: adaptado de Tummala (2001).

O perfil de refusão é programado para minimizar a tensão máxima em todo o conjunto. No perfil é possível controlar vários parâmetros tais como o pico da temperatura de fusão, a permanência na temperatura acima de líquido, o tempo de imersão, a taxa de resfriamento, entre outras. (GONG et al., 2006).

O perfil de refusão é basicamente dividido em quatro fases: a zona de pré-aquecimento, a zona de estabilização, a zona de refusão e o resfriamento. Na zona de pré-aquecimento ocorre o aumento da temperatura a uma velocidade controlada para minimizar qualquer dano aos componentes e a placa. A taxa de aquecimento é usualmente entre 2 e 4 °C/s. O controle da taxa de aquecimento nesta zona é importante, pois se a temperatura aumentar muito rapidamente, o solvente da pasta de solda evapora precocemente. O solvente pode começar a ferver fazendo as esferas de solda saltarem e encostarem uma nas outras implicando com contato elétrico indesejado. (TUMMALA, 2001).

O principal objetivo da zona de estabilização é igualar a temperatura de todas as superfícies a serem soldadas e ativar o fluxo. Nesta fase a temperatura eleva lentamente entre 150 e 180 °C aproximadamente. O fluxo cobre a superfície da solda e começa a molhar as ligações de componentes e as bases de solda. O fluxo reduz óxidos de metais deixando a superfície metálica limpa.

Na zona de refusão a temperatura sobe rapidamente para que a liga de estanho chegue ao ponto eutético. Normalmente de 30 a 90 segundos é o tempo utilizado para assegurar que todo o conjunto tenha atingido rapidamente uma temperatura acima do ponto de fusão da solda. Manter a temperatura muito alta por muito tempo pode criar camadas intermetálicas excessivas, que podem ter influência negativa no que diz respeito à confiabilidade de solda do conjunto. O pico da temperatura é uma variável dependente da composição do material da solda, pois necessita alcançar a temperatura do ponto de fusão. Entre 217 a 220 °C é a faixa de temperatura típica utilizada para a soldagem da liga de tipo Sn3.0Ag0.5Cu, comercialmente conhecido como SAC 305.

Na fase de resfriamento, a temperatura diminui lentamente, o suficiente para garantir que a solda solidifique antes de sair do forno de refusão sem que forme grãos na solda tornando-a frágil. Porém, se o resfriamento for rápido demais, pode aumentar o stress entre os materiais e gerar empenamento. A Figura 2.8 ilustra um exemplo de perfil com baixa temperatura de pré-aquecimento utilizado para realizar as soldas de ligas compostas de Sn63Pb37 ou Sn62Pb36Ag02. (TUMMALA, 2001).

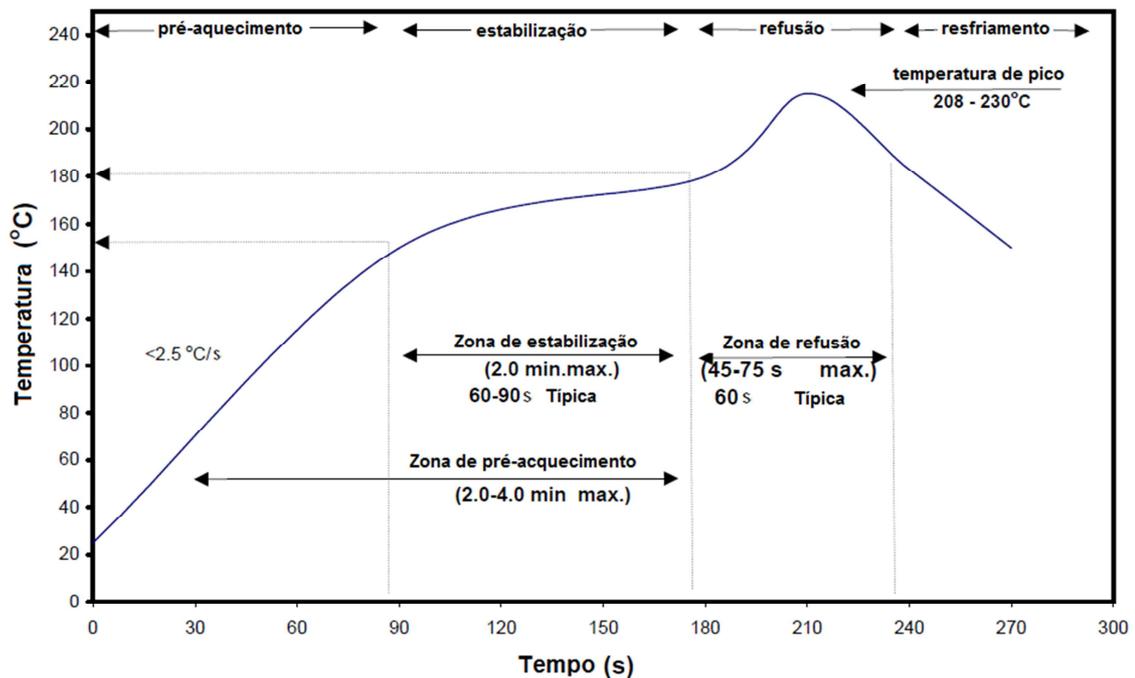


Figura 2.8 – Perfil de temperatura típico utilizado para refusão para ligas contendo: Sn63Ob37 ou Sn62Pb36Ag02

Fonte: Adaptado de Kester (2009).

Outros perfis são utilizados no processo de fabricação, como o perfil utilizado para a cura do epóxi. (HARPER, 2005). As propriedades de cura se relacionam com o tempo e a temperatura de cura necessária para alcançar a resistência de ligação desejada do epóxi. Para encapsulamento de semicondutores, a temperatura de cura do epóxi deve ser suficientemente baixa para evitar a deformação no substrato e danos nos componentes, porém deve ser alta suficiente para proporcionar uma força de ligação adequada. A rampa de resfriamento deve ser lenta para minimizar a tensão sobre material a ser curado. (BLACKWELL, 1999). A temperatura de cura do material é a temperatura de referência (T_{ref}) para modelagem do material no estado livre de tensões, ou seja, no momento da cura presume-se que o material esteja a 0 Pascal de tensão. (TUMMALA; SWAMINATHAN, 2008). A Figura 2.9 ilustra um típico perfil de cura do epóxi.

Amagai e Suzuki, (2010) ressaltam que o encolhimento dado pela cura das resinas de epóxi depende da temperatura e do tempo. O baixo percentual de enchimento incluído no composto de moldagem apresenta maior percentual de encolhimento na cura, comparado com composto de moldagem que tem elevado percentual de enchimento. Os resultados do trabalho mostraram que à medida que a temperatura foi aumentada, o encolhimento na cura aumentou. Constatou-se ainda que a temperatura no ciclo de cura também afetou a mudança do

coeficiente de expansão térmica, no módulo de elasticidade e na temperatura de transição vítrea.

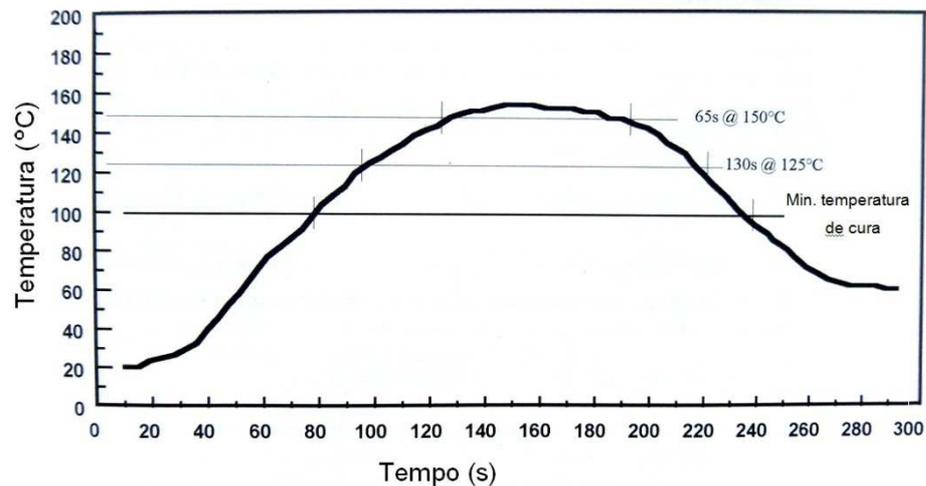


Figura 2.9 – Perfil de temperatura típico para cura do epóxi utilizado para colagem do chip no substrato.

Fonte: Adaptado de Harper (2005).

A maior causa do surgimento de peças defeituosas durante o encapsulamento e em sua vida útil está no empenamento ocorrido durante o processo de cura e solda. A espessura fina do substrato, bem como a incompatibilidade de expansão térmica entre os materiais encapsulados, faz com que o empenamento seja uma das principais preocupações para a tecnologia do encapsulamento PoP. (ITRS, 2014).

Durante o processo de solda do encapsulamento PoP são produzidas tensões termomecânicas associadas ao stress, isto se deve principalmente à diferença entre os coeficientes de expansão térmica entre o silício, o substrato e o epóxi. (GONG et al., 2006). Yoshida (2006) menciona a possibilidade do empenamento também estar relacionado com a tensão superficial da solda. Devido à tensão superficial da grande quantidade de esferas de solda, o substrato do *Bottom* pode ser puxado para cima durante o processo de fusão da solda.

A Figura 2.10 apresenta os tipos de empenamentos que dependem da tensão dos materiais. Pode ser côncavo (*smile*), apresentado em valores de empenamento negativo ou convexo (*crying*) apresentado em valores positivos, conforme termos e definições do padrão Jedec 22B112A. (JEDEC, 2009).

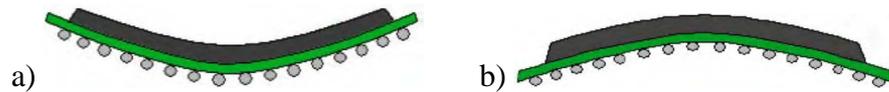


Figura 2.10 – Tipos de empenamento: a) côncavo e b) convexo

Fonte: Adaptado de Ren e Qin (2009)

A deformação pode causar falha de solda no conjunto de chip *Top* com o *Bottom*. Como pode-se ver na Figura 2.11, o empenamento pode provocar a quebra da solda entre os chips superior e inferior e ou entre o inferior e a placa.



Figura 2.11 – Detalhe de soldas rompidas na junção do encapsulamento PoP devido ao empenamento ocorrido no processo de refusão.

Fonte: Adaptado de Amagai e Suzuki (2010).

A medição do empenamento pode ser realizada a partir de uma ferramenta chamada de interferômetro de Moiré, que é capaz de medir o empenamento através da sobreposição de uma holografia. Com auxílio de espelhos, duas grades de linhas finas são sobrepostas e refletidas sobre o objeto produzindo franjas de interferência de linha. Estas franjas são captadas por câmeras de imagens e processadas por meio de computadores para obter a medição. Apesar das medições serem relativamente precisas, o resultado se limita à deformação. Contudo, através do modelo matemático é possível obter, além da deformação, informações de tensões que podem ser utilizadas como dados de restrições de contorno. (LIU et al., 2011).

No encapsulamento com tecnologia PoP, o empenamento é mais evidente devido aos repetidos ciclos de refusão que o chip passa ao ser soldado na placa. No momento do encapsulamento, o chip passa por, pelo menos, um ciclo de refusão no qual se concretiza a

solda do *Top* no *Bottom* e pode haver ainda outro ciclo para a soldagem na PCI. (SUN et al., 2008; AMAGAI e SUZUKI, 2010).

O encapsulamento PoP, por sua vez, tem como característica negativa o aumento da espessura total devido o empilhamento dos chips. O tamanho e o peso são fatores relevantes e produzir semicondutores mais finos seria a saída para superar estas desvantagens. No entanto, o chip se tornaria ainda mais propenso ao empenamento. (ITRS, 2014).

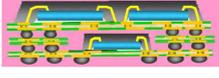
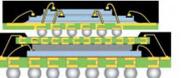
A geometria do encapsulamento PoP também tem papel importante no seu empenamento. Quanto maior o semicondutor, maior é o empenamento. Quanto maior a espessura do epóxi, menor é o empenamento. (TZENG et al., 2007). Encontrar uma harmonia entre as propriedades dos materiais e a geometria se tornou foco na investigação para obter o melhor desempenho no processo de fabricação do encapsulamento PoP. (KUO et al., 2007).

Além das propriedades dos materiais e a geometria, outro parâmetro de fabricação relevante é o perfil de temperatura adotado para realizar a solda do componente. Deve ser levada em consideração a taxa das rampas de aquecimento e resfriamento, a temperatura de pico da solda, o tempo que o composto de estanho permanece no ponto eutético, entre outros parâmetros do processo de solda que não estão em foco neste trabalho. (GONG et al., 2006).

Sun et al. (2009) propõem alterações nas geometrias do modelo tradicional de encapsulamento PoP existente e nos processos de fabricação para controlar a deformação. No modelo proposto, o empenamento do *Bottom* é em média de 30 μm , muito abaixo da exigência de empenamento tipicamente utilizado na indústria, que é de 80 μm .

Além da estrutura tradicional do PoP, algumas estruturas tem sido utilizada para controlar o empenamento. Entre elas, o modelo do substrato aberto no meio, apresentado na Tabela 2.1, utiliza um molde customizado no *Bottom*. O modelo que apresenta bom comportamento de empenamento é o encapsulamento com vias através do molde do substrato do *Bottom*, porém controle da formação das vias ainda é crítico. O modelo de ventilação interna possibilita alta densidade de esferas e bom controle do empenamento embora o custo de fabricação é mais elevado das estruturas típicas de encapsulamento PoP comercializadas. (CARSON, 2010).

Tabela 2.1 – Típicas estruturas de encapsulamento PoP

	Tradicional	Aberto no meio	Através do molde	Ventilação interna
Típicas estruturas				
<i>Top</i>	Encapsulamento comercial	Encapsulamento comercial	Encapsulamento comercial	Encapsulamento customizado
<i>Bottom</i>	Molde customizado	Molde customizado	Estrutura de molde comercial	Molde customizado
Espessuras	Fino	Grosso	Fino	Grosso
Comportamento do empenamento	Ruim	Ruim	Bom	Bom
Comprimento do circuito	Curto	Curto	Curto	Longo
Fator Custo	Molde customizado	Molde customizado	Processo de perfuração e enchimento para solda na via	Molde customizado

Fonte: Adaptado de Sun et al.(2009)

2.2 PROPRIEDADES DOS MATERIAIS PARA ENCAPSULAMENTO DE SEMICONDUTORES

Esta seção é destinada a apresentar as propriedades dos materiais utilizados no encapsulamento PoP e os efeitos relacionados ao empenamento. O estudo sobre as propriedades dos materiais tem se tornado cada vez mais importante para a qualidade dos produtos industrializados em qualquer setor tecnológico. A pesquisa realizada pelo Centro de Gestão e Estudos Estratégicos (2010) apontou que a demanda global por materiais eletrônicos em 2009 teve acréscimo de 12,4 %, em relação a 2005, representando um mercado de cerca de 102,9 bilhões de US\$. Materiais de semicondutores e para encapsulamento, juntos constituem 19,5 % deste mercado. É através das propriedades dos materiais que são definidas a durabilidade e o desempenho de qualquer produto possível de ser fabricado. (CENTRO DE GESTÃO E ESTUDOS ESTRATÉGICOS - CGEE, 2010).

Todo e qualquer material utilizado na fabricação do CI tem sua aplicação com base nas suas propriedades. A combinação ou composição de materiais é muito utilizada no encapsulamento de semicondutores para modificar e melhorar as propriedades das cerâmicas, polímeros e metais presentes no sistema. (TUMMALA, 2001).

À medida que a espessura do encapsulamento diminui, maior é a complexidade para o controle do empenamento, principalmente quando envolve materiais com propriedades

variadas de comportamento em função da temperatura. As propriedades termomecânicas do epóxi, do silício e do substrato são importantes para determinar o nível de empenamento do encapsulamento PoP em temperatura ambiente, bem como após a passagem do ciclo de fusão, em que ocorre a solda do componente. (YIM e STRODE, 2010).

As propriedades mais relevantes para encapsulamento de CI são: a condutividade elétrica, a condutividade térmica, o coeficiente de expansão térmica, a permissividade elétrica, a temperatura de transição vítrea e o módulo de Young. (TUMMALA, 2001).

2.2.1 Propriedades Térmicas

O Coeficiente de Expansão Térmica (α) e a temperatura de transição vítrea (T_g) são importantes para a robustez do encapsulamento. Alguns fornecedores de materiais informam estas propriedades, pois são necessárias para realizar a análise termomecânica dos produtos. Através de técnicas como análise termomecânica (TMA) e a análise mecânica-dinâmica (DMA), é possível mensurar as propriedades de materiais quando não são fornecidas pelos fabricantes. (TUMMALA et al., 1997c).

A análise TMA é usada para determinar os coeficientes de expansão térmica resultantes de alterações no volume molecular livre. O método também pode ser utilizado para medir a temperatura de transição vítrea. A análise DMA consiste em ensaios de oscilações de tensão aplicada a uma barra retangular do material a ser estudado. Através desta técnica é possível identificar o módulo de Young, além da temperatura de transição vítrea. (COHN, 2004).

Apesar de estas duas técnicas informarem propriedades termomecânicas dos materiais, pode ocorrer diferenças nos resultados das temperaturas de transição vítrea encontradas, como por exemplo, no trabalho de Oohashi e Miyatake (2013) que submeteram um tipo de substrato a dois tipos de ensaios diferentes, TMA e DMA, e mensuraram a temperatura de transição vítrea de 170°C e 210°C respectivamente para o ensaio de TMA e DMA e, para um tipo de epóxi, mensuraram a diferença de 40°C, sendo 230°C no TMA e 270°C no DMA.

Coeficiente de Expansão Térmica (α)

Todos os materiais se expandem quando a temperatura é aumentada e se contraem quando a temperatura diminui. O coeficiente de expansão térmica (α) de um material

representa a mudança da dimensão por unidade de variação de temperatura. (HARPER, 2005).

A incompatibilidade entre o coeficiente de expansão térmica do silício (2,5 ppm/°C) e o substrato (4-10 ppm/°C para cerâmica e 10-24 ppm/°C do substrato de polímero tipo comercial FR4) faz com que haja deformação tanto do chip como do substrato. Esta deformação gera tensões sobre as estruturas de interconexões. (LU e WONG, 2009).

A variação da dimensão pode ser no volume, área ou comprimento, embora cada tipo de material tenha sua taxa de expansão diferente. Isto explica o que ocorre quando tipos diferentes de materiais, no mesmo ambiente, expandem diferentemente com o incremento de temperatura. (TUMMALA et al., 1997c). A expansão volumétrica em materiais pode ser determinada pela Eq. (2.1),

$$\frac{\Delta V}{V_0} = \alpha \Delta T \quad (2.1)$$

onde ΔV é a variação do volume, V_0 o volume original, ΔT é a variação da temperatura e α o coeficiente de expansão térmica.

Diferentes composições químicas de polímeros com diferentes coeficientes de expansão térmica são utilizados no encapsulamento de semicondutores. Além da sua composição química, outros fatores que influenciam o coeficiente de expansão térmica são os ciclos de cura e a carga de enchimento. A tensão sobre o componente pode ser minimizada por ter um baixo encolhimento durante a cura, e por ter um coeficiente de expansão térmica que corresponde a dos demais materiais do encapsulamento. (COHN, 2004). Os coeficientes de expansão térmica podem variar de acordo com o percentual de adição do enchimento do epóxi, diminuindo o coeficiente de expansão térmica conforme o incremento do enchimento. Os materiais típicos de encapsulamento têm expansão não-linear. (HARPER, 2005). A Figura 2.12 apresenta os principais materiais utilizados em encapsulamento de semicondutores dentro do espectro do coeficiente de expansão térmica.

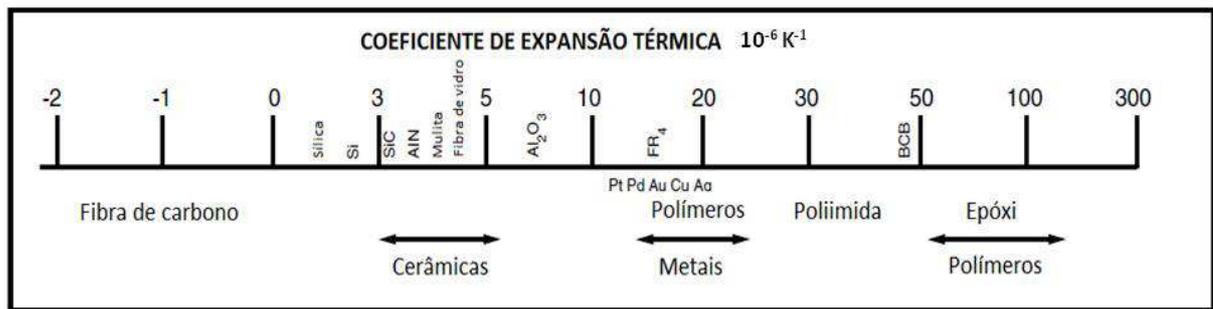


Figura 2.12 – Espectro de coeficientes de expansão térmica dos principais materiais de encapsulamento.

Fonte: Adaptado de Tummala (2001)

O coeficiente de expansão térmica pode ser diferente em alguns casos. Na simulação de empenamento de encapsulamento PoP realizada por KANG (2011), foi definido um valor constante de 20 ppm/°C para o coeficiente de expansão térmica do Epóxi do molde, diferentemente da pesquisa realizada por KUO (2007), que diferencia o coeficiente de expansão térmica após a temperatura de transição vítrea (t_g) de 140°C encontrada em seu material. Para temperaturas abaixo da T_g , KUO (2007) considerou o coeficiente de expansão térmica 9 ppm/°C e acima da T_g considerou 34 ppm/°C. Ren (2009), em seu trabalho, considera o epóxi utilizado em seu encapsulamento PoP com uma variação entre 17 ppm/°C e 50 ppm/°C escalonada em cinco etapas por temperaturas bem definidas. Estas diferenças podem ser entendidas como simplificações da curva do coeficiente de expansão térmica por parte destes pesquisadores ou por tratar de composto de epóxi diferente, portanto as propriedades térmicas são diferentes.

Temperatura de Transição Vítrea (T_g)

A temperatura de transição vítrea (T_g) caracteriza a temperatura de transição de um material rígido para estado amorfo, ou seja, o material responde elasticamente a uma força aplicada sem apresentar uma deformação permanente. Os materiais cristalinos não mostram esta transição. Os polímeros, quando estão em um ambiente acima da temperatura de transição vítrea, estão sujeitos a uma severa tensão termomecânica e instabilidade dimensional que podem contribuir com o empenamento. (TUMMALA, 2001).

Além da caracterização pela análise termomecânica (TMA) e pela análise mecânica-dinâmica (DMA), é possível o monitoramento das dimensões ou módulo através do método de Calorimetria Diferencial de Varredura (DSC). A movimentação molecular é o fator mais

importante para determinar a T_g , pois as cadeias moleculares adquirem mobilidade devido ao fornecimento de energia térmica. (HARPER, 2005).

A confiabilidade termomecânica de um encapsulamento pode ser aprimorada se for usado um polímero com a T_g adequada ao processo de fabricação. O polímero mais importante no encapsulamento é o epóxi, pois é o mais usado como adesivo, revestimento, encapsulamento e substrato laminado e que tem a T_g na faixa de 120 e 200 °C. (TUMMALA, 2001).

2.2.2 Propriedades Mecânicas

O comportamento mecânico de um material sólido pode ser observado através da deformação quando aplicado uma força ou carga. A partir da deformação, algumas propriedades mecânicas podem ser analisadas, como: resistência, dureza, ductilidade e rigidez. Os materiais utilizados no encapsulamento sempre estão sujeitos a grandes forças. As forças podem ser causadas por flexão ou impacto durante a fabricação, ou a partir de gradientes térmicos e propriedades de expansão térmica diferencial interna na interface com outros materiais. Estas forças podem resultar numa tensão mecânica que pode ser grande o suficiente para causar falha mecânica como a quebra de um chip, delaminação interfacial, distorção, e empenamento. (TUMMALA, 2001). A Figura 2.13 ilustra as regiões que compõem o diagrama tensão-deformação dos materiais.

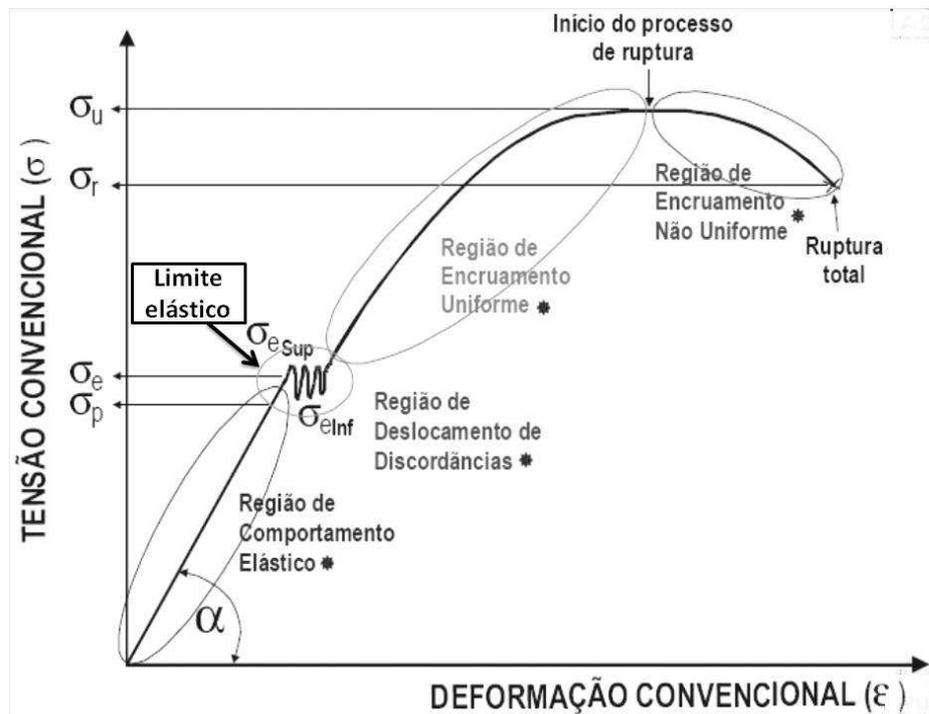


Figura 2.13 – Diagrama tensão-deformação

Fonte: Adaptado de Garcia et al., (2000)

Os materiais têm uma curva tensão-deformação linear até uma tensão crítica ser atingida (limite elástico). A tensão (σ) pode ser determinada pela Eq. (2.2),

$$\sigma = \frac{F}{A} \quad (2.2)$$

onde F é a força e A é a área de seção transversal. A deformação em duas dimensões pode ser determinada pela Eq. (2.3),

$$\epsilon = \frac{l_i - l_0}{l_0} = \frac{\Delta l}{l_0} \quad (2.3)$$

onde l_0 é o comprimento original antes de qualquer carga aplicada, l_i é o comprimento instantâneo e Δl a variação do comprimento. A razão ϵ representa o percentual de deformação elástica. (CALLISTER e RETHWISCH, 2009).

Módulo de Young (Módulo de Elasticidade)

O módulo de Young ou modo de elasticidade é a razão entre a tensão e a deformação na região elástica da curva de tensão-deformação, conforme apresentado na Figura 2.14. O módulo de Young é uma propriedade que caracteriza a elasticidade do material sob tensão ou compressão, independentemente da geometria da amostra. Um material com o módulo de Young baixo pode ser considerado muito elástico e capaz de absorver mais tensões antes de romper. (HARPER, 2005).

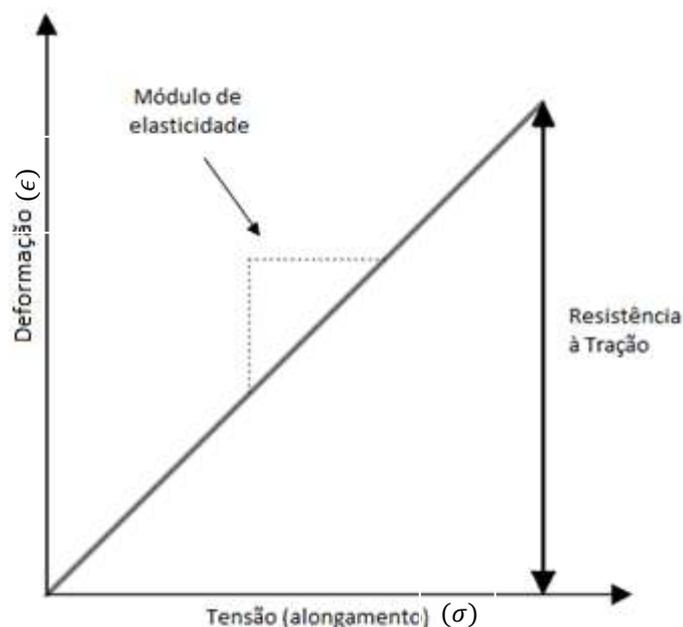


Figura 2.14 – Exemplo de gráfico de tensão-deformação para determinar o módulo de Young através da razão entre a tensão e a deformação.

Fonte: Adaptado de Harper (2005)

Os materiais que apresentam uma inclinação acentuada na região elástica têm um módulo de elasticidade elevado, o que significa que o material resiste à deformação, enquanto os materiais que apresentam inclinação suave na região elástica têm um baixo módulo de elasticidade, ou seja, podem ser facilmente deformados. (HARPER, 2005)

O módulo de Young é um parâmetro fundamental para a engenharia e aplicação de materiais, pois está associado a várias outras propriedades mecânicas, como por exemplo, a tensão de escoamento, a tensão de ruptura, a variação de temperatura crítica para a propagação de trincas sob a ação de choque térmico. (CALLISTER e RETHWISCH, 2009).

A tensão corresponde a uma força ou carga, por unidade de área, aplicada sobre um material conforme visto na Eq. (2.2), e a deformação é a mudança nas dimensões por unidade da dimensão original conforme visto na Eq. (2.3). Assim, o módulo de Young é dado pela Eq. (2.4),

$$E = \frac{\sigma}{\epsilon} \quad (2.4)$$

onde E é o módulo de Young ou módulo de elasticidade, σ é a tensão aplicada e ϵ é a deformação elástica longitudinal.

Existem alguns materiais como o ferro fundido e muitos polímeros em que a curva de tensão-deformação não é linear, impossibilitando determinar o módulo de Young com a equação mencionada anteriormente. Para estes materiais, o módulo de elasticidade é determinado a partir do módulo secante ou módulo tangente da inclinação da curva de tensão-deformação em algum ponto específico da curva, conforme ilustrado na Figura 2.15. (CALLISTER e RETHWISCH, 2009).

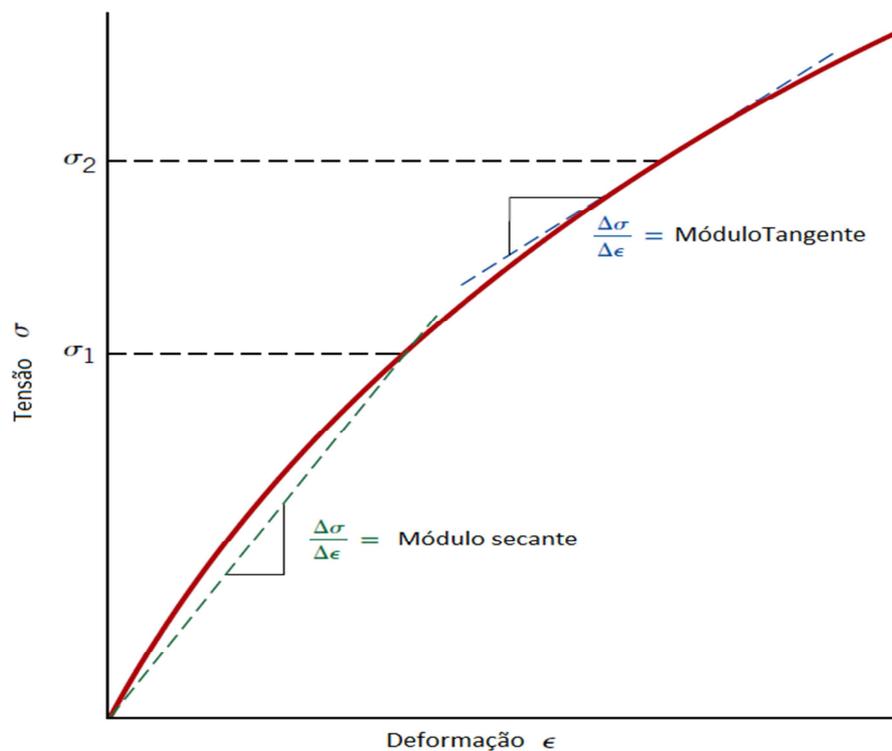


Figura 2.15 – Curva de tensão-deformação de comportamento elástico não linear

Fonte: Adaptado de Callister e Rethwisch (2009)

A rigidez de um material é a sua capacidade para resistir à deformação elástica ou deflexão de carga sobre ele e caracteriza-se pelo módulo de Young e a geometria do material. Materiais quebradiços, tais como as cerâmicas, falham dentro do limite elástico e não tem qualquer deformação plástica. Os metais e os polímeros apresentam considerável plasticidade e deformação não recuperável. (TUMMALA, 2001). Na Figura 2.16 estão os principais materiais utilizados em encapsulamento de semicondutores dentro do espectro do módulo de Young.

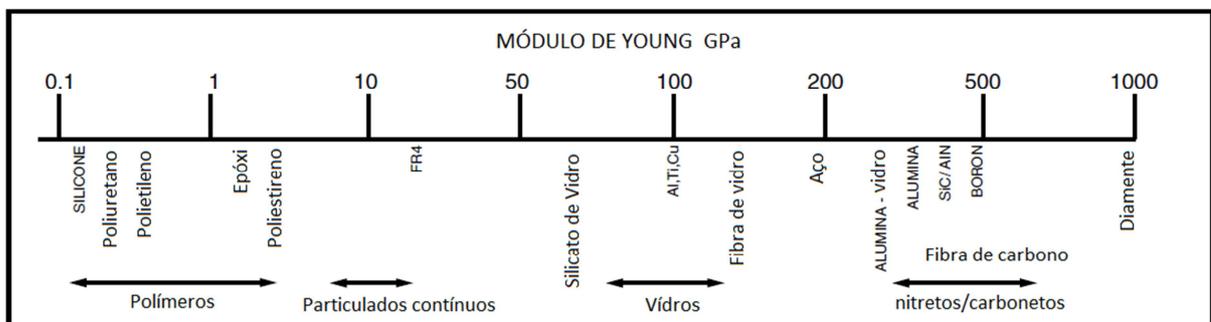


Figura 2.16 – Espectro do módulo de Young dos principais materiais de encapsulamento.

Fonte: Adaptado de Tummala (2001)

Coeficiente de Poisson

O Coeficiente de Poisson é a relação entre a deformação lateral e a axial de um corpo de prova com carga axial. É a constante que relaciona o módulo de rigidez ao módulo de Young. Para as direções transversais em x e y em relação à direção longitudinal em z de aplicação de carga, anisotrópicos, pode-se determinar o coeficiente de Poisson pela Eq. (2.5),

$$\nu = -\frac{\epsilon_x}{\epsilon_z} = -\frac{\epsilon_y}{\epsilon_z} \quad (2.5)$$

onde ν é o coeficiente de Poisson, ϵ_x e ϵ_y são deformações transversais na direção x e y, respectivamente e ϵ_z é a deformação longitudinal na direção z.

Para materiais isotrópicos, o coeficiente de Poisson adimensional (ν), pode ser determinado pela Eq. (2.6),

$$\nu = \frac{E}{2G} - 1 \quad (2.6)$$

onde E é o módulo de Young e G o módulo de rigidez ou módulo de cisalhamento que é definido como a razão tensão aplicada ao corpo e a sua deformação específica. A fórmula é válida apenas dentro do limite elástico de um material. Para muitos metais e outras ligas os valores do coeficiente de Poisson variam entre 0,25 e 0,35. (CALLISTER e RETHWISCH, 2009).

2.3 MODELAGEM MATEMÁTICA

O Método dos Elementos Finitos resolve as deformações e tensões em uma estrutura sujeita a ações exteriores através da discretização em pequenos elementos individuais de forma regular. Cada elemento é definido no espaço por seus nós delimitadores. As distorções podem ocorrer em qualquer dimensão do elemento, e resultarem em variações lineares em todas as dimensões por seus nós estarem sendo compartilhados com elementos adjacentes. Um programa de computador é capaz de resolver o conjunto de equações lineares resultantes, porém quanto menor for o tamanho do elemento, maior a quantidade de equações a serem resolvidas, conseqüentemente, aumentará a exigência de bom desempenho do computador, para não impactar no tempo de realizar o cálculo. O tamanho do elemento implica na precisão do cálculo. Elementos muito grandes tendem a ter resultados mais imprecisos que os elementos menores. (TUMMALA et al., 1997c).

O método dos elementos finitos consiste em uma equação integral, de modo que a integral possa ser substituída sobre um domínio complexo por um somatório de integrais estendidas a subdomínios de geometria simples. Cada subdomínio corresponde a um elemento finito de geometria simples. O resultado é um conjunto de equações algébricas não-lineares. A geometria dos elementos é geralmente de duas ou três dimensões. Em duas dimensões os elementos são geralmente triângulos ou quadriláteros, enquanto nos de três dimensões os elementos são tetraedros ou hexaedros, como mostra a Figura 2.17, que são mais frequentemente usados. (TUMMALA e SWAMINATHAN, 2008). A deformação é uma taxa de variação do deslocamento através do elemento e, é calculada pela derivada da função de deslocamento no elemento. Os elementos podem ser lineares ou quadráticos. Um hexaedro linear de 3D, por exemplo, contém 8 nós enquanto um hexaedro quadrático contém 20 nós.

Os quadráticos aumentam a ordem dos elementos permitindo melhor aproximação quando comparados com elementos lineares. (NORTON, 2013). As malhas com elementos no formato hexaedro podem fornecer soluções de alta qualidade com menos células e nós do que tetraédricas, pirâmides e prismas. (KAVEH, 2014).

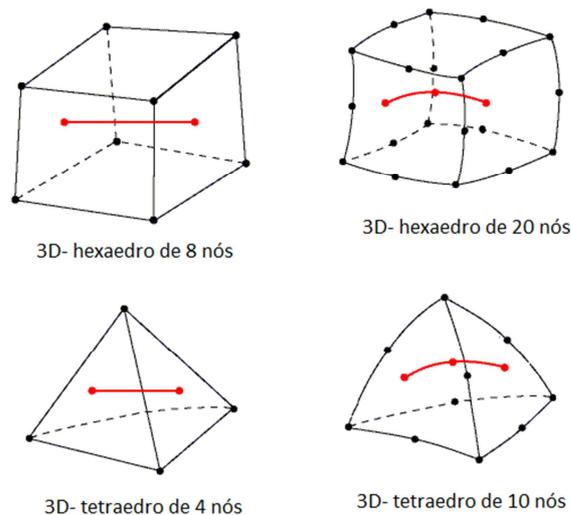


Figura 2.17 – Formatos de elementos 3D utilizados para modelagem computacional.

Fonte: Adaptado da ferramenta de ajuda do software ANSYS 14.5

A principal vantagem de usar o método de elementos finitos é a capacidade de modelar limites complexos usando elementos de ordem superior. Para geometrias que contêm muitas curvas ou detalhes é necessário aumentar o número de pontos. O teste de convergência pode ser utilizado para saber se a malha está suficientemente refinada. Este método consiste em calcular as tensões de uma malha com elemento de certo tamanho, e comparar os resultados de tensão com uma malha mais refinada. Se ocorrer uma diferença significativa, isto indica que a malha está ainda grosseira e deverá ser novamente refinada. (NORTON, 2013). O gráfico da Figura 2.18 representa o resultado de diversas análises para tensão em uma região específica. A curva apresenta crescimento exponencial e aproxima-se tangenciando a reta da tensão real, ou seja, o modelo numérico é confiável se ele converge para a solução exata do modelo matemático.

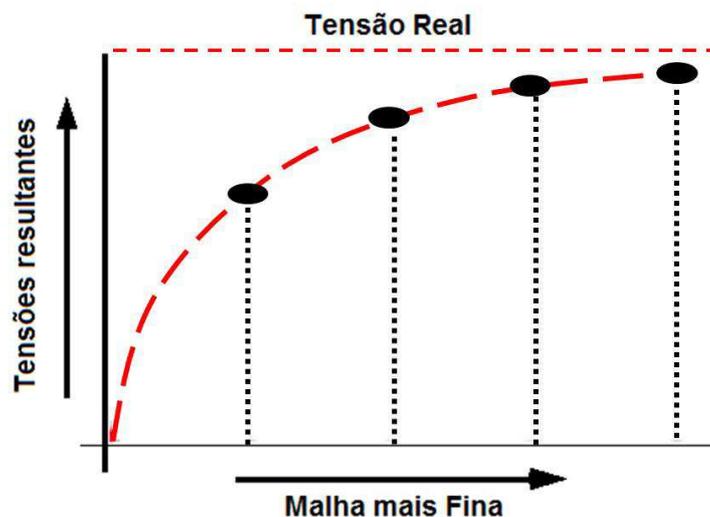


Figura 2.18 – Exemplo de representação gráfica do teste de convergência do refinamento de malha com as tensões resultantes.

Fonte: adaptado de Norton (2013)

A metodologia de validação utilizada para comparar aos resultados experimentais foi baseada em coeficiente de correlações conforme KANG et al. (2011) utilizaram em suas pesquisas. Os pesquisadores compararam os resultados do empenamento de uma série de testes experimentais físicos em encapsulamento PoP através do princípio da interferometria de Moiré com os resultados de análises numéricas utilizando códigos de simulação computacional pelo método de elementos finitos. Os pesquisadores acreditam que a abordagem numérica é mais rentável e eficiente, porém dependem de uma boa adequação da modelagem de simulação para que os resultados numéricos sejam precisos. Os pesquisadores encontraram um coeficiente de correlação entre o resultado da simulação e a medição do empenamento através da interferometria de Moiré de 0,985.

O módulo utilizado no software ANSYS para analisar a tensão termomecânica é a análise estrutural estática (static Structural), pois realiza cálculos de deformações e forças em estruturas e análise estrutural não linear dos materiais como plasticidade, tensão de enrijecimento e contato de elementos.

No forno de refusão, os componentes eletrônicos estão montados na PCI para serem soldados, ambos à temperatura de 25 °C, onde são submetidos a variações de temperatura. Considera-se que a transferência de calor ocorre por convecção forçada. A taxa de transferência de calor por convecção não é constante no material, pois depende de muitos

fatores relacionados diretamente com a temperatura do fluido, como a densidade, viscosidade, calor específico, condutividade, regime do fluido (laminar ou turbulento), a rugosidade e as propriedades da superfície. O calor na superfície é transferido para a região interna do sólido por condução.

A tensão criada por aquecimento, que são induzidas em um corpo, pode levar à fratura ou a deformação plástica indesejável. Portanto o calculo do vetor de tensão ($\{\sigma\}$) para a simulação baseou-se na Eq. (2.4) sendo a elasticidade (E) expressada em matriz de rigidez elástica ($[D]$) conforme a Eq. (2.7),

$$\{\sigma\} = [D]\{\epsilon^{el}\} \quad (2.7)$$

reescrevendo tem-se ,

$$\{\epsilon\} = \{\epsilon^{el}\}[D]^{-1} \{\sigma\} \quad (2.7)$$

onde $\{\sigma\}$ é o vetor tensão e pode ser expresso por $\begin{bmatrix} \sigma_x & \sigma_{xy} & \sigma_{xz} \\ \sigma_{yx} & \sigma_y & \sigma_{yz} \\ \sigma_{zx} & \sigma_{zy} & \sigma_z \end{bmatrix}$, e $[D]$ é a matriz de rigidez elástica, $\{\epsilon^{el}\}$ é a diferença entre o total do vetor deformação $\{\epsilon\}$ e o vetor deformações térmica $\{\epsilon^{th}\}$ definido na Eq (2.9),

$$\{\epsilon^{th}\} = \Delta T \begin{bmatrix} \alpha_x^{se} & 0 & 0 \\ 0 & \alpha_y^{se} & 0 \\ 0 & 0 & \alpha_z^{se} \end{bmatrix} \quad (2.9)$$

onde α_x^{se} é a secante do coeficiente de expansão térmica na direção x , ΔT é a diferença entre a temperatura corrente (T) e a temperatura de referência (T_{ref}). O inverso da matriz de rigidez elástica $[D]^{-1}$ pode ser expresso por,

$$[D]^{-1} = \begin{bmatrix} 1/E_x & -v_{xy}/E_x & -v_{xz}/E_x & 0 & 0 & 0 \\ -v_{yx}/E_y & 1/E_y & -v_{yz}/E_y & 0 & 0 & 0 \\ -v_{zx}/E_z & -v_{zy}/E_z & 1/E_z & 0 & 0 & 0 \\ 0 & 0 & 0 & 1/G_{xy} & 0 & 0 \\ 0 & 0 & 0 & 0 & 1/G_{yz} & 0 \\ 0 & 0 & 0 & 0 & 0 & 1/G_{xz} \end{bmatrix} \quad (2.10)$$

onde E_x é o módulo de Young na direção x , ν_{xy} é maior coeficiente de Poisson e ν_{yx} o menor coeficiente de Poisson e G_{xy} módulo de cisalhamento no plano xz .

Combinando as Eq (2.7) e Eq (2.9) pode-se obter a Eq (2.11) de forma simplificada

$$\sigma = E\alpha\Delta T \quad (2.11)$$

onde E é o módulo de elasticidade, α é o coeficiente linear de expansão térmica, ΔT é a diferença da temperatura corrente T e a temperatura de referencia do material T_{ref} e σ é tensão resultante considerando um corpo de um material isotrópico.

A avaliação da tensão térmica pode ser realizada com ferramentas analíticas, análises numéricas ou experimentais. Devido à complexidade das geometrias dos chips encapsulados, a análise numérica através do Método dos Elementos Finitos (MEF) é capaz de resolver uma grande variedade de cálculos de tensões e deformações, que são tipicamente complexos, para serem solucionados pelo método analítico. (TUMMALA et al., 1997c).

3 MATERIAIS E MÉTODOS

Este trabalho avaliou a influência de três diferentes projetos de um sistema de encapsulamento PoP e dois tipos de Compósitos de Moldagem a base de Epóxi (Epoxy Molding Compound - EMC). Os modelos foram desenvolvidos com base nos parâmetros de processos fornecidos pelo projeto em parceria com a Universidade Hongik (Coreia do Sul) e a Unisinos, *Development of the Reliability Technology for Package on Package*. Os dados do projeto contêm as informações necessárias para a construção do desenho 3D, o tipo de material de cada parte do encapsulamento PoP e suas propriedades. Este capítulo apresenta informações sobre os materiais e equipamentos que foram utilizados e a metodologia proposta para atingir os objetivos apresentados.

3.1 MATERIAIS

Considerando a necessidade de construir semicondutores cada vez mais finos, as dimensões propostas, que foram simuladas neste trabalho, estavam em um intervalo de espessuras de chip baseadas em estudos de projeções (*roadmap*) de espessuras de chips superfinos elaborado pela ITRS⁷ - *International Technology Roadmap for Semiconductor* (2014). As propriedades dos EMCs correspondem a dois tipos principais de epóxi utilizados nos encapsulamentos na indústria.

O encapsulamento PoP foi modelado e simulado com suas duas partes separadamente, *Top* e *Bottom* totalizando doze (12) configurações, adotando-se a seguinte nomenclatura:

- a) T40, T100 e T200 para identificar as variações das espessuras de chip de silício de 40 μm , 100 μm e 200 μm usado no *Top* e ;
- b) B40, B70 e B100 para identificar as variações das espessuras de chip de silício de 40 μm , 70 μm e 100 μm usado no *Bottom*.

Da mesma forma, adota-se EMC1 e EMC2 para os dois tipos de compósitos a base de epóxi para moldagem em função de variações das propriedades destes.

⁷ ITRS é uma organização de referência mundial na avaliação das tecnologias necessárias para o avanço dos processos de fabricação da indústria de semicondutores (<http://www.itrs.net/>).

A Tabela 3.1 apresenta as dimensões de todos os desenhos utilizado na simulação e a Tabela 3.2 apresenta a relação das propriedades de todos os materiais utilizados na modelagem computacional do encapsulamento PoP.

Tabela 3.1 – Variações das dimensões do *Top* e do *Bottom* utilizados na simulação.

Ref	EMC (mm)	Chip de silício (mm)	Filme de adesivo (mm)	Substrato (mm)
	c x p x h	c x p x h	c x p x h	c x p x h
<i>Top</i> T40	13 x 13 x 0,25	7 x 7 x 0,04	7 x 7 x 0,02	14 x 14 x 0,20
<i>Top</i> T100	13 x 13 x 0,25	7 x 7 x 0,1	7 x 7 x 0,02	14 x 14 x 0,20
<i>Top</i> T200	13 x 13 x 0,25	7 x 7 x 0,2	7 x 7 x 0,02	14 x 14 x 0,20
<i>Bottom</i> B40	8,5 x 8,5 x 0,15	7 x 7 x 0,04	7 x 7 x 0,02	14 x 14 x 0,20
<i>Bottom</i> B70	8,5 x 8,5 x 0,15	7 x 7 x 0,07	7 x 7 x 0,02	14 x 14 x 0,20
<i>Bottom</i> B100	8,5 x 8,5 x 0,15	7 x 7 x 0,1	7 x 7 x 0,02	14 x 14 x 0,20

c=comprimento; p=largura; h=espessura

Tabela 3.2 – Relação de materiais e suas propriedades

Material	Módulo de Young (GPa)	Coeficiente de Poisson	Coeficiente de expansão térmica ($10^{-6} \text{ } ^\circ\text{C}^{-1}$)		T_g ($^\circ\text{C}$)	* T_{ref} ($^\circ\text{C}$)	
			α_1 ($<T_g$)	α_2 ($>T_g$)			
Substrato	FR4	22.5	0.13	9,8	150	150	
	Mascara de solda	2.75	0.3	60	150	150	
	Cobre	24	0.18	12.5	180	150	
Adesivo		0.7	0.3	40	54.7	130	
Chip de silício		131	0.23	2.6	--	25	
Epóxi (EMC)	EMC1	21.02 (25 $^\circ\text{C}$) / 0.99 (250 $^\circ\text{C}$)	0.26	9.6	31.83	137.7	180
	EMC2	20.6 (25 $^\circ\text{C}$) / 0.81 (250 $^\circ\text{C}$)	0.26	9.3	48.60	133.4	180

As propriedades dos materiais relacionadas na Tabela 3.2, exceto do EMC, são originadas de literatura. Estes valores podem variar conforme visto em vários trabalhos, como o de KANG et al. (2011) que consideraram o cobre com Módulo de Young de 110 GPa e coeficiente de expansão térmica de $17,6 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$. O autor considerou, para o chip de silício,

o Módulo de Young 112,7 GPa, a T_g de 227 °C e o coeficiente de expansão térmica de $2,5 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ abaixo da T_g e $3,6 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ acima da T_g . Outras diferenças de propriedades também são encontradas no trabalho de Guédon-Garcia e Feng (2009), pois consideram, para o cobre, o módulo de Young de 128,9 GPa e coeficiente de Poisson 0,34.

3.1.1 Software

O software utilizado para desenvolver o desenho 3D é o SolidWorks 2013 e para a integração com Ansys, o desenho é convertido para o software Space Claim, que também é um software de CAD recomendado pela ANSYS para aplicação da geometria de modelagem. A planilha de cálculos Microsoft Excel foi utilizada para a construção da tabulação dos dados e os cálculos das análises dos resultados.

O software utilizado para modelagem é o *Ansys* 14.5 Educacional com o módulo *Mechanical*. O Ansys é uma ferramenta destinada a diversos campos da engenharia que requerem a simulação no processo de desenvolvimento de produto. Com o módulo *Mechanical* é possível realizar análises de elementos finitos que envolvam análise das forças que afetam um sistema completo de produto, como acústica, análise térmica, termo-estrutural e análise termo-elétrica. A Figura 3.1 apresenta a sequência de uso dos softwares para realizar a simulação.



Figura 3.1 – Esquema sequencial de utilização dos softwares para realizar a simulação.

O software Ansys é uma excelente ferramenta para análises de falhas e empenamento de semicondutores, apresentando resultados razoavelmente precisos, comparados com

análises físicas após o processo de fabricação, permitindo captar de forma eficiente a tendência de empenamento. (SUN, W. et al., 2008).

O software ANSYS permite realizar vários tipos de análises pré-configuradas para tensão termomecânica. No entanto a análise estrutural estática (*Static Structural*) determina os deslocamentos, tensões, deformações e forças em estruturas ou componentes causados por cargas que não induzem inércia significativa e efeitos de amortecimento. Além disto, permite análise estrutural não linear dos materiais como plasticidade, tensão de enrijecimento, contato de elementos, hiperelasticidade e assim por diante.

Pode-se dizer que o ANSYS está consolidado como software para modelagem de semicondutores, pois através deste mecanismo é possível obter rapidamente as informações do empenamento, para decidir se o design é apropriado ou comparar diferentes projetos de encapsulamento. (SHIN et al., 2007).

3.1.2 Hardware

A simulação foi realizada em um computador Workstation HP z6720 com processadores Intel Xeon E5-2630 de 2.30 GHz de 6 núcleos, 64 GB de memória e HD com capacidade de 1 TB.

3.2 SIMULAÇÃO COMPUTACIONAL

Esta seção é destinada a apresentar detalhes da geometria e da malha utilizada na simulação computacional.

3.2.1 Desenho geométrico

Os BGAs, *Top e Bottom*, respectivamente T40/EMC1 e B40/EMC1, foram desenhados e analisados separadamente.

O *Top*, que é a parte superior do encapsulamento PoP, é constituído por um substrato de 14x14x0,20 mm que é composto pelo o FR4 de 0,17 mm de espessura, a Mascara de Solda de 0,03 mm de espessura e 236 bases de cobre de 0,03 mm de espessura e 0,25 mm de diâmetro distribuídos conforme ilustrado na Figura 3.2

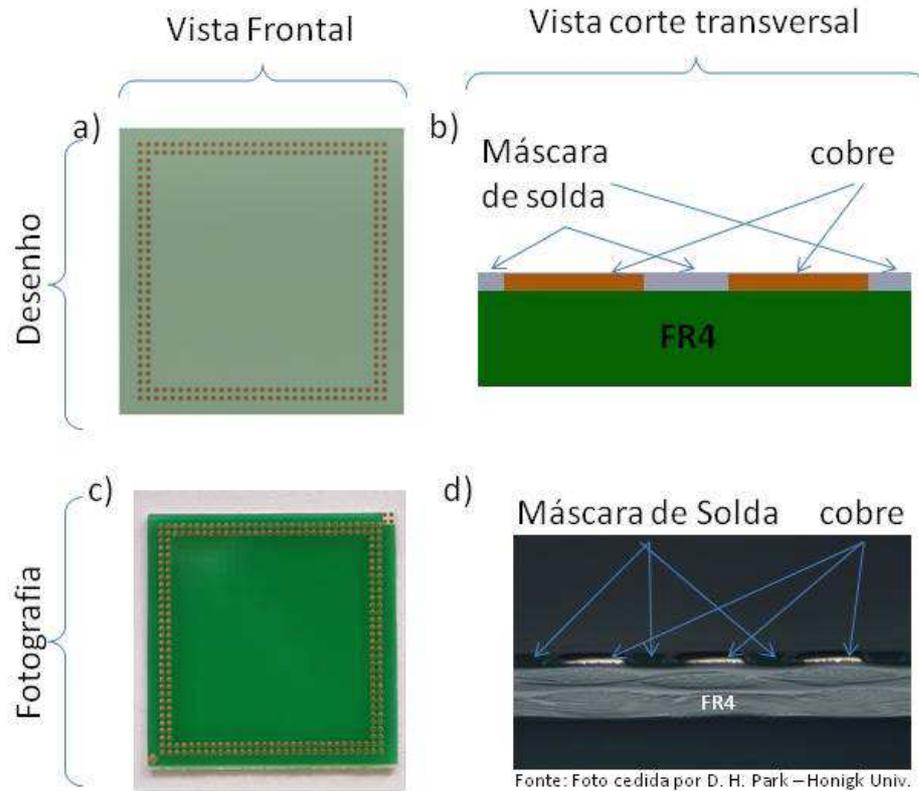


Figura 3.2 – Desenho do substrato utilizado no *Top* e no *Bottom* com a matriz de distribuição das bases de contato de cobre. a) Visão frontal do Desenho; b) vista seccional do desenho; c) Foto Frontal do Substrato; d) Foto de microscópio do substrato em recorte transversal.

O chip de silício mede $7 \times 7 \times 0,04$ mm e é colado por um filme adesivo de $7 \times 7 \times 0,02$ mm, no substrato. Este componente é envolvido por um epóxi de 13×13 mm com espessura de 0,25mm sobre substrato e 0,19mm sobre o chip de silício. O *Bottom*, que é a parte inferior do *Top*, é constituído com o mesmo substrato utilizado no *Top*, porem foi colado o chip no lado oposto. O chip e o filme adesivo também são os mesmos utilizados no *Top* e são envolvidos por um epóxi de $8,5 \times 8,5$ mm com espessura de 0,15 mm sobre o substrato e 0,9 mm de espessura sobre o chip de silício, conforme a vista explodida apresentada na Figura 3.3. As espessuras são melhor ilustradas na Figura 3.4, que representa um corte transversal do encapsulamento PoP montado com as esferas de solda.

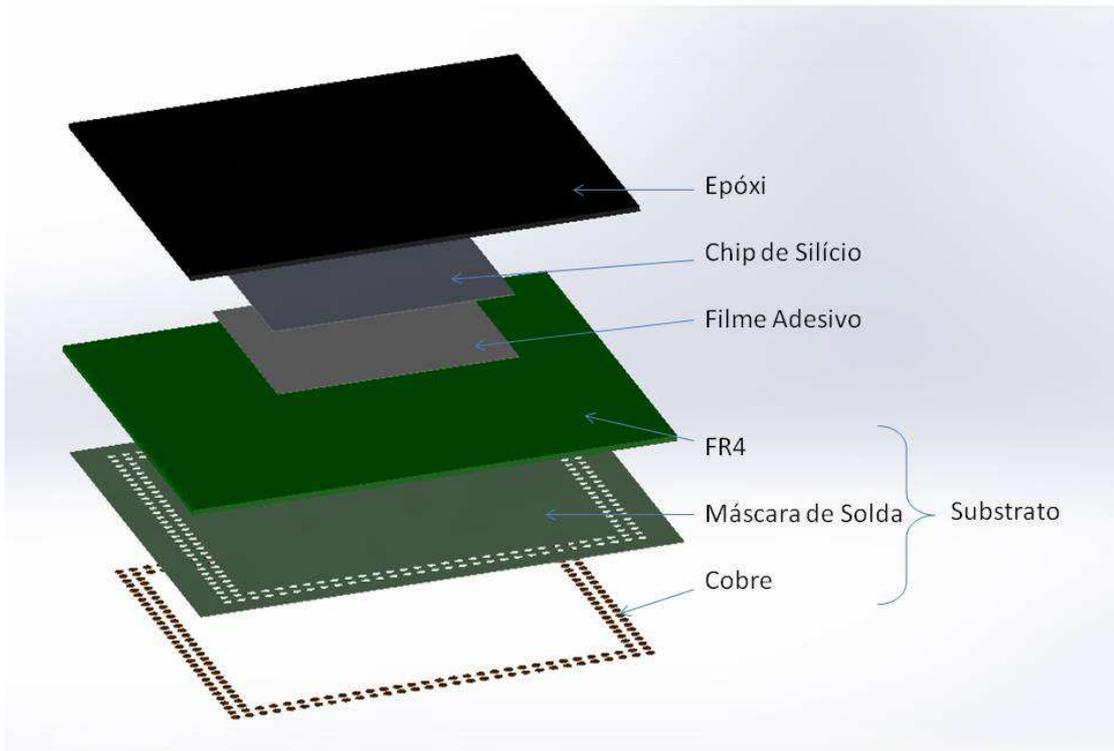


Figura 3.3 – Desenho em vista explodida das partes que compõem o *Top* utilizado na simulação.

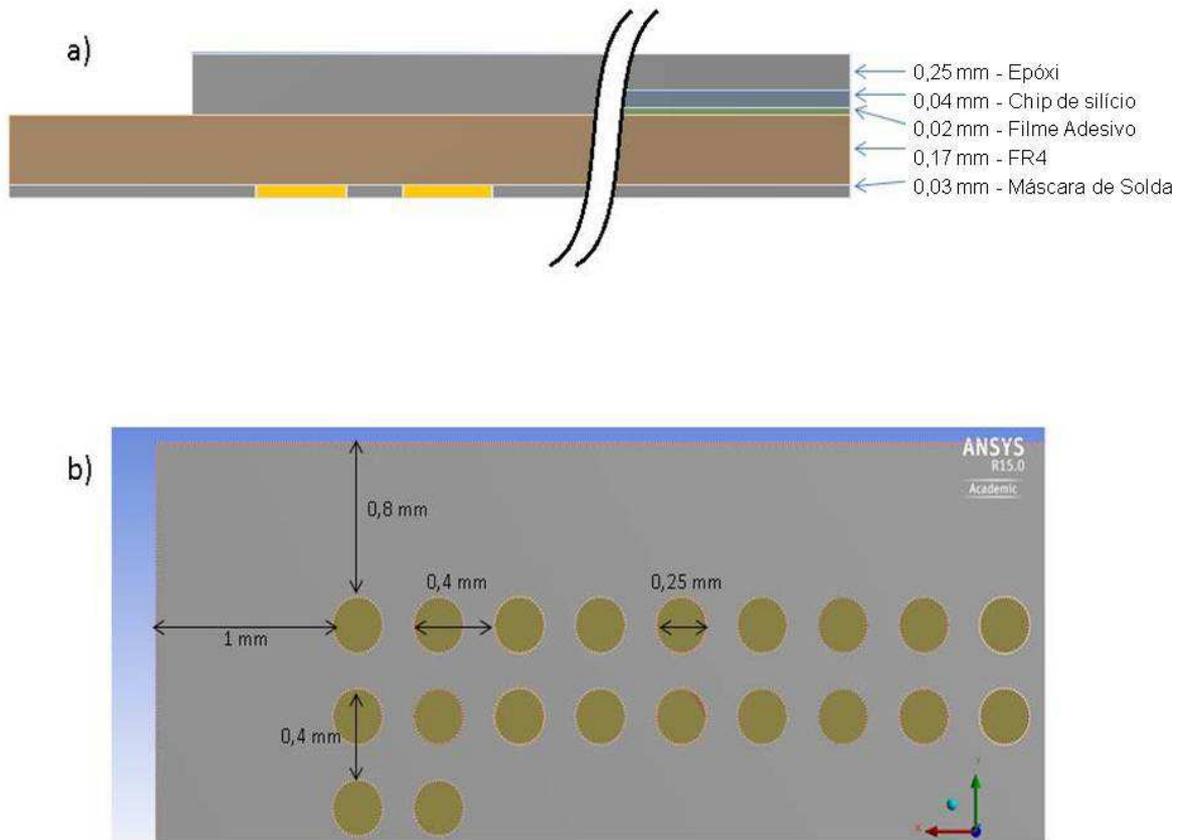


Figura 3.4 – Detalhe do desenho em: a) corte transversal do encapsulamento PoP representação 2D e b) visão plano frontal detalhando a distribuição da base de cobre.

3.2.2 Malhas

Foram construídas as malhas dos elementos do *Top* e do *Bottom* com os elementos no formato predominantemente hexaedro conforme ilustrado respectivamente na Figura 3.5 e Figura 3.6. O *Top* contendo 82.473 elementos de tamanho máximo de 75 μm formados por 114.118 nós e o *Bottom* contendo 78617 elementos de tamanho máximo predefinido de 75 μm formados por 95898 nós. O tamanho máximo utilizado na construção da malha foi o limitado pela capacidade permitida de cálculo do software na versão educacional. Embora a diferença entre o tamanho de elemento recomendado pelo software Ansys (*default*), no *Top* e no *Bottom*, de 154 μm , tenha dado o resultado de empenamento menor que 8%. Nestas condições o teste de convergência de malha se torna desprezível.

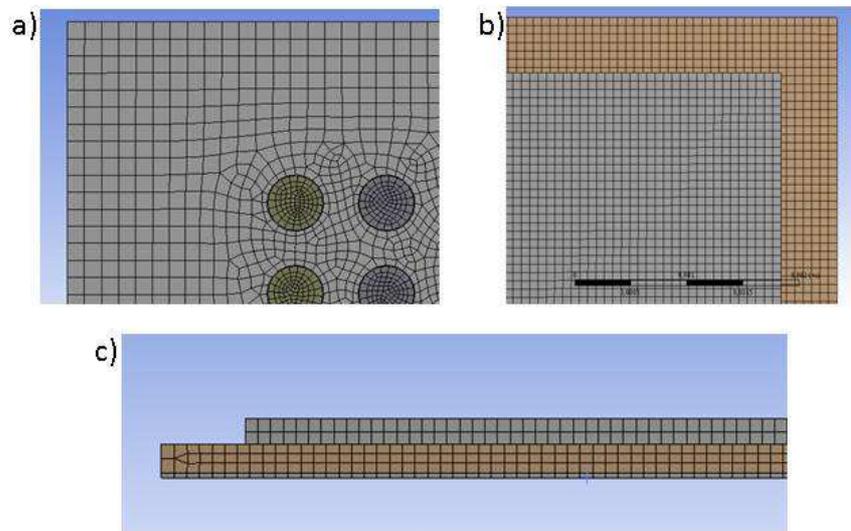


Figura 3.5 – Malha de modelagem do elemento finito para *Top*. a) Malha tetraédrica formada na Mascara de Solda; b) Malha com elementos hexaédrico formada no EMC, Chip, Fita adesiva e substrato do *Top* c) Vista lateral da malha gerada no *Top*.

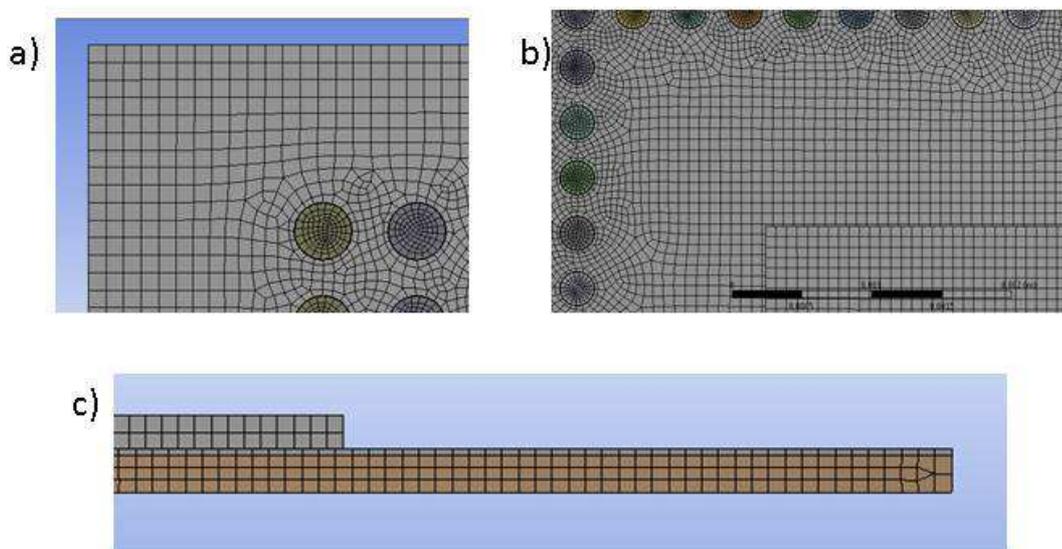


Figura 3.6 – Malha de modelagem do elemento finito para o *Bottom*. a) Malha tetraédrica formada na mascara de solda do *Bottom*; b) Malha com elementos hexaédrico formada no EMC, Chip, Fita adesiva e substrato no *Bottom*; c) Vista lateral da malha gerada no *Bottom*.

3.3 PARÂMETROS DE PROCESSO, CONDIÇÕES INICIAIS E SIMPLIFICAÇÕES

Para efeito de modelagem, foi pressuposto que:

- a) todos os materiais são homogêneos;

- b) o compósito do substrato foi composto apenas de FR4, mascara de solda e cobre;
- c) os fios de interconexões e as bases de contato de cobre da face inferior do Bottom foram desconsiderados;
- d) todas as interfaces dos materiais tiveram perfeita aderência;
- e) as ações termomecânicas sobre o encapsulamento PoP foram aplicadas de um modo suficientemente lento, assim considera-se um análise estática;
- f) a relação entre tensões e deformações foi linear para cada material entre as temperaturas consideradas nas tabelas da propriedade dos materiais;
- g) para perfil de temperatura da superfície do chip adotou-se o descrito na Tabela 3.3 e representado na curva da Figura 3.8. Desta forma, foram feitas dezenove (19) simulações em regime permanente para uma das doze (12) configurações dispostas na sessão 3.1.
- h) a simulação foi realizada em apenas 1/4 do desenho do componente por representar simetria. Um suporte de fixação foi utilizado na aresta no centro eixo Z do centro da peça conforme ilustrado Figura 3.7.

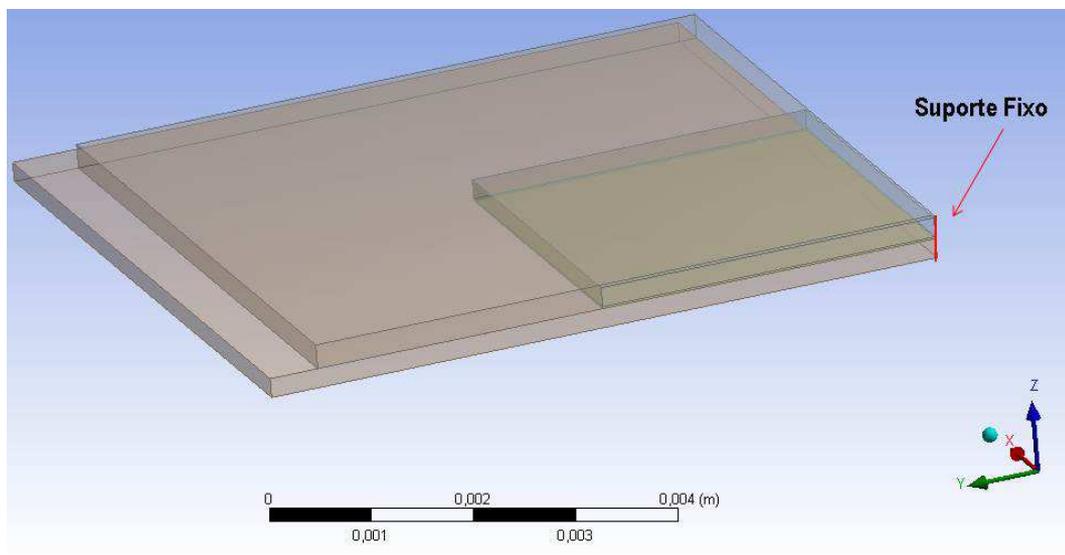


Figura 3.7 – Desenho do *Top* em corte $\frac{1}{4}$ utilizado para representação de simetria do objeto na simulação.

Tabela 3.3 – Perfil de temperatura utilizado na simulação. Os perfis são similares aos usados para fabricação de protótipos no laboratório da Universidade Hongik.

Passos	Temperatura (°C)
0	27
1	69
2	101
3	128
4	149
5	179
6	199
7	219
8	241
9	260
10	242
11	222
12	202
13	183
14	150
15	130
16	106
17	71
18	34

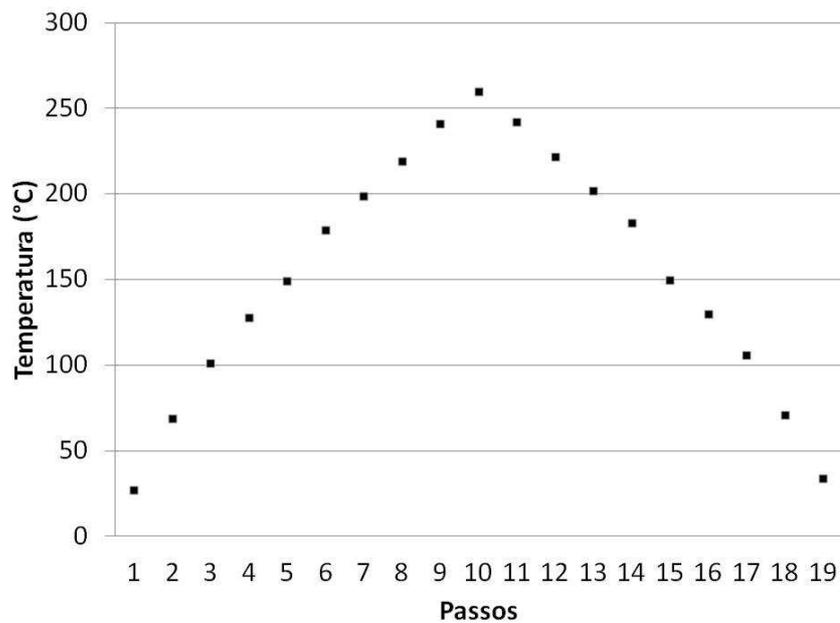


Figura 3.8 – Curva do perfil de temperatura do forno de refusão adotado na montagem encapsulamento PoP.

3.4 VALIDAÇÃO DA METODOLOGIA

Esta etapa buscou validar a modelagem numérica, comparando os dados gerados nas simulações com resultados dos ensaios realizado na universidade Hongik. Os protótipos do *Top* de modelo T40 e do *Bottom* de modelo B40 foram encapsulados pelo autor deste trabalho no Departamento de ciências dos materiais e engenharia da universidade Hongik, durante uma visita de 45 dias entre os meses de junho e julho de 2014. O departamento possui capacidade de realizar todas as etapas de encapsulamento de protótipos de chips. No entanto, as medições foram realizadas na fábrica de chips Hana Micron. A Figura 3.9 apresenta o diagrama das etapas de moldagem realizadas em laboratório.

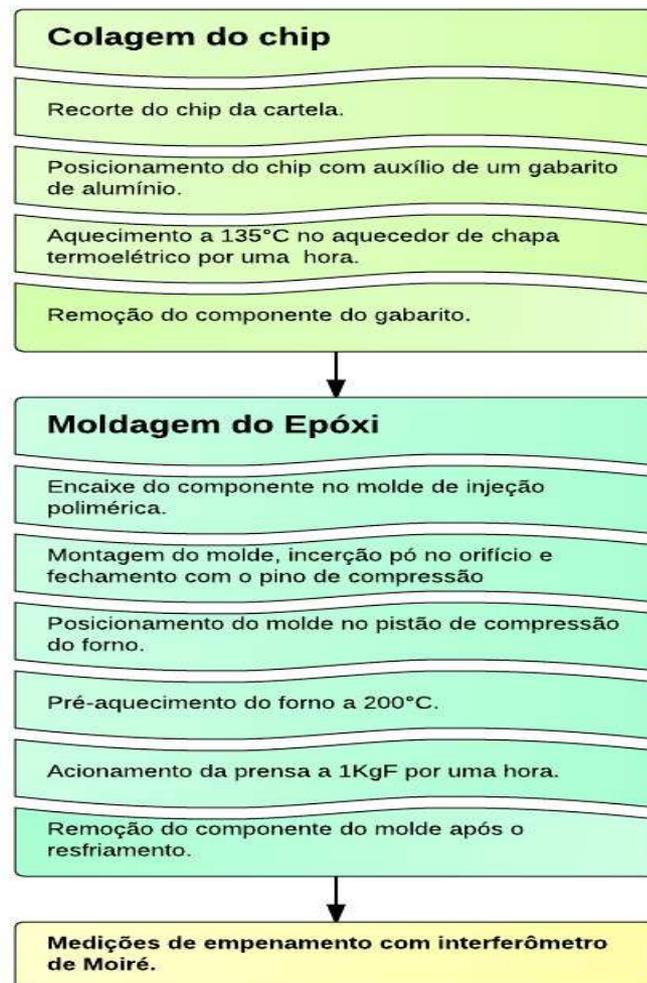


Figura 3.9 – Etapas de moldagem de BGA realizado na Coreia do Sul .

Para o encapsulamento do protótipo, a primeira etapa foi colar o chip no substrato. O substrato foi recortado da cartela e posicionado em uma forma de alumínio com capacidade para quatro BGA. Para a montagem do *Bottom*, o chip foi colado na mesma face do cobre, assim o substrato deveria estar com o cobre voltado para cima e para a montagem do *Top* o chip foi colado na face oposta da do cobre, neste caso o cobre ficou voltado para baixo. Um gabarito de alumínio foi utilizado para manter a posição do chip durante o aquecimento. O chip contendo o filme adesivo foi posicionado no gabarito da forma conforme ilustrado na Figura 3.10.

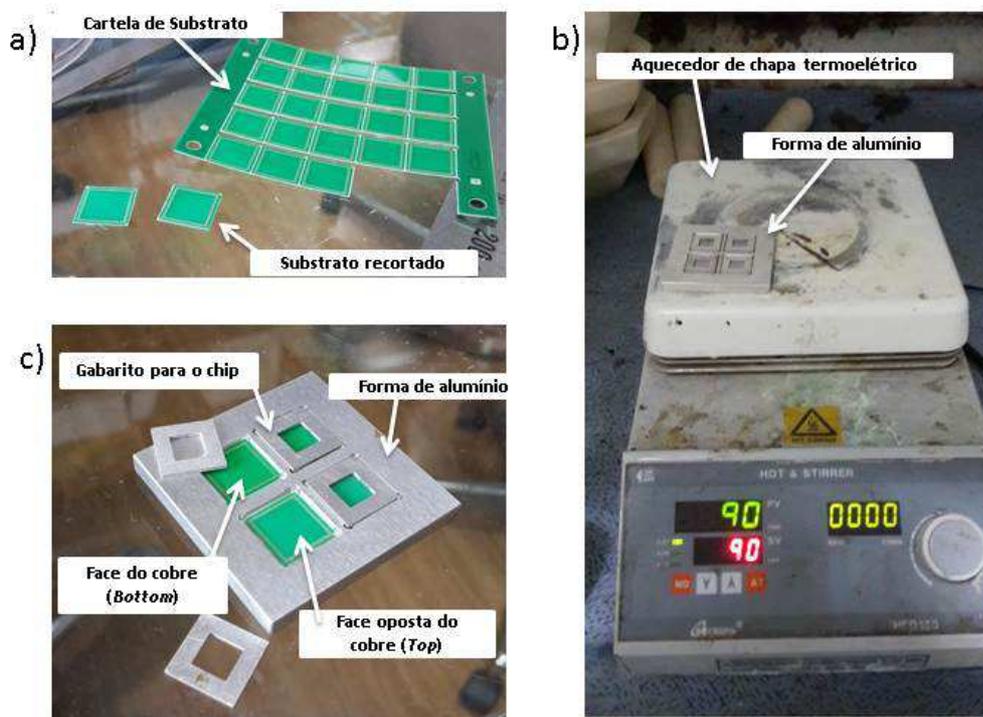


Figura 3.10 – Etapas de colagem do chip no substrato. a) Cartela de substrato com dois substratos recortados; b) Forma utilizada para posicionamento do chip; c) Chapa elétrica de aquecimento utilizada para cura do filme adesivo.

A forma de alumínio foi submetida a uma temperatura de 90 °C, durante 10 segundos, em um aquecedor de chapa termoeletrico. Os componentes foram removidos da forma e retornados para o aquecedor por 30 min a 135° C. Um peso de 500 gramas sobre a forma foi utilizado para melhorar o contato da forma com a chapa termoeletrica. Assim se completou a etapa de colagem do chip no substrato.

Para a moldagem do epóxi, foram utilizados dois moldes de injeção polimérica com diferentes cavidades, um para o *Top* e outro para o *Bottom*. O componente foi encaixado no molde e após fechado com parafusos. Uma quantidade epóxi sólido em pó foi inserido em um orifício onde um pistão de pressão tem a função de pressionar o pino e injetar o material para o molde. O pino do molde foi posicionado no centro do pistão dentro do forno. O forno foi aquecido a uma temperatura de 200 °C. Esta temperatura estabilizou em aproximadamente 10 min e então a prensa foi acionada a 1kgf por uma hora. O molde então foi removido do forno e resfriado a temperatura ambiente, assim finalizando a etapa de moldagem. As etapas de modelagem do EMC são ilustradas na sequencia de imagens da Figura 3.11.

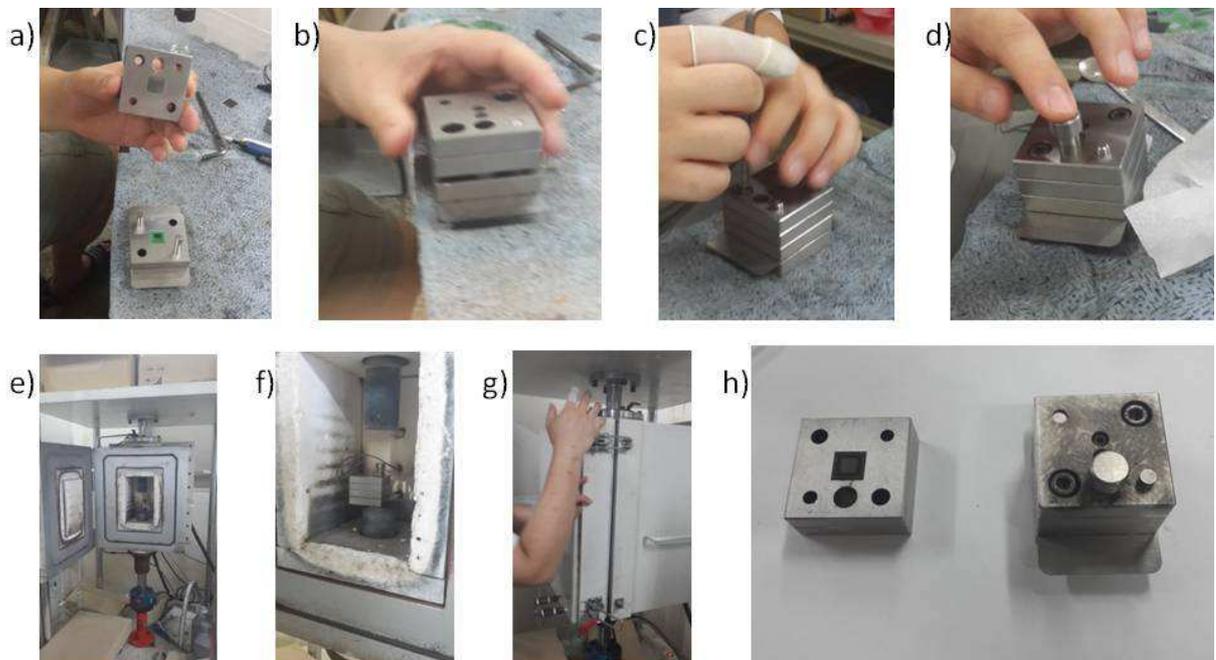


Figura 3.11 - Etapas de modelagem. a) o componente é encaixado no molde; b) o molde é fechado; c) a após fechar com parafusos o epóxi é inserido em um orifício d) um pino fecha o orifício; e) o molde é inserido no forno; f) o pino é posicionado no centro da prensa g) o forno é fechado e ligado na programação do ciclo de cura; h) após resfriar o molde em temperatura ambiente, o componente é removido.

Foram fabricadas as seguintes peças conforme a Figura 3.12 como protótipos para os ensaios:

- a) três substratos (contendo o cobre, a mascara de solda e o FR4);
- b) três substratos com o chip e o filme adesivo colados na posição para *Top*;
- c) três substratos com o chip e o filme adesivo colados na posição para *Bottom*;
- d) três BGA *Top*;

e) três BGA *Bottom*.

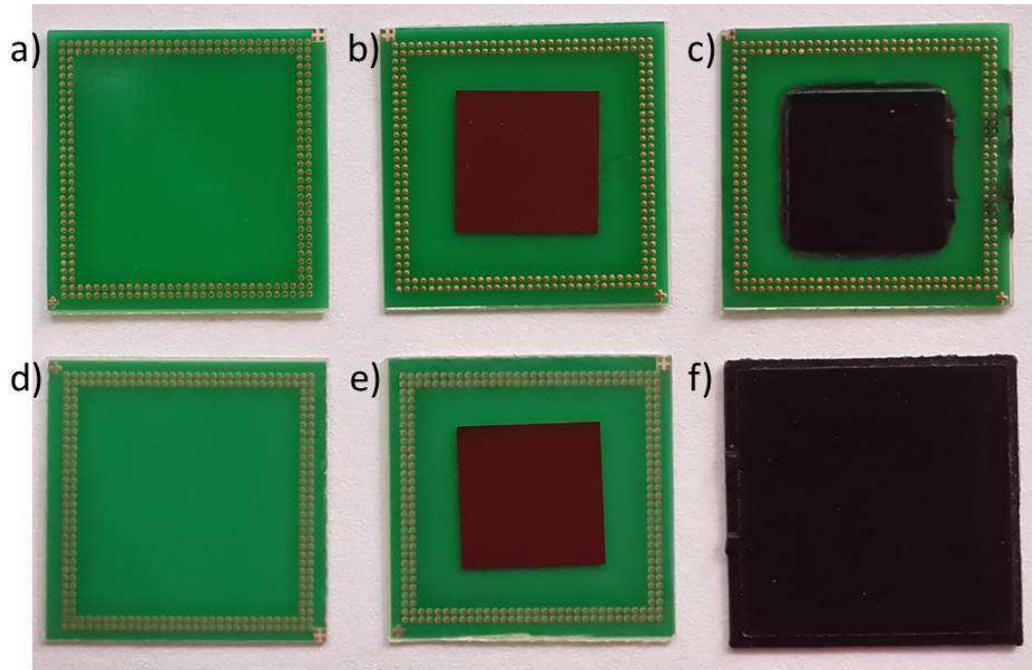


Figura 3.12 – Etapas de Modelagem do *Top* e do *Bottom*. a) Para modelagem do *Bottom* a face do cobre é voltada para cima; b) Chip é colado na face do cobre c) Epóxi cobrindo somente o chip mantendo as bases de cobre para soldagem do *Top* ; d) Para a modelagem do *Top* a face do cobre é voltada para baixo; e) O chip é colado no *Top*; f) O epóxi cobre o chip e o substrato.

Os protótipos foram encaminhados para as medições de empenamento através da técnica de interferometria de Moiré na empresa Sul Coreana Hana Micron seguindo os seguintes procedimentos e pressuposições.:

- a) os componentes foram submetidos a mudanças de temperaturas conforme a Tabela 3.3 no estado estacionário;
- b) foram realizadas as medidas para cada temperatura descrita na tabela;
- c) a curva do perfil de temperatura do forno é a mesma na superfície do componente;
- d) os valores coletados no interferômetro são valores máximos de deslocamento no eixo z para cada temperatura.
- e) o equipamento utilizado na medição do componente foi calibrado.

3.5 ANÁLISE DOS RESULTADOS

Foram construído, a partir dos resultados, três (03) hipóteses que testam parâmetros diferentes que possam explicar as diferenças encontradas no comportamento do empenamento

mensurado. A Hipótese 1 , sugere-se modificar a temperatura de referência do substrato de 150 °C para 130 °C e 210 °C respectivamente do FR4 e da máscara de solda. Na Hipótese 2 , sugere-se a variação das propriedades do EMC conforme apresentado na

Figura 4.4. A Hipótese 3 , sugere-se que a temperatura do módulo de Young do EMC passe de 250 °C para 280 °C devido a descontinuidade apresentada da tabela de propriedade dos materiais.

Para qualificar as hipóteses, foi construída uma relação entre a simulação da deformação do encapsulamento PoP e parâmetros de processo a partir de tabulações numéricas das somas dos mínimos e máximas do empenamento no eixo z extraídos do relatório de resultados do Ansys dos diferentes elementos que compõem o *Top* e *Bottom* nas variações das dimensões e propriedades dos materiais, como exemplificado na Figura 3.13 A partir dos valores resultantes é possível construir a curva de resultado do empenamento do componente.

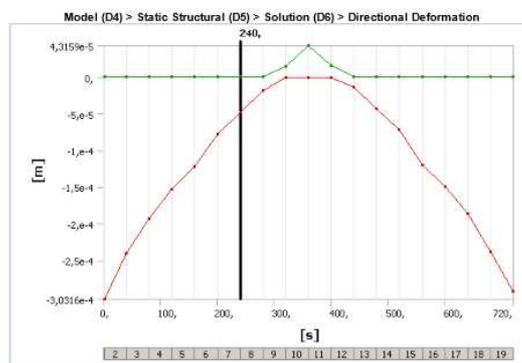


TABLE 36
Model (D4) > Static Structural (D5) > Solution (D6) > Directional Deformation

Time [s]	Minimum [m]	Maximum [m]
1.	-3.0316e-004	7.3808e-007
40.	-2.4061e-004	5.5777e-007
80.	-1.9319e-004	4.2038e-007
120.	-1.5309e-004	3.0444e-007
160.	-1.2191e-004	2.1427e-007
200.	-7.7354e-005	8.5466e-008
240.	-4.7649e-005	5.8471e-008
280.	-1.7959e-005	7.8511e-008
320.	-1.8082e-007	1.4912e-005
360.	-2.6239e-007	4.3159e-005
400.	-1.8511e-007	1.6396e-005
440.	-1.351e-005	8.1517e-008
480.	-4.3192e-005	8.1477e-008
520.	-7.1405e-005	8.8292e-008
560.	-1.2041e-004	2.0998e-007
600.	-1.5009e-004	2.9585e-007
640.	-1.8573e-004	3.869e-007
680.	-2.3788e-004	5.4918e-007
720.	-2.9263e-004	7.0805e-007

Figura 3.13 - Exemplo de relatório de saída do Ansys

O método escolhido para quantificar o grau de correlação linear existente entre os resultados dos empenamentos medidos e simulados foi a análise de correlação de Pearson assim como KANG et al.(2011) utilizam a análise de correlação para comparar os resultados

de empenamento com as simulação em suas pesquisas. Esta ferramenta é utilizada para verificar a relação existente entre duas variáveis aleatórias, considerando intensidade e a direção que existe na relação entre elas. Os valores para o coeficiente de correlação estão entre 1 e -1, sendo os valores positivos a correlação linear da mesma direção e os valores negativos correspondem a uma correlação linear inversa. Ou seja, valores acima de zero, as curvas de empenamento medidos e simulados estão tendendo para mesma direção; e para valores negativos as curvas de empenamento estão tendendo para direção oposta. A intensidade está na aproximação do valor a 1 ou -1, sendo o 0 a correlação é nula. (COSTA NETO, 2007). É possível obter o coeficiente de correlação de Pearson pela Eq. (3.1),

$$r = \frac{cov(x, y)}{S_x S_y} \quad (3.1)$$

onde r é o coeficiente de correlação, $cov(x, y)$ é a covariância entre as duas variáveis, definida pela Eq. (3.2),

$$cov(x, y) = \frac{\sum_{i=1}^n (x_i - \bar{x})(y_i - \bar{y})}{n - 1} \quad (3.2)$$

e S_x e S_y são os desvios-padrão das variáveis X e Y na amostra de acordo com a Eq. (3.3) e a Eq. (3.4)

$$S_x = \sqrt{\frac{\sum_{i=1}^n (x_i - \bar{x})^2}{n - 1}} \quad (3.3)$$

e

$$S_y = \sqrt{\frac{\sum_{i=1}^n (y_i - \bar{y})^2}{n - 1}} \quad (3.4)$$

onde n é o número de elementos de uma amostra aleatória. No entanto, o coeficiente de correlação é calculado com base nos n elementos de uma amostra e representa apenas uma estimativa do verdadeiro coeficiente de correlação populacional. Utilizando o teste t_{estat} para coeficiente de correlação r , com o nível de significância de 0,05 e uma distribuição de t_{estat}

com $n-2$ graus de liberdade é possível determinar se existe uma relação linear estatisticamente significativa. Para isso formulam-se duas hipóteses H_0 e H_1 onde,

$$H_0: \rho = 0 \text{ (nenhuma correlação)}$$

$$H_1: \rho \neq 0 \text{ (correlação)}$$

sendo ρ (a inclinação da população) igual a zero como hipótese nula e diferente de zero como hipótese alternativa. É possível obter o t_{estat} através Eq. (3.5),

$$t_{estat} = \frac{r - 0}{\sqrt{\frac{1 - r^2}{n - 2}}} \quad (3.5)$$

onde r é o coeficiente de correlação e n é o número de elementos do amostral. Para n igual a 19 o ponto crítico para distribuição t_{estat} unicaudal é 1,746. Logo, para valores de t_{estat} maior que o ponto crítico rejeita-se a hipótese H_0 e conclui-se que existe uma associação significativa entre o empenamento medido e o empenamento simulado e, para valores menores que o ponto crítico, conclui-se que não existe uma associação significativa entre o medido e o simulado. (LEVINE et al., 2012).

4 RESULTADOS E DISCUSSÃO

A Figura 4.1 ilustra curva do empenamento em função da temperatura para análise de correlação da simulação do T40/EMC2 com os resultados das medições dos experimentos realizados no laboratório da empresa coreana Hana Micron. As tabelas com os valores calculados estão no Apêndice A. A Figura 4.2 ilustra curva para análise de correlação da simulação do B40/EMC2

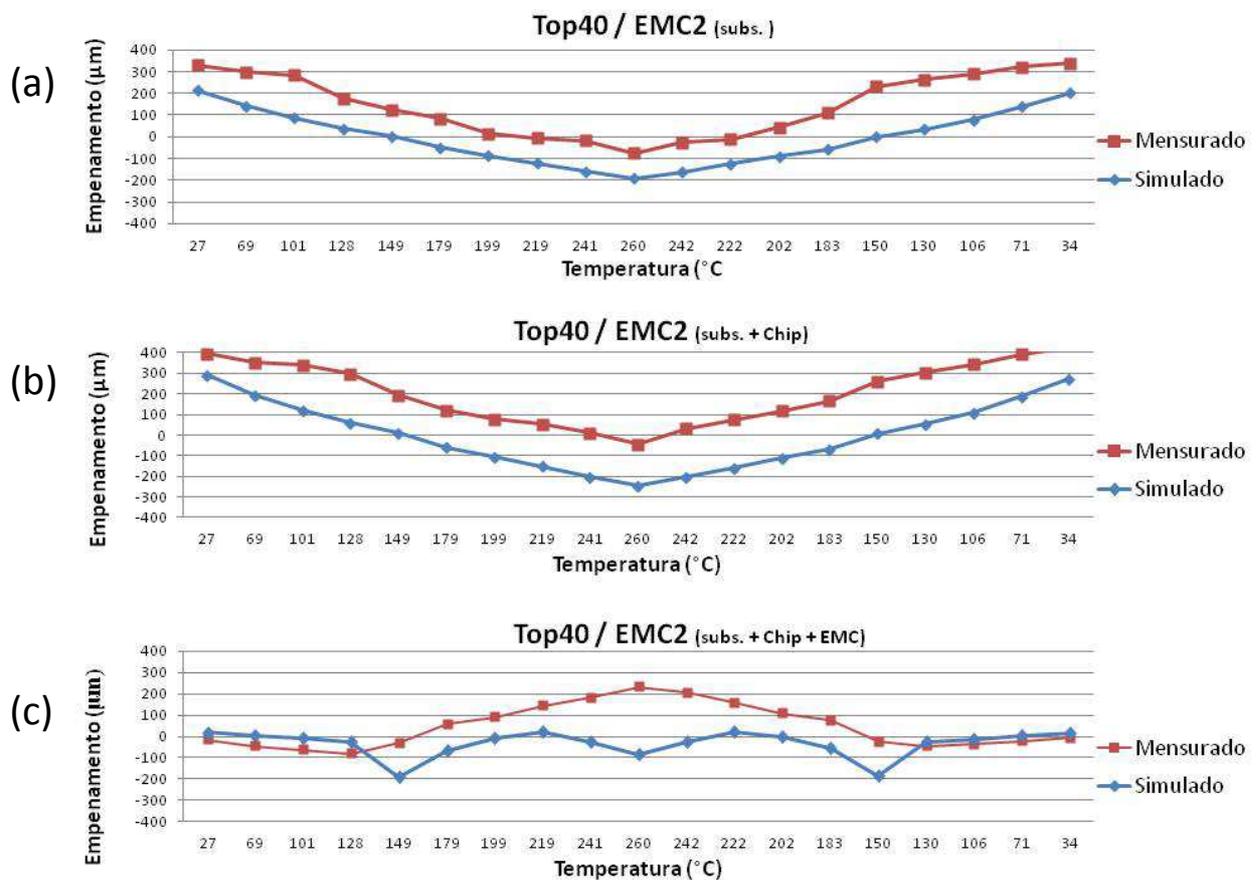


Figura 4.1 - Curva de empenamento do T40/EMC2 mensurado (em vermelho) e do primeiro T40/EMC2 simulado (em azul), a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC

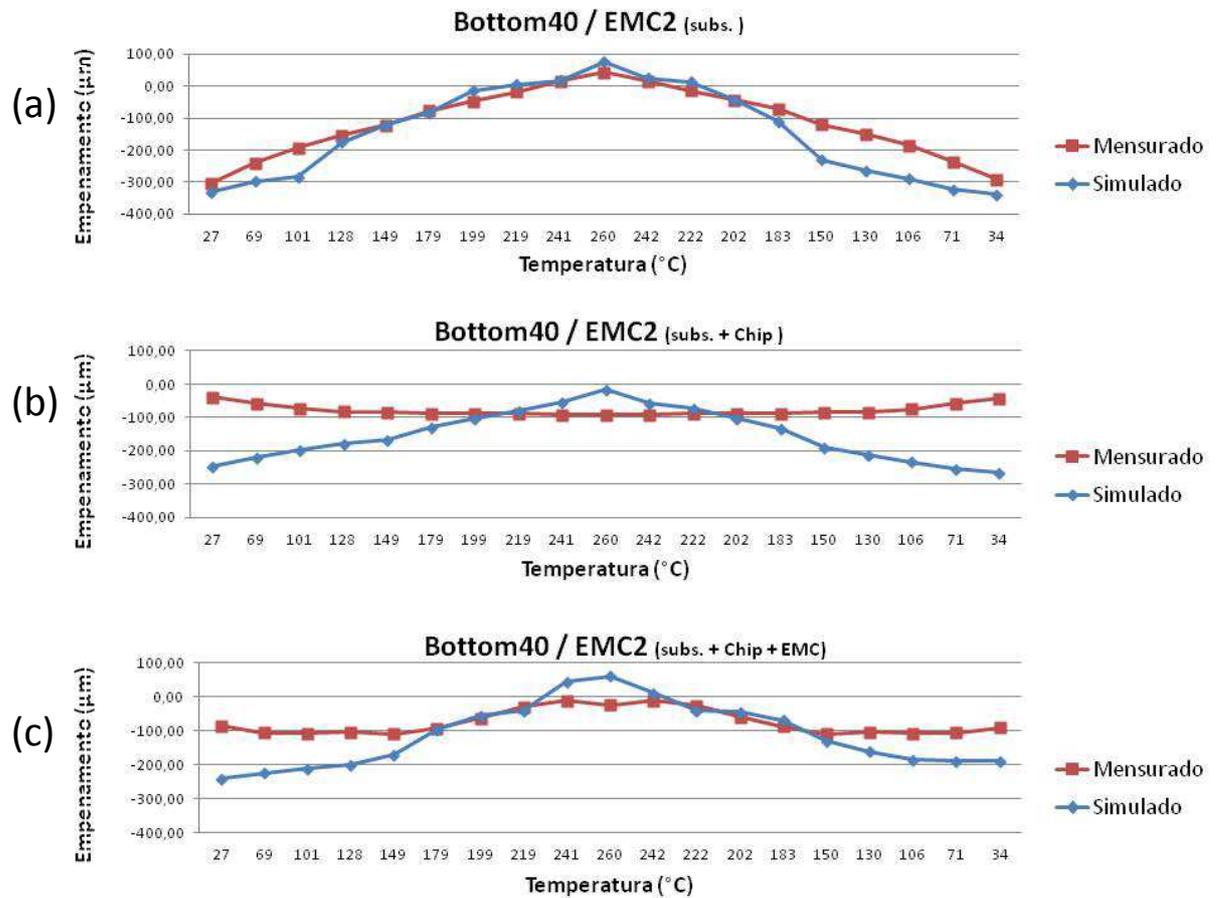


Figura 4.2 - Curva de empenamento do B40/EMC2 mensurado (em vermelho) e do primeiro B40/EMC2 simulado (em azul), a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC

Os primeiros resultados da simulação, apresentados na Figura 4.1, mostram que para o *Top* o coeficiente de correlação é de 0,91 entre a curva medição e a curva simulação do substrato (Figura 4.1(a)). No substrato com o chip (Figura 4.1(b)) o coeficiente de correlação é de 0,98 e entre as curvas do componente contendo EMC (Figura 4.1(c)) foi encontrada coeficiente de correlação de 0,1. Portanto há uma tendência no comportamento do empenamento somente em relação aos resultados das medidas dos experimentos do substrato e do substrato com o chip. A simulação do EMC sobre o componente não apresentaram resultados satisfatórios, Porém, é possível perceber, pela comparação das curvas, que em temperaturas baixas as curvas aparentam boa correlação.

No *Bottom*, conforme mostra a Figura 4.2, a simulação do substrato (Figura 4.2(a)) apresentou correlação de 0,96 e para o substrato com o chip (Figura 4.2(b)) apresentou a correlação negativa de 0,97, ou seja, a curva do empenamento medido está tendendo em

direção oposta a curva do empenamento simulado. O comportamento do empenamento do componente com o epóxi (Figura 4.2(c)) apresentou o resultado de coeficiente de correlação de 0,88 sendo significativamente melhor que o do *Top*.

Foram sugeridas algumas adequações, relativas as entradas de dados na simulação que melhor condiziam com as propriedades dos materiais e parâmetros do processo de modelagem (informação verbal)⁸. Diante disto, foi considerada a necessidade de adequações de parâmetros, como: a descontinuidade de propriedade de material em função da temperatura; que determinadas propriedades dos materiais são originadas de literatura, onde há diferenças nos valores citados; e algumas incertezas nas temperaturas de referência dos materiais. A partir destas considerações foi possível construir algumas hipóteses que testam parâmetros diferentes que possam explicar as diferenças encontradas no comportamento do empenamento mensurado. Para isto, foi escolhido o T40/EMC2 para aplicar as hipóteses em novas simulações, visto que as hipóteses não se referem à geometria.

Hipótese 1

Considera-se na tabela de propriedades dos materiais, Tabela 3.2, a temperatura de referência do substrato de 150°C, como sendo a temperatura em que conjunto de três tipos materiais diferentes (FR4, mascara de solda e bases das esferas de solda) não apresenta deformação significativa, ou seja, existe uma temperatura onde o empenamento é nulo, porém não significa que as tensões internas sejam nulas. A diferença apresentada na curva pode ser corrigida na hipótese da temperatura de referência do FR4 ser 130°C e mascara de solda estar em 210°C. Estas mudanças são representadas no Figura 4.3.

⁸ Informação fornecida pelo Professor Oh na reunião do projeto de pesquisa, em São Leopoldo, em agosto de 2014.

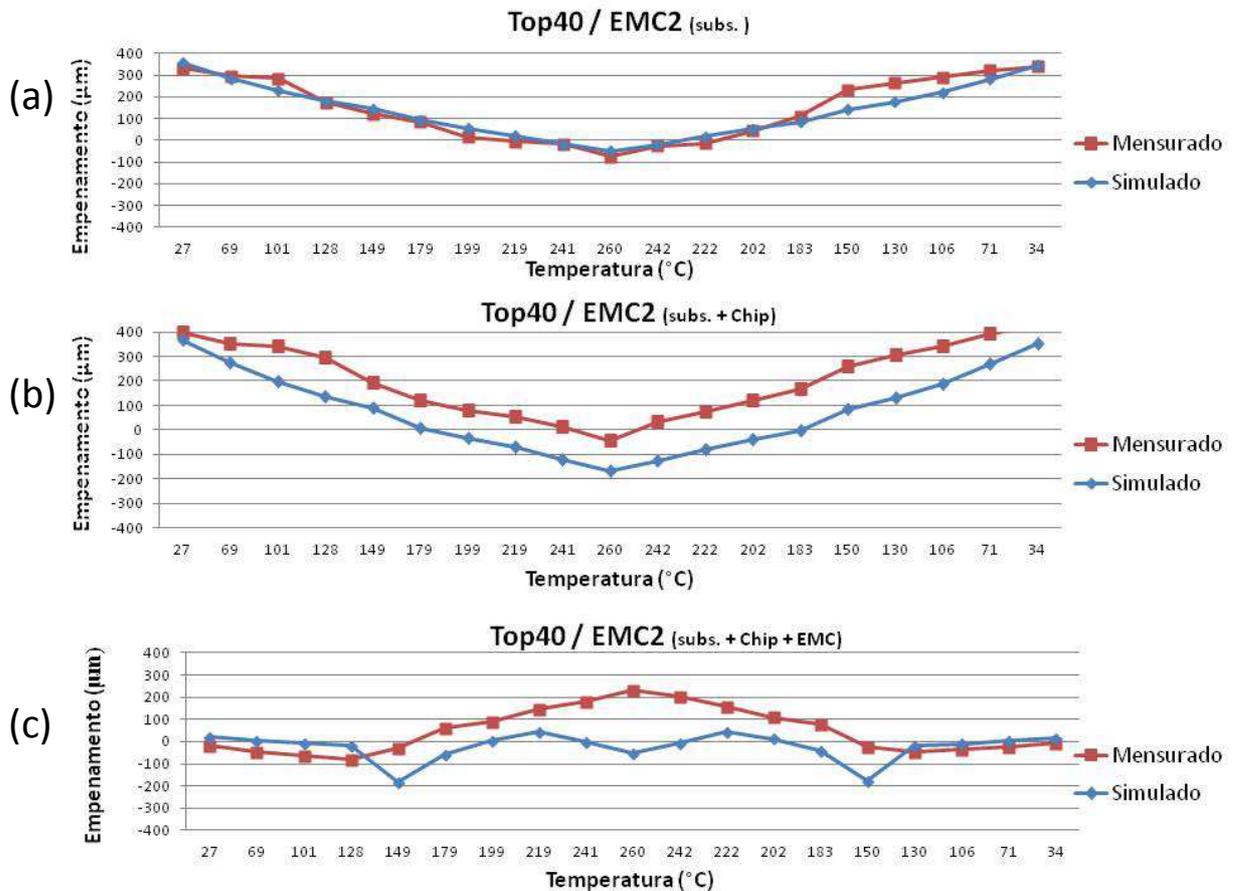


Figura 4.3 - Curva de empenamento do T40/EM2 mensurado (em vermelho) e do segundo T40/EM2 simulado (em azul), a) Curva do empenamento do Substrato, b) Curva de empenamento do Substrato com o chip e c) Curva do empenamento do substrato com o chip e com o EMC

Nestas condições, o coeficiente de correlação para somente o substrato (Figura 4.3(a)) e para o substrato com chip (Figura 4.3(b)) se mantiveram respectivamente 0,91 e 0,98 e o componente com o EMC (Figura 4.3(c)) passa a ser 0,25 de correlação e as curvas apresentam uma melhora em relação a sua inclinação.

Hipótese 2

A tabela de propriedades tem os valores de coeficiente de expansão térmica do EMC com mudança brusca na temperatura de transição vítrea. No entanto, a curva construída na análise de TMA do EMC foi verificada e, foi constatado que há uma leve ascendência antes da temperatura de verificação e uma acentuada ascendência após a temperatura de transição vítrea (T_g). Do mesmo modo, o módulo de Young está em declive nos dados de entrada inicial

enquanto visto na revisão bibliográfica que há uma queda no módulo de Young entre as proximidades da temperatura de referência.

A

Figura 4.4 apresenta a comparação da curva do coeficiente de expansão térmica e o módulo de Young do EMC utilizadas na primeira simulação com as propriedades utilizadas na simulação hipotética. Com a mudança para estes parâmetros foi possível obter os resultados que são apresentados na Figura 4.5.

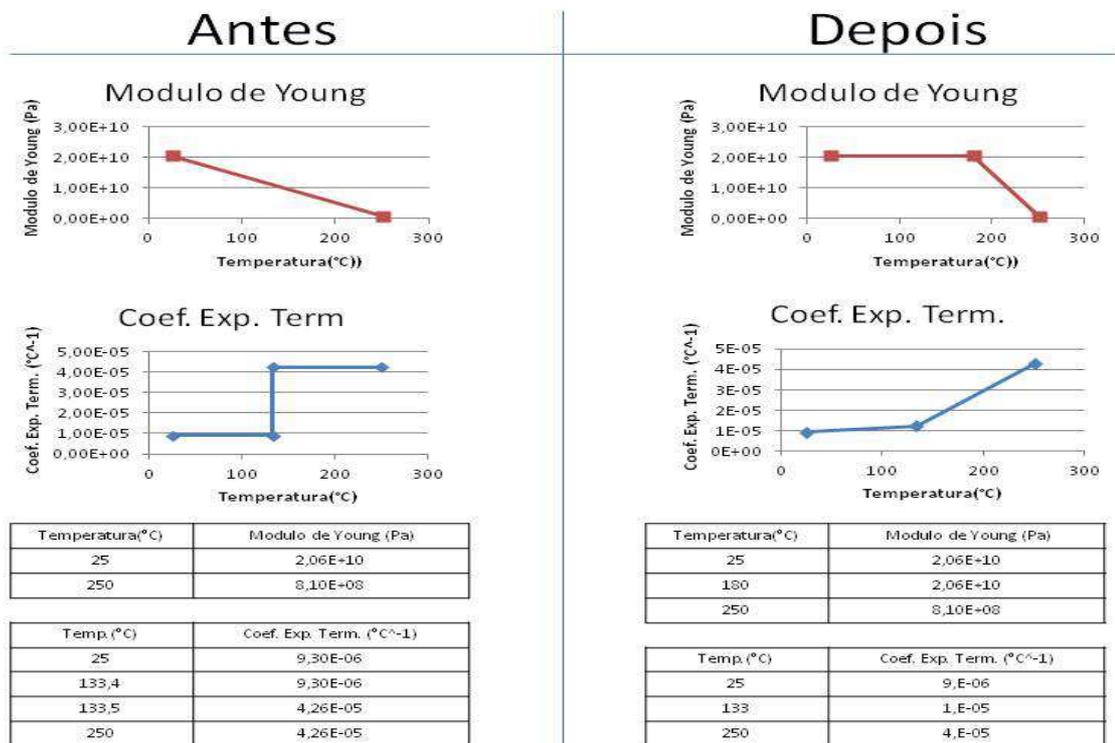


Figura 4.4 - Comparativo da alterações realizadas nas entradas de dados na simulação para as propriedades do EMC

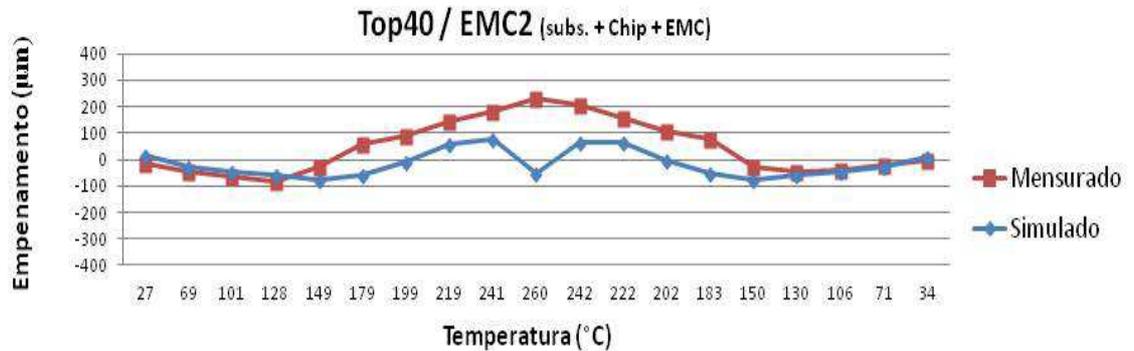


Figura 4.5 - Curva de empenamento do T40/EM2 mensurado (em vermelho) e do terceiro T40/EM2 simulado (em azul)

Nestas condições, o substrato e o substrato com o chip ainda se mantiveram com o mesmo coeficiente de correlação entre o medido e o simulado e, para o componente com o EMC a correlação passou para 0,62.

Hipótese 3

Nas propriedades dos materiais, o módulo de Young do EMC não referencia o comportamento após 250 °C. Esta descontinuidade, na modelagem, induz um comportamento anômalo no empenamento a partir desta temperatura. Na hipótese do módulo de Young se estender a 280 °C, o coeficiente de correlação passa para 0,83, conforme ilustrado no Figura 4.6.

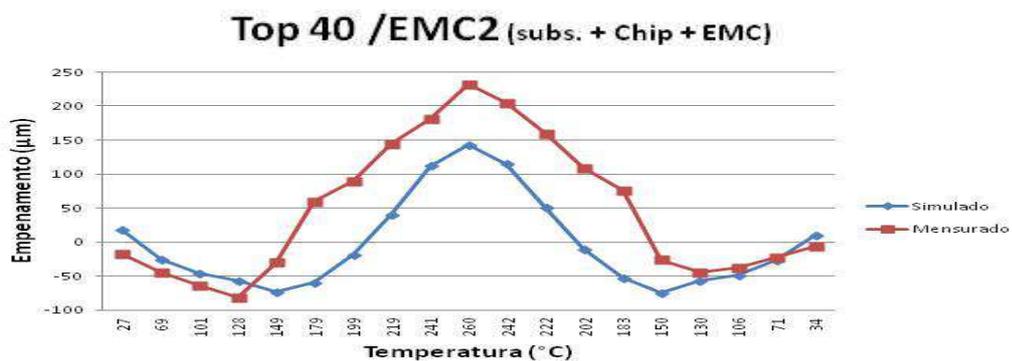


Figura 4.6 - Curva de empenamento T40/EM2 do mensurado (em vermelho) e do quinto T40/EM2 simulado (em azul)

As Figura 4.7, Figura 4.8 e a Figura 4.9 ilustram a simulação numérica da deformação do modelo 3D do TOP de 40 µm respectivamente do substrato, do substrato com o chip de silício e do componente com o revestimento de EMC2. O empenamento foi representado por

cores sendo o vermelho para os máximos valores positivos de deslocamento no eixo Z e azul para os mínimos valores alcançados para o deslocamento no eixo Z. Nas Figura 4.7 (a-j) são apresentados os resultados de empenamento para as temperaturas de 27 °C à 260 °C para o substrato do T40. Nas Figura 4.7 (a-g) o empenamento no substrato assume valor positivo, representado graficamente na posição convexo. Pode-se notar que ao elevar temperatura o substrato tende a diminuir o empenamento até a temperatura de 241 °C. O empenamento do substrato, apresentado nas Figura 4.7 (i-j), assume valores negativos nas temperaturas de 241 °C e 260 °C que graficamente são representados na posição côncava.

Nas Figura 4.8 (a-j) são apresentados os resultados de empenamento para as temperaturas de 27 °C à 260 °C para o substrato com o chip do T40. Nas Figura 4.8(a-f) o empenamento no substrato é convexo. Pode-se notar que ao elevar temperatura, o substrato tende a diminuir o empenamento até atingir 179 °C passando para côncavo acima desta temperatura. Assim, o empenamento do substrato com o chip, apresentado nas Figura 4.8 (g-j), é côncavo nas temperaturas 241 °C e 260 °C. Na Figura 4.8(f), é possível identificar a existência de forças contrárias através de torções nas deflexões do substrato e do chip que se manifestam mais pronunciadamente nas temperaturas de 179 °C a 199 °C.

A Figura 4.9 (a-j) apresenta os resultado da simulação numérica do empenamento no substrato com o chip após a moldagem com o EMC2. A Figura 4.9(a) apresenta empenamento de 42,96 μm e convexo em temperatura de 27°C. Na temperatura de 69 °C, apresentado na Figura 4.9(b), o componente apresenta torções na estrutura do componente e o empenamento principal inverte na direção oposta. O comportamento côncavo permanece a partir de 69°C até a temperatura de 219°C atingindo o pico do empenamento na temperatura de 179 °C conforme apresentado nas Figura 4.9 (b-h). As torções também são apresentadas Figura 4.9 (h-j) onde as temperaturas são de 219 °C, 241 °C e 260 °C.

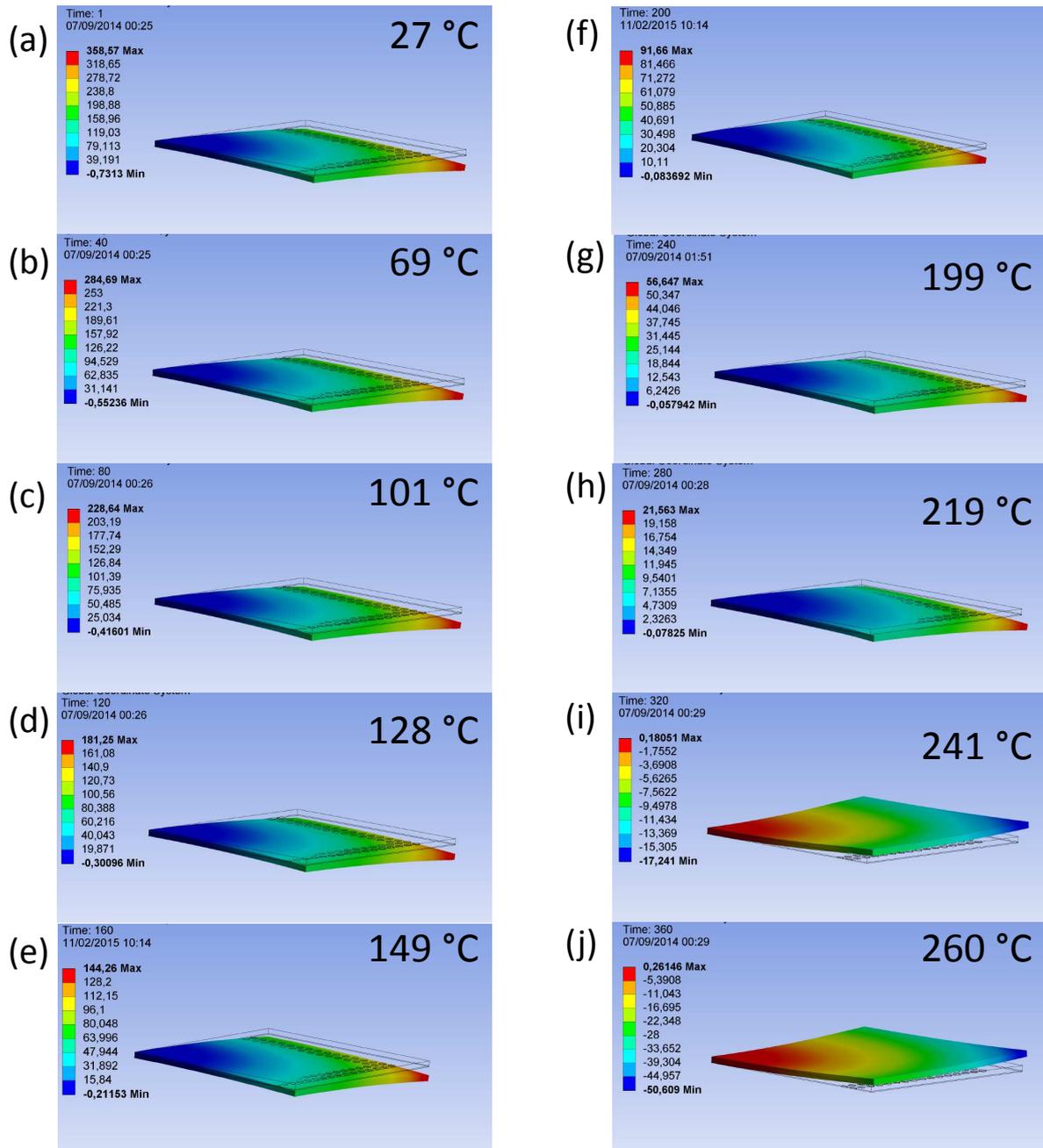


Figura 4.7 - Sequencias de simulações numérica da deformação do modelo 3D do substrato utilizado no T40.

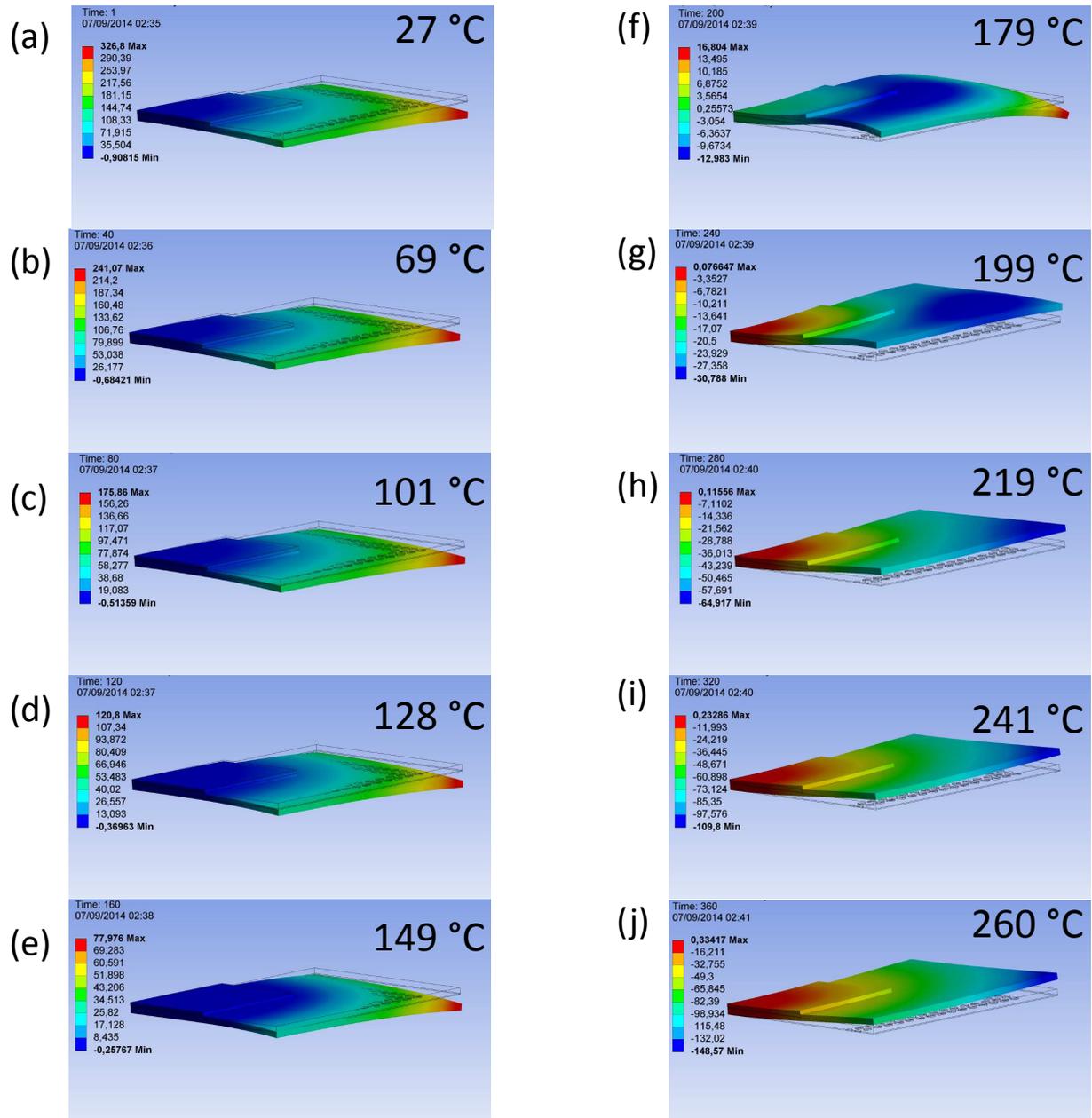


Figura 4.8 - Sequencias de simulações numérica da deformação do modelo 3D do substrato com o chip de silício utilizado no T40.

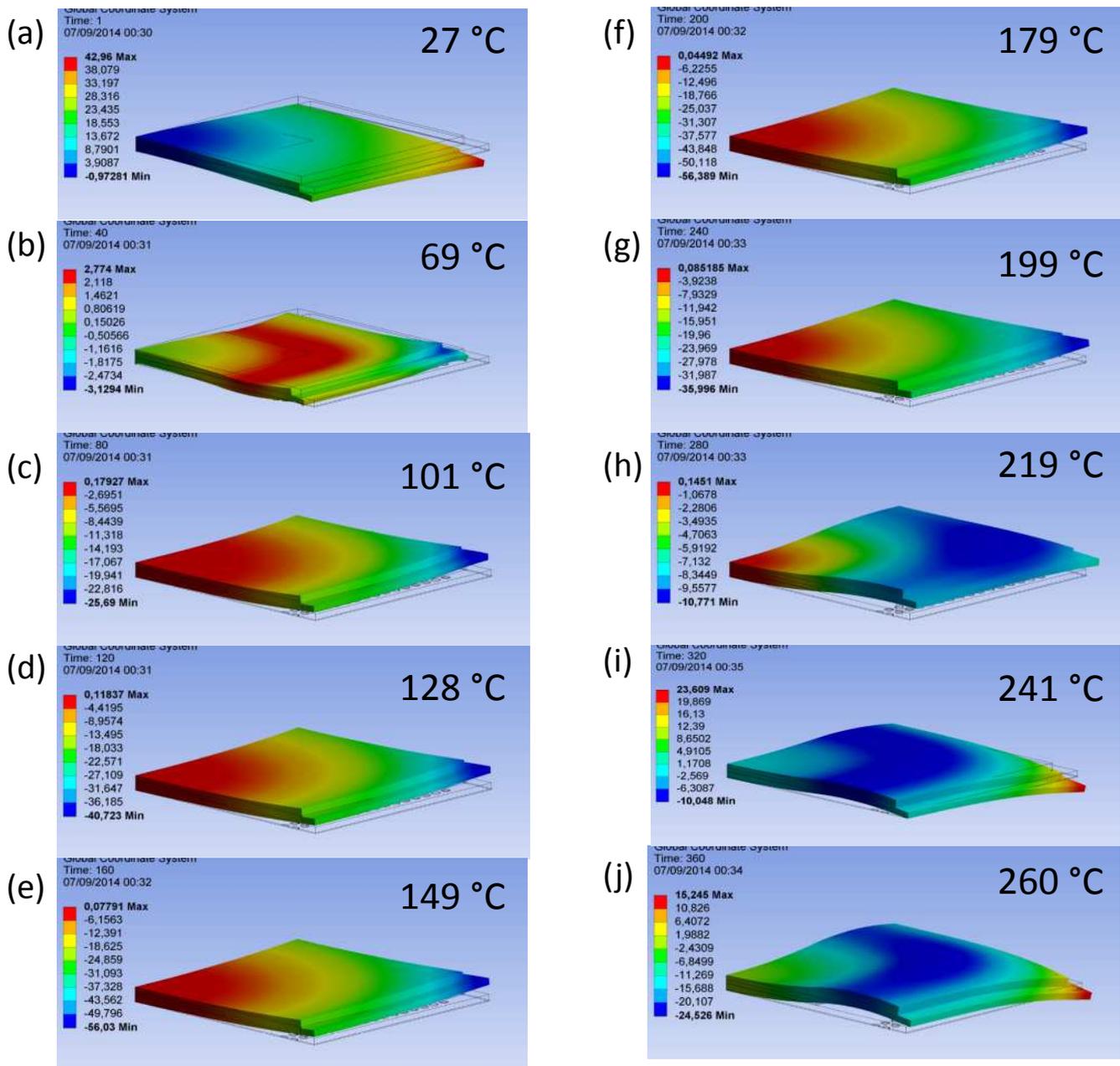


Figura 4.9 - Sequencias de simulações numérica da deformação do modelo 3D do componente com o EMC no T40.

Entre as hipóteses descritas também se pode considerar o erro sistemático gerado em etapas do experimento, tanto na fabricação dos exemplares, como na medição do empenamento e nas análises dos materiais para leitura das propriedades, visto que estas incertezas não são quantificadas neste trabalho. Outro fator é o baixo tamanho amostral, que

pode ser significativo para a precisão da curva do empenamento, pois foram medidos apenas três componentes de substrato, com o chip e três componentes de substrato com o chip e o EMC para *Bottom* e para *Top*.

Na modelagem, o baixo número de elementos criados na malha pode resultar no desvio na aproximação. Neste trabalho, o limite da capacidade de cálculos que é imposto pela licença educacional do software que impede que a malha seja refinada, assim para adequar a malha aos limites do software foi desenvolvida a malha com baixo número de elementos.

Entre os fatores importantes que devem ser considerados com influência na comparação dos resultados do simulado e o experimental, está a possível diferença nas dimensões das peças confeccionadas. Como se trata de dimensões extremamente pequenas, pequenas variações em escala micrométrica podem ser significativas.

Com base nas hipotéticas variações propostas, a relação do comportamento do empenamento entre simulação e o experimento tem se mostrado satisfatório. A evolução do coeficiente de correlação do empenamento do componente com o EMC é ilustrada com clareza na Figura 4.10 e no Apêndice B.

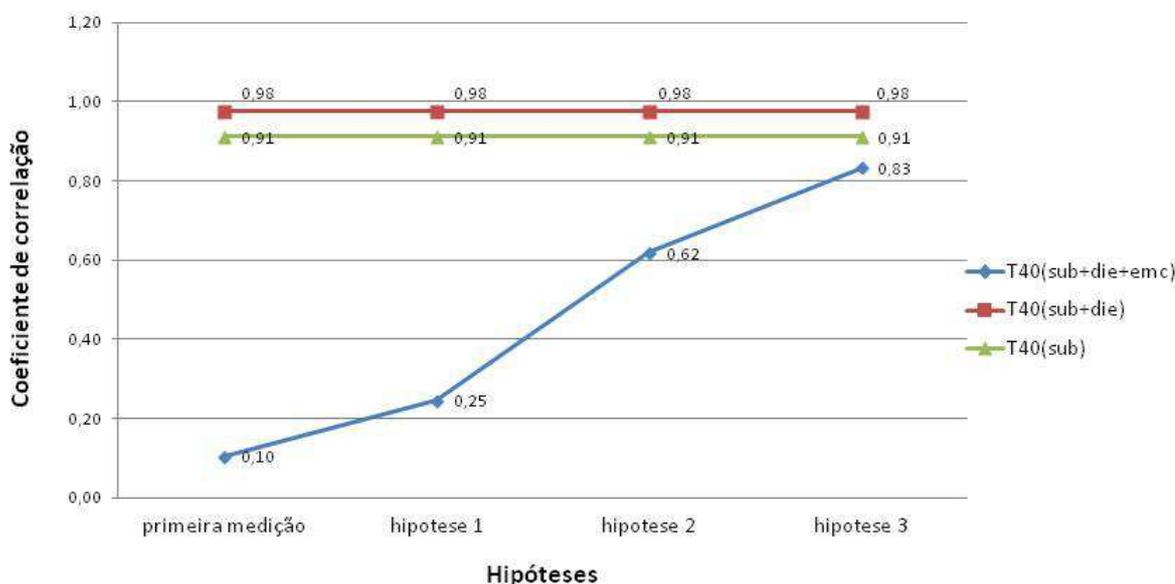


Figura 4.10 - Curva de evolução do coeficiente de correlação entre o empenamento mensurado e o simulado

Percebe-se que as hipóteses aplicadas no T40/EMC2 mantiveram os coeficientes de correlação constantes, para a simulação do substrato e do substrato com o chip, respectivamente 0,91 e 0,98. Isto significa que embora as curvas das simulações se

deslocassem no eixo do empenamento devido às modificações das propriedades, a boa correlação se manteve.

Nota-se também a boa evolução do empenamento do componente com o composto de epóxi, pois após aplicar as hipóteses na simulação, o coeficiente de correlação passou de 0,1 para 0,83. Isto significa que as alterações das propriedades influenciaram positivamente no resultado do empenamento. Este resultado aproxima com o de KANG et al.(2011) em suas pesquisas, pois encontraram um coeficiente de correlação entre o resultado da simulação e a medição do empenamento através da interferometria de Moiré de 0,985.

Utilizando o T_{estat} , foi possível qualificar a significância do coeficiente de correlação. Os resultados da curva de evolução da significância do coeficiente de correlação, apresentados na Figura 4.11, mostram que existe uma associação significativa entre o empenamento mensurado e o empenamento simulado, exceto para o componente com epóxi na primeira simulação e na hipótese 1, pois ambos têm valores de T_{estat} menores que o ponto crítico.

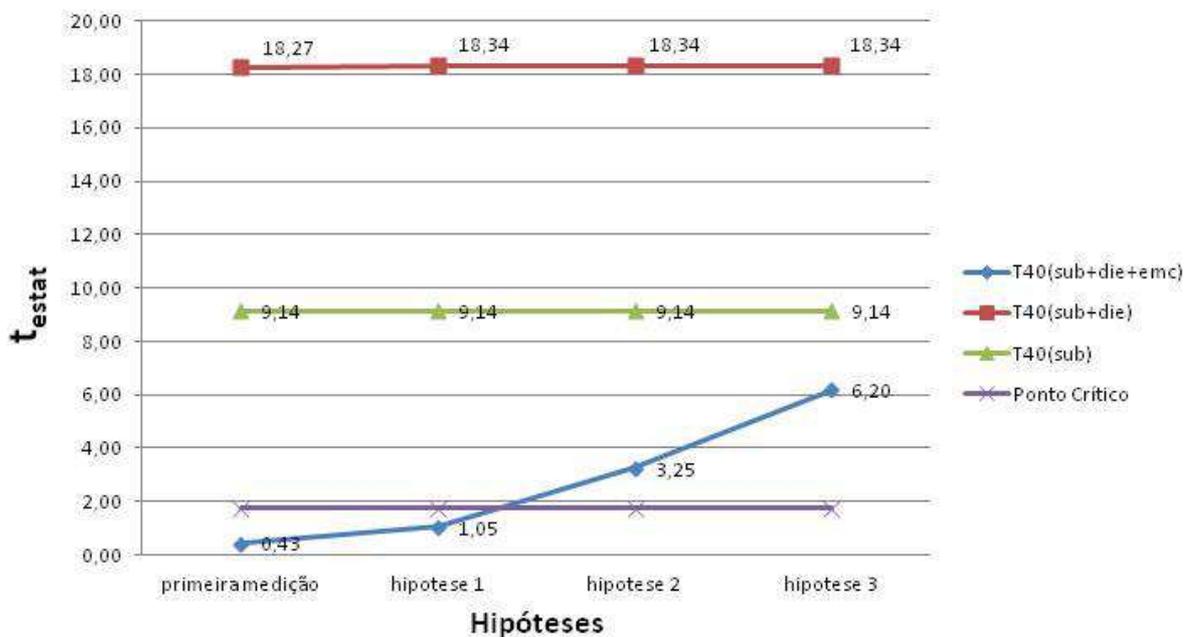


Figura 4.11 - Curva de evolução da significância do coeficiente de correlação do empenamento.

Tais resultados permitem construir novas análises com as espessuras de chip de silício e os tipos de composto de epóxi proposta deste trabalho. No Apêndice C, encontram-se os

gráficos gerados das simulações variando três formatos de encapsulamento PoP e dois tipos diferentes de EMC.

O resultado das simulações mostra a alternância no empenamento do *Top* entre côncavo e convexo respectivamente na temperatura ambiente e na temperatura pico. Ao contrário, o *Bottom* que inicia convexo e passa pelo pico côncavo e retorna à temperatura ambiente a convexo. O chip teve pouca influência na mudança do comportamento do empenamento no *Top* e no *Bottom*. Percebe-se facilmente que o comportamento da curva se mantém. Através dos resultados, verifica-se que a espessura do chip com o EMC tem relevante influência no empenamento, pois quanto maior a espessura do chip de silício menor o empenamento no pico, a exemplo o encapsulamento com chip de 200 μm de espessura obteve a menor variação de empenamento no *Top* comparado com menores espessuras do chip de silício utilizados no *Top*. No *Bottom* o chip de silício de 100 μm obteve a menor variação de empenamento comparado menores espessuras de chip de silício simulada no *Bottom*.

Outro fator importante é a concorrência das direções das forças opostas entre o EMC e o substrato apresentado no *Top*. O substrato no *Top* tende ao empenamento côncavo enquanto o EMC tende a convexa na temperatura pico. No *Bottom* o substrato está ao contrário, isto faz o substrato ter o mesmo sentido de deflexão que o EMC e a variação passam a ser mais relevante no eixo-x. A exemplo, o substrato com o chip de 40 μm de espessura no *Top* obteve 353 μm de variação de empenamento e 219 MPa de tensão máxima e no *Bottom* o substrato com chip obteve 89 μm de variação de empenamento e 380 Mpa de tensão. Quando finalizado o encapsulamento, ou seja, inserido o EMC2, o *Top* obteve variação de 83 μm e tensão de 266 MPa e *Bottom* obteve 40 μm de empenamento e 306 Mpa de tensão.

5 CONCLUSÃO

Os resultados comprovam que as deformações do encapsulamento PoP apresentam forte relação com os seguintes fatores: a posição do substrato, as propriedades dos materiais, o processo de fabricação e a espessura dos materiais que formam os componentes.

Através das simulações foi possível concluir que o *Bottom*, que tem face do substrato em contato com o filme adesivo e o chip de silício, apresentou menor variação de empenamento quando comparado com a do *Top*, que tem a face da máscara de solda em contato com o filme adesivo e o chip de silício. Concluímos que estes resultados das simulações justifica-se pelo comportamento do composto de epóxi (EMC) ter o mesmo sentido - côncavo - do substrato com o Chip, embora a medição tenha sido realizada no eixo Z.

As hipóteses testadas comprovam forte influência na temperatura de referência dos materiais, devido à constatações das tensões iniciais dos materiais influenciam nos resultados de empenamento quando os materiais então empilhados. Este é um mecanismo em que pode ser desenvolvido uma técnica de controle para se obter o mínimo de empenamento na temperatura equivalente ao do ponto de fusão da liga de estanho.

O chip de 40 μm mostrou maior variação no empenamento comparado com outras espessuras. O T40/EMC2 apresentou a variação de 260,8 μm enquanto o menor empenamento foi de 46,9 μm obtido com de T100/EMC1.

As simulações realizadas com variação no EMC mostraram que o EMC1 obteve menor variação de empenamento em relação aos mesmas dimensões com EMC2. O T40/EMC1 reduziu em média em 42,39% em relação ao T40/EMC2. No *Top* de 100 μm o empenamento reduziu a 35,62% e no chip de 200 μm reduziu para 3,28%. No *Bottom* o EMC1 também apresentou menor variação de empenamento, sendo 22,34%, 12,14% e 8,68% respectivamente nas espessuras 40 μm , 70 μm e 100 μm .

Portando, estas avaliações mostram a importância da simulação para obter uma tendência do comportamento do empenamento quanto a inúmeros parâmetros que influenciam no resultado como as propriedades dos materiais, as temperaturas de referência e as geometrias. Este tipo de desenvolvimento vinculando a simulação computacional da térmica e mecânica no empenamento com o processo de fabricação torna-se fundamental para projetar futuros dispositivos reduzindo tempo e custo.

Trabalhos Futuros

Como proposta de trabalhos futuros, sugere-se refinar a simulação em busca da aproximação das curvas mensuradas e simuladas para posteriormente analisar estruturas de substratos mais complexas e o processo de montagem do *Top* com o *Bottom* incluindo a matriz de esferas de solda. Utilizar software de versão comercial a fim de potencializar o refinamento dos resultados. Sugere-se também desenvolver e simular outros tipos de materiais poliméricos para moldagem, avaliar a simulação considerando deformações eixo x, construir uma relação entre a deformação e as tensões e simular outros desenhos de cobertura que possam diminuir o empenamento.

REFERÊNCIAS

AMAGAI, M.; SUZUKI, Y. A study of package warpage for package on package (PoP). In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 60., 2010, Las Vegas. **Proceedings...** [S.l.]: Ieee, 2010. n. 1, p. 226–233. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5490967>>. Acesso em: 4 junho. 2014.

BANCO NACIONAL DE DESENVOLVIMENTO (BNDES). **O complexo eletrônico Brasileiro**. Rio de Janeiro, [2014?]. Disponível em: <http://www.bndespar.com.br/SiteBNDES/export/sites/default/bndes_pt/Galerias/Arquivos/conhecimento/livro_setorial/setorial08.pdf>Acesso em: 25 jan. 2014.

BLACKWELL, G. R. **The electronic packaging handbook**. New York: CRC Press, 1999. 640 p. Disponível em: <<http://books.google.com/books?id=D0PBG53PQIUC&pgis=1>>.Acesso em: 1 abr. 2014.

BRASIL. **Decreto n. 6.233, de 11 outubro de 2007**. Estabelece critérios para efeito de habilitação ao Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores – PADIS... Disponível em: <<http://www.mct.gov.br/index.php/content/view/63203.html>>. Acesso em: 20 jan. 2014.

CALLISTER, W. D.; RETHWISCH, D. G. **Materials science and engineering: an introduction**. 8th ed. New York: John Wiley and Sons, 2009.

CARSON, F. **Innovations Push Package-on-Package Into New Markets**. Fremont, Canada, 2010. Disponível em: <www.semiconductor.net/packaging>. Acesso em: 08 nov. 2014.

CENTRO DE GESTÃO E ESTUDOS ESTRATÉGICOS (CGEE). **Materiais avançados**. Brasília: CGEE, 2010.

CI-BRASIL. Ministério da Ciência, Tecnologia e Inovação (MCTI). **Design houses**. Brasília, DF, 2014. Disponível em: <<http://www.ci-brasil.gov.br/index.php/pt/>>. Acesso em: 15 jan. 2014.

CHEN, W. et al. The next step in assembly and packaging: system level integration in the package (SiP). **ITRS White Paper**, [S.l.], p. 1–127, 2008. Disponível em: <http://www.itrs.net/links/2007itrs/LinkedFiles/AP/AP_Paper.pdf>.Acesso em: 4 abr. 2014.

COHN, C. **Development and fabrication of IC chips**. New York: McGraw-Hill, 2004.

COSTA NETO, P. L. O. **Estatística**. 2. ed. São Paulo: Blucher, 2007.

DARLING, P. Intel to invest more than \$5 billion to build new factory in Arizona. [S.l.], 18 fev. 2011. Disponível em: <http://newsroom.intel.com/community/intel_newsroom/blog/2011/02/18/intel-to-invest-more-than-5-billion-to-build-new-factory-in-arizona>.Acesso em: 2 fev. 2014.

GARCIA, A.; SPIM, J. A.; SANTOS, C. A. **Ensaio dos materiais**. Rio de Janeiro: Livros Técnicos e Científicos, 2000.

GONG, Y.; LI, Q.; YANG, D. G. The Optimization of Reflow Soldering Temperature Profile Based on Simulation. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 7., 2006, China. **Proceedings...** [S.l.]: Ieee, 2006. p.1–4. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4198952>>.

GUÉDON-GRACIA, A.; FENG, W. Moisture induced effects in PoP. In: INT. CONF. ON THERMAL, MECHANICAL AND MULTIPHYSICS SIMULATION AND EXPERIMENTS IN MICRO-ELECTRONICS AND MICRO-SYSTEMS – EuroSimE, 10., 2009, Delft. **Proceedings...** [S.l.]: Ieee, 2009. p. 1–6. DOI: 10.1109/ESIME.2009.4938436.

HARPER, C. A. **Electronic Packaging and Interconnection Handbook**. 4th ed. New York: McGraw-Hill Professional, 2005.

INTEL. **3-D, 22nm**: new technology delivers an unprecedented combination of performance and power efficiency. [S.l.], 2014. Disponível em: <<http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html?wapkw=soc+22nm>> Acesso em: 3 fev. 2014.

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS (ITRS). **Assembly and packaging**. [S.l.], 9 Apr. 2014. Disponível em: <<http://www.itrs.net/about.html>> Acesso em: 9 out. 2014.

JOINT ELECTRONIC DEVICES ENGINEERING COUNCIL (JEDEC). [S.l.], 2014. Disponível em: <<http://www.jedec.org/>>. Acesso em: 16 maio. 2014.

JOINT ELECTRONIC DEVICES ENGINEERING COUNCIL (JEDEC). **JESD22-B112A**: package warpage measurement of surface-mount integrated circuits at elevated temperature. Arlington, Oct. 2009. Disponível em: <<http://www.jedec.org/standards-documents/results/22B112A>> . Acesso em: 25 jan. 2014.

KANG, H.; PARK, J.; OH, S. Design Analysis and Optimization of Metal Core BGAs for Warpage. ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 13., 2011, Singapore. **Proceedings...** [S.l.]: Ieee, 2011. , p. 268–271. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6184429>.

KAVEH, A. **Computational Structural Analysis and Finite Element Methods**. Cham: Springer International Publishing, 2014.

KESTER. **Easy Profile 256 No-Clean Solder paste. Datasheet**. 2009. USA. Disponível em: <www.kester.com>.

KUO, W.; TZENG, Y.; CHEN, E. POP package (Cavity BGA) warpage improvement and stress characteristic analyses. In: INTERNATIONAL MICROSYSTEMS, PACKAGING, ASSEMBLY AND CIRCUITS TECHNOLOGY (IMPACT), 2007, Taiwan. **Proceedings...** [S.l.]: Ieee, 2007. , p. 3–6. Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=4433632> Acesso em: 10/3/2014.

LEVINE, D. M.; BERENSON, M. L.; STEPHAN, D. **Estatística: teoria e aplicações : usando o Microsoft Excel em português**. 6. ed. Rio de Janeiro: Livros Técnicos e Científicos, 2012.

LIU, A.; WANG, D. W.; HUANG, H. Characterization of Fine-Pitch Solder Bump Joint and Package Warpage for Low K High-Pin-Count Flip-Chip BGA through Shadow Moiré and Micro Moiré Techniques. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 61., 2011, Lake Buena Vista. **Proceedings...** Taiwan: Ieee, 2011, n. 5, p. 431–440. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4550109>>.

LU, D.; WONG, C. P. (Ed.). **Materials for advanced packaging**. New York: Springer International Publishing, 2009.

MCCORMICK, H.; STERIAN, I.; CHOW, J.; et al. PoP: An EMS perspective on assembly, rework and reliability. **Revista GLOBAL SMT & PACKAGING**, Missouri,USA, Vol. 9, Mar. 2009. Disponível em: <http://www.globalsmt.net/smt/index.php?option=com_content&view=article&id=6381&Itemid=409>

NORTON, R. L. **Projeto de máquinas: uma abordagem integrada**. 4. ed. Porto Alegre: Bookman, 2013.

OOHASHI, K.; MIYATAKE, M. Newly developed ultralow CTE materials for thinner PKG applications. In: INTERNATIONAL SYMPOSIUM ON ADVANCED PACKAGING MATERIALS (APM), 2013, Shanghai. **Proceedings...** Irvine: Ieee, 2013. v. 3, p.137–145. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6510397>>

REN, C.; QIN, F. Parametric study of warpage in Package-on-Package manufacturing. In: INTERNATIONAL CONFERENCE ON ELECTRONIC PACKAGING TECHNOLOGY & HIGH DENSITY PACKAGING (ICEPT-HDP), 60., 2009, China. **Proceedings...** Beijing: Ieee. 2009. p.339–343,. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5270735>>.

SHIN, D.; BAEK, H.; OH, J.; et al. Development of Reliability Verification System for Robust Package Design. In: INT. CONF. ON THERMAL, MECHANICAL AND MULTIPHYSICS SIMULATION AND EXPERIMENTS IN MICRO-ELECTRONICS AND MICRO-SYSTEMS – EuroSimE, 2007, Delft. **Proceedings...** London: Ieee, 2007. p. 1–7, p. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4201187>>.

SUN, P. S. P.; LEUNG, V. C.-K.; XIE, B. X. BIN; et al. Warpage reduction of package-on-package (PoP) module by material selection & process optimization. In: INTERNATIONAL CONFERENCE ON ELECTRONIC PACKAGING TECHNOLOGY & HIGH DENSITY PACKAGING (ICEPT-HDP), 2008, Shanghai. **Proceedings...**, China: Ieee, 2008, p.1–6, p. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4606951>>.

SUN, P.; LEUNG, V. C. K.; YANG, D.; et al. Development of a novel cost-effective Package-on-Package (PoP) solution. In: INTERNATIONAL CONFERENCE ON ELECTRONIC PACKAGING TECHNOLOGY & HIGH DENSITY PACKAGING (ICEPT-HDP), 9., 2009, Beijin. **Proceedings...**, Hong Kong: Ieee, 2009, p.46–5. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5270798>>.

SUN, W.; ZHU, W. H.; WANG, C. K.; et al. Warpage simulation and DOE analysis with application in package-on-package development. In: INT. CONF. ON THERMAL, MECHANICAL AND MULTIPHYSICS SIMULATION AND EXPERIMENTS IN MICRO-ELECTRONICS AND MICRO-SYSTEMS – EuroSimE, 2008, Singapore **Proceedings...** Freiburg im Breisgau: Ieee, 2008. p. 1–8, p. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4525045>>.

TUMMALA, R. R. **Fundamentals of Microsystems Packaging**. New York: McGraw-Hill Professional, 2001.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics packaging handbook, part II: semiconductor packaging**. 2nd ed. Massachusetts: Kluwer Academic Publishers, 1997a.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics Packaging Handbook, Part III: Semiconductor Packaging**. 2nd ed. Massachusetts: Kluwer Academic Publishers, 1997b.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics Packaging Handbook, Part I: Semiconductor Packaging**. 2nd ed. Massachusetts: Kluwer Academic Publishers, 1997c.

TUMMALA, R. R.; SWAMINATHAN, M. **Introduction to system-on-package (SOP): miniaturization of the entire system**. San Francisco: McGraw-Hill, 2008.

TZENG, Y. L.; KAO, N.; CHEN, E.; et al. Warpage and Stress Characteristic Analyses on Package-on-Package (PoP) Structure. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 9., 2007. Taiwan. **Proceedings...** Singapore: Ieee, 2007. p.482–487. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4469725>>.

UMA NOVA agenda da indústria. **Revista ABINEE**, São Paulo, ano 15, n. 77, p. 32-33, jul. 2014. Disponível em: <<http://www.abinee.org.br/informac/revista.htm>>. Acesso em: 9 ago. 2014.

YIM, M.; STRODE, R. Effects of material properties on PoP top package warpage behaviors. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 60., 2010, Taiwan. **Proceedings...** Las Vegas: Ieee, 2010. p. 1071–1076. Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5490834>.

YOSHIDA, A. et al. A Study on Package Stacking Process for Package-on-Package (PoP). In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 56., 2006, San Diego. **Proceedings...** Japan: Ieee, 2006. p.825–830. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1645753>>.

ZHAO, J.; LUO, Y.; HUANG, Z.; et al. Effects of package design on top PoP package warpage. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 58., 2008, Lake Buena Vista. **Proceedings...** China: Ieee, p. 1082–1088. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4550109>>.

APÊNDICE A - TABELAS DE SIMULAÇÕES DAS HIPÓTESES

T40		primeira medição	hipotese 1			hipotese 2			hipotese 3		
(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)	(μm)
(sub+die+emc)	(sub+die)	(sub)	(sub+die+emc)	(sub+die)	(sub)	(sub+die+emc)	(sub+die)	(sub)	(sub+die+emc)	(sub+die)	(sub)
17,87	289,87	215,22	20,33	368,43	357,49	18,46	368,43	357,49	18,46	368,43	357,49
2,98	193,40	141,66	6,57	271,95	283,87	-24,78	271,95	283,87	-24,78	271,95	283,87
-10,62	119,97	85,69	-7,56	198,57	228,00	-45,52	198,57	228,00	-45,52	198,57	228,00
-24,89	57,98	38,45	-18,74	136,61	180,77	-56,28	136,61	180,77	-56,28	136,61	180,77
-188,77	9,76	1,70	-180,82	88,41	144,05	-77,63	88,41	144,05	-73,53	88,41	144,05
-67,41	-59,09	-50,79	-56,39	7,79	91,58	-59,41	7,79	91,58	-59,02	7,79	91,58
-6,39	-105,01	-85,79	4,62	-32,79	56,54	-8,92	-32,79	56,54	-18,20	-32,79	56,54
21,63	-150,92	-120,80	42,97	-72,38	21,46	56,88	-72,38	21,46	40,83	-72,38	21,46
-25,71	-201,44	-159,30	0,95	-122,89	-17,04	74,21	-122,89	-17,04	112,21	-122,89	-17,04
-82,63	-245,07	-192,57	-50,56	-166,53	-50,30	-50,56	-166,53	-50,30	142,49	-166,53	-50,30
-28,17	-203,74	-161,07	-5,16	-125,19	-18,79	67,80	-125,19	-18,79	115,08	-125,19	-18,79
21,54	-157,82	-126,06	44,18	-79,27	16,21	66,04	-79,27	16,21	50,71	-79,27	16,21
-3,42	-111,90	-91,06	13,33	-37,26	51,27	-1,28	-37,26	51,27	-10,30	-37,26	51,27
-53,45	-68,28	-57,80	-41,86	-4,68	84,58	-51,37	-4,68	84,58	-52,62	-4,68	84,58
-184,37	7,45	-0,06	-176,33	86,11	142,28	-78,23	86,11	142,28	-74,00	86,11	142,28
-26,08	53,38	34,93	-19,74	131,99	177,25	-56,80	131,99	177,25	-56,80	131,99	177,25
-13,01	108,46	76,92	-9,38	187,06	219,22	-48,04	187,06	219,22	-48,04	187,06	219,22
2,19	188,80	138,14	5,85	267,37	280,42	-26,26	267,37	280,42	-26,26	267,37	280,42
15,59	273,72	202,86	18,21	352,29	345,13	10,12	352,29	345,13	10,12	352,29	345,13

APÊNDICE B - TABELAS DE CORRELAÇÕES

Tabela de correlações e T_{estat} da primeira simulação para B40 e T40.

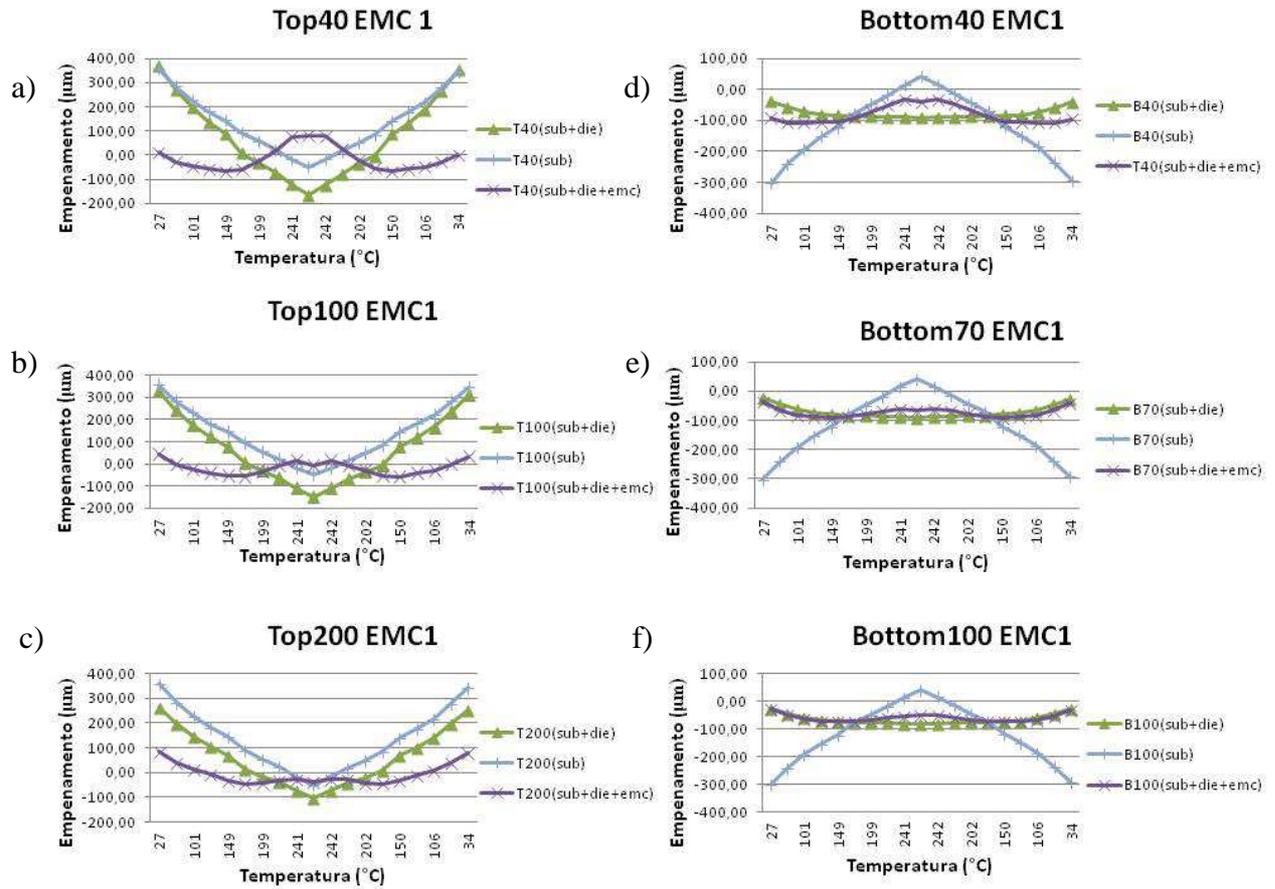
		BOTTOM			TOP		
		Substrato	Subs.+ Chip	Subs.+chip+EMC	Substrato	Subs.+ Chip	Subs.+chip+EMC
Coeficiente de correlação		0,96	-0,79	0,88	0,91	0,98	0,10
	T_{estat}	14,89	-5,39	7,64	9,14	18,27	0,43

Tabela de correlações e T_{estat} das hipóteses aplicadas para T40.

		Hipótese 1			Hipótese 2			Hipótese 3		
		Substrato	Subs.+ Chip	Subs.+chip+EMC	Substrato	Subs.+ Chip	Subs.+chip+EMC	Substrato	Subs.+ Chip	Subs.+chip+EMC
Coeficiente de correlação		0,25	0,98	0,91	0,62	0,98	0,91	0,83	0,98	0,91
	T_{estat}	1,05	18,34	9,14	3,25	18,34	9,14	6,20	18,34	9,14

APÊNDICE C - RESULTADO DAS SIMULAÇÕES

Curvas (a-f) das simulações de empenamento dos componentes Top e Bottom para moldagem com o tipo EMC1



Curvas (a-f) das simulações de empenamento dos componentes Top e Bottom para moldagem com o tipo EMC2

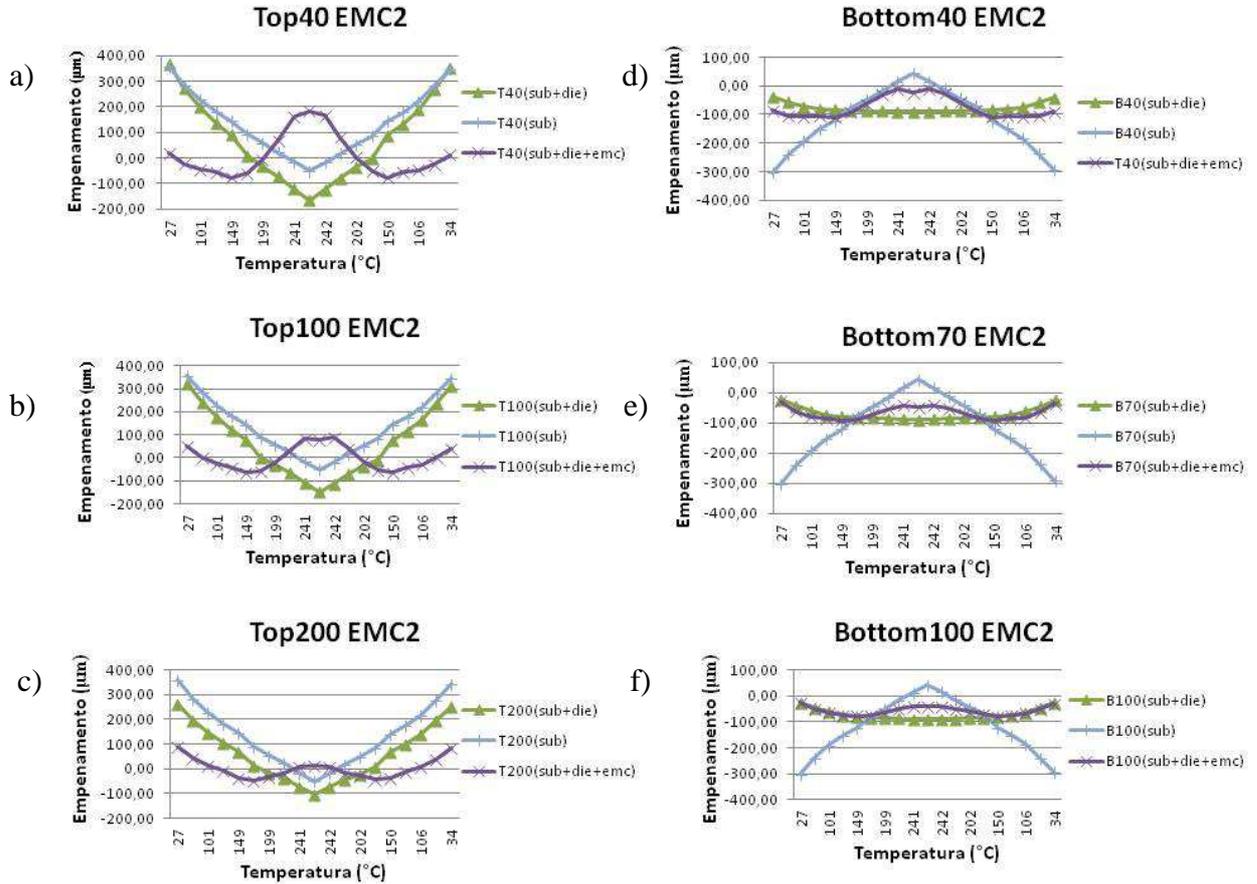


Tabela de resultados de simulação do B40 (EMC1 e EMC2)							
EMC 1				EMC 2			
(° C)	(µm)	(µm)	(µm)	(° C)	(µm)	(µm)	(µm)
Temp	B40(sub)	B40(sub+die)	T40(sub+die+emc)	Temp	B40(sub)	B40(sub+die)	T40(sub+die+emc)
27	-302,42	-37,91	-92,36	27	-302,42	-37,91	-86,33
69	-240,05	-57,10	-107,50	69	-240,05	-57,10	-105,72
101	-192,77	-71,82	-108,06	101	-192,77	-71,82	-107,52
128	-152,79	-81,94	-105,19	128	-152,79	-81,94	-105,23
149	-121,70	-84,07	-105,00	149	-121,70	-84,07	-109,92
179	-77,27	-86,06	-91,99	179	-77,27	-86,06	-92,35
199	-47,59	-87,29	-71,89	199	-47,59	-87,29	-63,33
219	-17,88	-88,50	-49,92	219	-17,88	-88,50	-30,63
241	14,73	-89,86	-32,42	241	14,73	-89,86	-11,99
260	42,90	-91,03	-40,21	260	42,90	-91,03	-24,99
242	16,21	-89,93	-32,00	242	16,21	-89,93	-12,18
222	-13,43	-88,70	-46,88	222	-13,43	-88,70	-26,01
202	-43,13	-87,48	-68,57	202	-43,13	-87,48	-58,44
183	-71,34	-86,33	-88,40	183	-71,34	-86,33	-87,24
150	-120,20	-84,15	-104,99	150	-120,20	-84,15	-109,94
130	-149,79	-82,54	-104,87	130	-149,79	-82,54	-104,93
106	-185,33	-74,08	-107,77	106	-185,33	-74,08	-107,36
71	-237,13	-58,05	-107,68	71	-237,13	-58,05	-105,99
34	-291,92	-41,06	-96,22	34	-291,92	-41,06	-91,01
(° C)	(µm)	(µm)	(µm)	(° C)	(µm)	(µm)	(µm)
Temp	B70(sub)	B70(sub+die)	B70(sub+die+emc)	Temp	B70(sub)	B70(sub+die)	B70(sub+die+emc)
27	-302,42	-23,33	-33,96	27	-302,42	-23,33	-29,46
69	-240,05	-45,05	-65,79	69	-240,05	-45,05	-63,95
101	-192,77	-61,57	-81,71	101	-192,77	-61,57	-81,15
128	-152,79	-74,88	-86,12	128	-152,79	-74,88	-86,09
149	-121,70	-78,97	-90,26	149	-121,70	-78,97	-93,54
179	-77,27	-82,13	-87,51	179	-77,27	-82,13	-87,73
199	-47,59	-84,15	-78,09	199	-47,59	-84,15	-72,39
219	-17,88	-86,16	-67,90	219	-17,88	-86,16	-55,21
241	14,73	-88,40	-60,74	241	14,73	-88,40	-41,66
260	42,90	-90,33	-66,84	260	42,90	-90,33	-48,76
242	16,21	-88,51	-60,62	242	16,21	-88,51	-41,35
222	-13,43	-86,47	-66,55	222	-13,43	-86,47	-52,83
202	-43,13	-84,46	-76,52	202	-43,13	-84,46	-69,79
183	-71,34	-82,55	-85,87	183	-71,34	-82,55	-85,08
150	-120,20	-79,09	-90,45	150	-120,20	-79,09	-93,76
130	-149,79	-75,56	-86,30	130	-149,79	-75,56	-86,30
106	-185,33	-64,16	-83,26	106	-185,33	-64,16	-82,85
71	-237,13	-46,10	-67,05	71	-237,13	-46,10	-65,31
34	-291,92	-27,03	-39,89	34	-291,92	-27,03	-35,89
(° C)	(µm)	(µm)	(µm)	(° C)	(µm)	(µm)	(µm)
Temp	B100(sub)	B100(sub+die)	B100(sub+die+emc)	Temp	B100(sub)	B100(sub+die)	B100(sub+die+emc)
27	-302,42	-25,20	-27,75	27	-302,42	-23,33	-25,32
69	-240,05	-44,40	-51,35	69	-240,05	-45,05	-50,38
101	-192,77	-58,64	-65,13	101	-192,77	-61,57	-64,85
128	-152,79	-70,22	-72,11	128	-152,79	-74,88	-72,16
149	-121,70	-73,72	-74,47	149	-121,70	-78,97	-76,45
179	-77,27	-75,82	-72,75	179	-77,27	-82,13	-72,92
199	-47,59	-77,15	-66,94	199	-47,59	-84,15	-63,53
219	-17,88	-78,49	-59,71	219	-17,88	-86,16	-51,76
241	14,73	-79,98	-52,30	241	14,73	-88,40	-39,49
260	42,90	-81,26	-51,81	260	42,90	-90,33	-39,56
242	16,21	-80,05	-52,03	242	16,21	-88,51	-39,04
222	-13,43	-78,70	-58,61	222	-13,43	-86,47	-49,94
202	-43,13	-77,35	-65,91	202	-43,13	-84,46	-61,86
183	-71,34	-76,09	-71,78	183	-71,34	-82,55	-71,34
150	-120,20	-73,80	-74,58	150	-120,20	-79,09	-76,58
130	-149,79	-70,89	-72,23	130	-149,79	-75,56	-72,28
106	-185,33	-60,81	-66,93	106	-185,33	-64,16	-66,73
71	-237,13	-45,35	-52,38	71	-237,13	-46,10	-51,46
34	-291,92	-28,38	-31,97	34	-291,92	-27,03	-29,83

Mínimos e Máximos de empenamento

EMC 1				EMC 2			
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	T40(sub)	T40(sub+die)	T40(sub+die+emc)		T40(sub)	T40(sub+die)	T40(sub+die+emc)
Max	357,49	368,43	82,30	Max	357,49	368,43	182,20
Min	-50,30	-166,53	-67,96	Min	-50,30	-166,53	-78,65
Variação	407,79	534,96	150,26	Variação	407,79	534,96	260,85
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	T100(sub)	T100(sub+die)	T100(sub+die+emc)		T100(sub)	T100(sub+die)	T100(sub+die+emc)
Max	357,84	325,89	41,99	Max	357,84	325,89	88,02
Min	-50,35	-148,24	-56,65	Min	-50,35	-148,24	-65,18
Variação	408,19	474,13	98,63	Variação	408,19	474,13	153,20
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	T200(sub)	T200(sub+die)	T200(sub+die+emc)		T200(sub)	T200(sub+die)	T200(sub+die+emc)
Max	357,72	263,80	87,10	Max	357,72	263,80	91,31
Min	-50,33	-103,29	-45,25	Min	-50,33	-103,29	-45,54
Variação	408,05	367,09	132,35	Variação	408,05	367,09	136,85
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	B40(sub)	B40(sub+die)	T40(sub+die+emc)		B40(sub)	B40(sub+die)	T40(sub+die+emc)
Max	42,90	-37,91	-32,00	Max	42,90	-37,91	-11,99
Min	-302,42	-91,03	-108,06	Min	-302,42	-91,03	-109,94
Variação	345,32	53,13	76,06	Variação	345,32	53,13	97,95
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	B70(sub)	B70(sub+die)	B70(sub+die+emc)		B70(sub)	B70(sub+die)	B70(sub+die+emc)
Max	42,90	-23,33	-33,96	Max	42,90	-23,33	-29,46
Min	-302,42	-90,33	-90,45	Min	-302,42	-90,33	-93,76
Variação	345,32	67,00	56,49	Variação	345,32	67,00	64,30
	(μm)	(μm)	(μm)		(μm)	(μm)	(μm)
	B100(sub)	B100(sub+die)	B100(sub+die+emc)		B100(sub)	B100(sub+die)	B100(sub+die+emc)
Max	42,90	-25,20	-27,75	Max	42,90	-23,33	-25,32
Min	-302,42	-81,26	-74,58	Min	-302,42	-90,33	-76,58
Variação	345,32	56,06	46,83	Variação	345,32	67,00	51,26