

UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE GRADUAÇÃO
CURSO DE ENGENHARIA ELETRÔNICA

RENAN DANIEL DIAS MARTINS

**PROJETO DE CIRCUITO INTEGRADO PARA *RF ENERGY HARVESTING* EM
TECNOLOGIA CMOS 180 NM**

São Leopoldo

2019

RENAN DANIEL DIAS MARTINS

**PROJETO DE CIRCUITO INTEGRADO PARA *RF ENERGY HARVESTING* EM
TECNOLOGIA CMOS 180 NM**

Trabalho de Conclusão de Curso
apresentado como requisito parcial para
obtenção do título de Bacharel em
Engenharia Eletrônica, pelo Curso de
Engenharia Eletrônica da Universidade do
Vale do Rio dos Sinos - UNISINOS

Orientador: Prof. Dr. Sandro Binsfeld Ferreira

São Leopoldo

2019

Dedico este trabalho àquela que, para mim, é um exemplo de força e superação; minha mãe.

AGRADECIMENTOS

Agradeço, primeiramente, à esta instituição de ensino, seu corpo docente, administrativo e diretivo, que sempre buscou e busca proporcionar a melhor experiência universitária para seus estudantes, fundamentada em seus princípios éticos voltados ao desenvolvimento da sociedade e do indivíduo.

Ao professor Sandro Binsfeld Ferreira pela orientação, apoio e confiança.

Agradeço a todos os professores que fizeram parte dessa trajetória, pelo conhecimento compartilhado, pela confiança no potencial deste que escreve, bem como pelo engajamento em desenvolver profissionais preparados não somente para o mercado de trabalho, mas para a vida. Agradeço em especial ao coordenador do curso, professor Rodrigo Marques de Figueiredo, pela orientação durante minha trajetória acadêmica nestes anos de graduação. Também à professora Ana Paula Mallmann pelos conselhos e dicas finais para conclusão deste trabalho e apresentação à banca.

Agradeço ao Programa Universidade para Todos do Ministério da Educação por me possibilitar acesso a esta renomada instituição de ensino.

Agradeço a minha mãe e minhas irmãs pelo exemplo de que somente através da educação é possível crescer e evoluir, não apenas como profissional, mas como ser humano.

Agradeço imensamente à Tatiane Texeira, por todo carinho, pelo incentivo e compreensão durante esta fase tão intensa, principalmente por me fazer sorrir após cada dia estressante em que nenhuma análise funcionava e os prazos se esgotavam.

Por último, mas não menos importante, agradeço aos meus amigos pelo apoio e compreensão nesse momento de estresse e isolamento social, principalmente à Isadora Cardozo Dias por todas as dicas e revisões que se dispôs a fazer.

*“Criar o que não existe ainda deve ser a
pretensão de todo sujeito que está vivo”*

(Paulo Freire).

RESUMO

Este trabalho apresenta um projeto de circuito integrado para conversão RF-CC utilizando uma tecnologia CMOS de 180 nm genérica para a frequência ISM (*Industrial, Scientific, Medical*) de 13,563 MHz. O circuito proposto utiliza uma rede de elevação de tensão (VBN) com divisor de tensão capacitivo e um retificador multiplicador de tensão em topologia *Cross-Coupled Charge Pump Rectifier* (CC-CPR) modificado de dois estágios capaz de fornecer níveis de tensão de cerca de 2,3 V, suficientes para alimentação de dispositivos de IoT de ultrabaixo consumo, como sensores industriais ou dispositivos biomédicos que não tem possibilidade de utilização de baterias ou fontes cabeadas. Esta tensão é alcançada para uma entrada de -11 dBm e para uma carga de 100 k Ω , com uma eficiência de conversão de energia (PCE) de 66,42 %. O circuito proposto foi implementado e simulado em layout extraído usando o GPDK180 em ambiente Cadence® Virtuoso. Outras topologias de retificadores de tensão foram simuladas para os mesmos parâmetros de carga e frequência, para comparação de resultados, bem como foi realizada uma comparação com circuitos apresentados por outros autores com a mesma proposta.

Palavras-chave: *Energy harvesting*. Radiofrequência. Circuito integrado. CMOS.

LISTA DE FIGURAS

Figura 1 – Espectro eletromagnético e banda de ondas de rádio	28
Figura 2 – Onda eletromagnética	29
Figura 3 – Faixa de operação do amplificador CMOS fonte comum	35
Figura 4 – (a) Amplificador fonte comum (b) Características de entrada e saída (c) circuito equivalente na região de tríodo (d) modelo de pequenos sinais para a região de saturação.....	36
Figura 5 – (a) I_D em função de V_{in} (b) transcondutância em função de V_{in}	37
Figura 6 - Modelo de pequenos sinais para amplificador FC de estágio simples.....	38
Figura 7 – Sequência do processo de fabricação MOS	45
Figura 8 - Fabricação dos contatos e dos metais de interligação.....	46
Figura 9 - Capacitância das trilhas condutoras sobre o substrato condutor.....	48
Figura 10 - Modelo de circuito da <i>voltage boosting network</i>	54
Figura 11 - Circuitos retificadores com diodos	55
Figura 12 - Retificador multiplicador de tensão	56
Figura 13 - Dickson charge pump rectifier.....	56
Figura 14 - Enésimo retificador de uma cascata de retificadores OS-CPR.....	57
Figura 15 - <i>Cross coupled rectifier</i>	58
Figura 16 - <i>Modified Cross-Coupled Charge Pump Rectifier</i>	60
Figura 17 - Modelo equivalente de uma antena de RF	62
Figura 18 - Circuitos de casamento de impedâncias típicos utilizados em RFEH.....	64
Figura 19 - Metodologia de projeto aplicada a este trabalho.....	67
Figura 20 - Modelo do circuito proposto	73
Figura 21 - Rede de elevação de tensão	75
Figura 22 - Circuito retificador em ponte de diodos com NMOS	77
Figura 23 - <i>Orthogonally Switching Charge Pump Rectifier</i>	79
Figura 24 - Cross-Coupled Rectifier	81
Figura 25 - OS-CPR Modificado.....	83
Figura 26 - Circuito completo do <i>energy harvester</i>	85
Figura 27 - Bloco do <i>energy harvester</i> usado para simulações.....	86
Figura 28 - Layout original da VBN	87
Figura 29 - Layout final da VBN	89
Figura 30 - Arranjo original de <i>layout</i> do retificador.....	92

Figura 31 - Arranjo otimizado de *layout* do retificador 93

Figura 32 - *Layout* final do *Energy Harvester* 94

LISTA DE GRÁFICOS

Gráfico 1 - Saída em mV do retificador de controle em função da variação do W dos transistores NMOS	77
Gráfico 2 - Tensão na VBN para uma entrada de -12 dBm.....	78
Gráfico 3 - Saída do OS-CPR em função de W dos transistores. (a) 1 estágio; (b) 2 estágios; (c) 3 estágios; (d) 4 estágios; (e) 5 estágios; (f) 6 estágios; (g) 7 estágios	80
Gráfico 4 - Varredura do tamanhos de W para os transistores CMOS do CC-CPR..	82
Gráfico 5 - Saída do CC-CPR modificado em função da variação de W.....	83
Gráfico 6 - Saída do circuito em simulação do esquemático.....	84
Gráfico 7 - Análise de Monte Carlo para <i>mismatch</i> do <i>Layout</i> inicial	88
Gráfico 8 - Análise de Monte Carlo para mismatch do Layout final.....	90
Gráfico 9 - Análise de Monte Carlo de processo da primeira VBN projetada	91
Gráfico 10 - Análise de Monte Carlo de processo após ajuste da VBN	91
Gráfico 11 - Resposta do circuito após geração do <i>layout</i>	95
Gráfico 12 - Tensão de saída em função da entrada do circuito.....	95
Gráfico 13 – V_{out} em função da variação da carga em -12 dBm.....	96
Gráfico 14 - Eficiência de Conversão de Potência	97

LISTA DE TABELAS

Tabela 1 – Valores típicos de parâmetros de dispositivos CMOS.....	32
Tabela 2 - Modelos de simulação de transistores CMOS	98
Tabela 3 - <i>Corners</i> de simulação do circuito final a -12 dBm	98
Tabela 4 - Comparação entre este trabalho e o referencial teórico.....	99

LISTA DE SIGLAS

BJT	<i>Bi-junction Transistor</i> (transistor de junção bipolar)
BW	<i>Band-width</i> (largura de banda)
CAD	<i>Computer Aided Design</i> (desenho assistido por computador)
CMOS	<i>Complementary Metal Oxide Semiconductor</i> (semicondutor de óxido metálico complementar)
CPR	<i>Charge Pump Rectifier</i> (retificador de carregamento)
CVD	<i>Chemical Vapor Deposition</i> (deposição química em fase de vapor)
DC	<i>Direct Current</i> (corrente contínua)
EH	<i>Energy Harvesting</i> (captação de energia)
ERB	Estação Rádio Base
FC	Fonte comum (<i>common source</i>)
FET	<i>Field Effect Transistor</i> (transistor de efeito de campo)
FOX	<i>Field Oxide</i> (óxido do campo)
IEEE	<i>Institute of Electrical and Electronics Engineers</i> (Instituto de Engenheiros Eletricistas e Eletrônicos)
IoT	<i>Internet of Things</i> (internet das coisas)
IIoT	<i>Industrial Internet of Things</i> (internet das coisas industrial)
ISM	Industrial, Scientific and Medical (industrial, científica e médica)
LP	<i>Low Power</i> (baixo consumo)
MOS	<i>Metal Oxide Semiconductor</i> (semicondutor de óxido metálico)
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (transistor de efeito de campo de semicondutor de óxido metálico)
OS-CPR	<i>Orthogonally Switching Charge Pump Rectifier</i> (retificador de carregamento com chaveamento ortogonal)
PCB	<i>Printed Circuit Board</i> (placa de circuito impresso)
PDK	<i>Process Development Kit</i> (pacote de desenvolvimento de processo)
RF	Rádio Frequência
RFEH	<i>Radio Frequency Energy Harvesting</i> (captação de energia de rádio frequência)
SPICE	<i>Simulated Program with Integrated Circuits Emphasis</i> (programa de simulação com ênfase em circuitos integrados)

ULP	<i>Ultra Low Power</i> (ultrabaixo consumo)
UV	Ultravioleta
VBN	<i>Voltage-boosting Network</i> (rede de elevação de tensão)
VLSI	<i>Very Large Scale Integration</i> (integração de escala muito grande)

SUMÁRIO

1	INTRODUÇÃO	21
1.1	DEFINIÇÃO DO TEMA	22
1.2	DELIMITAÇÃO DO TRABALHO	22
1.3	PROBLEMA	23
1.4	OBJETIVOS.....	23
1.4.1	Objetivo Geral	23
1.4.2	Objetivos Específicos	23
1.5	JUSTIFICATIVA.....	24
2	FUNDAMENTAÇÃO TEÓRICA	25
2.1	INTERNET DAS COISAS (IOT).....	25
2.2	APLICAÇÕES DE BAIXO CONSUMO	26
2.3	ONDAS ELETROMAGNÉTICAS E RÁDIO FREQUÊNCIA	27
2.4	PROCESSOS CMOS PADRÃO	30
2.4.1	Projeto Analógico	30
2.4.2	A física dos dispositivos MOS	31
2.4.3	O par CMOS	31
2.4.4	Processos de fabricação de CIs CMOS	39
2.4.4.1	Processamento do wafer	39
2.4.4.2	Fotolitografia	39
2.4.4.3	Oxidação.....	40
2.4.4.4	Implantação iônica	41
2.4.4.5	Deposição e etching	42
2.4.5	Fabricação de dispositivos básicos	43
2.4.5.1	Dispositivos Ativos	43
2.4.5.2	Dispositivos Passivos	47
2.4.5.3	Interconexões	47
2.4.5.4	Latch-Up	48
2.4.6	Considerações sobre <i>layout</i>, e regras de <i>design</i> analógico	49
2.4.6.1	Regras de Projeto	49
2.4.6.2	Efeito antena.....	50
2.4.6.3	Técnicas de <i>layout</i> analógico.....	51
2.5	<i>ENERGY HARVESTING E ENERGY SCAVENGING</i>	52

2.6	TOPOLOGIAS DE CIRCUITOS PARA <i>RF ENERGY HARVESTING</i>	53
2.6.1	<i>Passive voltage-boosting network (VBN)</i>	54
2.6.2	Retificadores RF	55
2.6.2.1	<i>Dickson charge pump rectifier</i> (Dickson CPR)	56
2.6.2.2	<i>Orthogonally switching</i> CPR (OS-CPR).....	57
2.6.2.3	<i>Cross coupled charge pump rectifier</i> (CC-CPR).....	58
2.6.2.4	<i>Modified Cross-Coupled Charge Pump Rectifier</i>	59
2.6.3	Antenas de RF	61
2.6.4	Casamento de impedâncias	64
2.7	TRABALHOS CORRELATOS	65
3	METODOLOGIA	67
3.1	ESTUDO DAS TOPOLOGIAS.....	68
3.2	DIMENSIONAMENTO.....	68
3.3	PROJETO	69
3.4	SIMULAÇÃO	70
3.5	AJUSTES DO CIRCUITO.....	71
4	DESENVOLVIMENTO	73
4.1	ESTIMATIVA DE POTÊNCIA COLETADA E DEFINIÇÕES DA ANTENA.....	73
4.2	DESENVOLVIMENTO DA VBN	74
4.3	DESENVOLVIMENTO DO RETIFICADOR DE TENSÃO	75
4.3.1	Retificador em ponte de diodos	76
4.3.2	Orthogonally Switching Charge Pump Rectifier	78
4.3.3	<i>Cross-Coupled Charge Pump Rectifier</i>	81
4.3.4	<i>Modified Cross-Coupled Charge Pump Rectifier</i>	82
4.4	DEFINIÇÕES DO CIRCUITO.....	85
5	RESULTADOS E SIMULAÇÕES	87
5.1	IMPLEMENTAÇÃO DO CIRCUITO DA VBN EM <i>LAYOUT</i>	87
5.2	IMPLEMENTAÇÃO DO CIRCUITO RETIFICADOR EM <i>LAYOUT</i>	92
5.3	SIMULAÇÕES DE <i>LAYOUT</i>	95
5.3.1.1	<i>Corners</i> de simulação.....	97
5.4	COMPARAÇÃO DE RESULTADOS	99
6	CONSIDERAÇÕES FINAIS	101
6.1	SUGESTÕES PARA TRABALHOS FUTUROS	101
	REFERÊNCIAS	103

1 INTRODUÇÃO

A popularização de aplicações inteligentes, como carros inteligentes, cidades inteligentes, entre outros, alavancada pelo crescente desenvolvimento das tecnologias de IoT (*Internet of Things* – Internet das Coisas) fez com que uma ênfase maior fosse dada a dois parâmetros de projeto, muitas vezes negligenciados em aplicações comuns; a eficiência energética e o consumo de energia. Anteriormente, os principais motivadores de um projeto de circuito integrado eram a desempenho, a confiabilidade e o custo. Quanto a este último item, o principal motivador de seu aumento em um projeto de dispositivo móvel é a fonte de energia, principalmente as baterias. Além do custo, a evolução tecnológica das baterias não segue o mesmo ritmo de avanço que a evolução dos sistemas digitais, conforme Pop-Vadean *et al.* (2017), o que causa um *gap* entre estes setores e acaba limitando a autonomia energética dos projetos.

Uma forma encontrada para resolver, ou mitigar os problemas intrínsecos ao uso de baterias é a geração local através da coleta de energia do ambiente ou, mais especificamente, um conceito chamado *Energy Harvesting* (EH, ou em tradução livre, Coleta de Energia). Este conceito permite que a energia possa ser coletada localmente onde o sensor, o dispositivo móvel ou o equipamento, estiverem instalados. Algumas formas conhecidas de EH são a energia solar, obtida através de painéis fotossensíveis, o calor presente em ambientes onde os dispositivos se encontram, a energia das vibrações mecânicas e a energia das ondas de radiofrequência (RF) presentes no espectro eletromagnético local.

Focando na energia presente nas ondas de rádio, cerne deste trabalho, pode-se dizer que é um tipo de energia que começou a se tornar popular no meio científico-tecnológico há pouco tempo. Esta energia pode ser captada com a utilização de antenas de RF a partir das ondas eletromagnéticas presentes no ar e com a utilização de circuitos de condicionamento e retificação. Um fator diferencial para este tipo de EH é que o circuito pode ser projetado tanto para captar energia do espectro ambiente em uma determinada banda, ou para captar energia de uma fonte geradora local sintonizada em uma frequência central específica. Para o primeiro caso, damos o nome especial de *Energy Scavenging*, pois apenas “coleta” aquilo que está no ar. No segundo caso, é especificamente *Energy Harvesting*, pois se está “colhendo” aquela energia gerada por uma fonte conhecida. As aplicações de circuitos de

Radiofrequência para *Energy Harvesting* (RFEH) são vastas e impulsionadas principalmente pelo desenvolvimento da IoT, da indústria 4.0 e de aplicações em engenharia biomédica, principalmente em biossensoriamento.

1.1 DEFINIÇÃO DO TEMA

A era da integração de dispositivos através da rede já começou. Dispositivos de todos os tipos estão sendo conectados através da internet para formar uma rede inteligente capaz de monitorar, controlar e facilitar toda atividade humana. Esta rede, denominada hoje Internet das Coisas – ou IoT, do termo em inglês *Internet of Things* – já está em uso atualmente, principalmente no que entendemos como a quarta revolução industrial, ou comumente chamada, Indústria 4.0. Outra aplicação possível para este tipo de interconexão são os biossensores utilizados para monitorar variáveis biológicas em pacientes.

Para que estes dispositivos possam ser conectados, sensores e transmissores sem fio são necessários, além de uma fonte de energia para alimentá-los. Como na maioria dos casos não há uma fonte disponível e baterias não são viáveis, algumas formas alternativas de fontes de energia precisam ser utilizadas. Fontes capazes de obter energia através do ambiente, ou fontes de *Energy Harvesting*, que são fontes que colhem energia, são utilizadas para aplicações de difícil conexão à rede elétrica ou inviabilidade de uso de baterias.

Como praticamente todo ambiente habitado por seres humanos possui espectros eletromagnéticos ricos, tem-se a possibilidade de utilizar este espectro para alimentar os dispositivos de baixo consumo através da captação e condicionamento dessa energia contida nas ondas de rádio. Este tipo de aplicação já possui algumas aplicações comerciais, porém ainda há muito espaço para desenvolvimento e aperfeiçoamento da tecnologia.

1.2 DELIMITAÇÃO DO TRABALHO

Este trabalho tem como foco o desenvolvimento de um circuito integrado para *Energy Harvesting* utilizando tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) para utilização em aplicações de baixo consumo (LP – *Low Power*)

ou de ultrabaixo consumo (ULP – *Ultra low Power*) como parte de uma integração com circuitos integrados utilizados em IoT e biossensores.

1.3 PROBLEMA

O crescente uso de dispositivos IoT e IIoT (*Industrial Internet of Things*, ou Internet das Coisas Industrial, em português), causa um aumento da demanda por fontes de energia portáteis e/ou de geração local. Neste primeiro caso, baterias podem ser empregadas, porém, o desgaste e necessidade constante de troca, acaba causando um impacto ambiental considerável, além de um alto custo de manutenção. Geração local, com fontes alternativas, como energia solar ou eólica, geralmente tem custos impeditivos para a maioria dos projetos, podendo, também, necessitarem de baterias para sua aplicação, além de não estarem disponíveis cem por cento do tempo.

1.4 OBJETIVOS

1.4.1 Objetivo Geral

Projetar um circuito integrado em tecnologia CMOS, que capte energia de ondas de radiofrequência do ambiente através de uma antena externa e converta a mesma em um sinal elétrico em corrente contínua capaz de alimentar um circuito eletrônico de baixo ou ultrabaixo consumo.

1.4.2 Objetivos Específicos

Para o atendimento do objetivo final deste trabalho, algumas metas devem ser alcançadas. A lista abaixo sugere os objetivos específicos para o cumprimento destas metas.

- a) determinar, mediante comparação das tecnologias conhecidas, qual ou quais as mais indicadas para uso neste projeto;
- b) simular previamente o sistema para verificação de viabilidade de utilização das tecnologias escolhidas;
- c) especificar uma antena para captação das ondas de RF para o CI;
- d) projetar um circuito para elevação da tensão captada pela antena;

- e) projetar um circuito para retificação do sinal captado;
- f) integrar os circuitos desenvolvidos de forma que trabalhem em sintonia;
- g) realizar simulações do modelo desenvolvido em *Spectre*[®].

1.5 JUSTIFICATIVA

Dispositivos móveis, sensores e transmissores de sinais utilizados em aplicações de IoT necessitam de energia para funcionar, assim como qualquer aplicação eletrônica. O uso de baterias acaba encarecendo este tipo de aplicação, tanto na integração quanto na manutenção. Fontes de energia como painéis solares são boas opções, porém não fornecem energia ao sistema em tempo integral e de forma linear, necessitando o uso de baterias, voltando ao mesmo problema anterior. Nesse sentido, fontes energéticas alternativas e pontuais precisam ser utilizadas. A aplicação de *Energy Harvesting* através do uso de elementos sempre presentes no ambiente em que o sistema se encontra, é uma opção viável e, por vezes, mais acessível para a integração de sistemas remotos. Os ambientes, principalmente ambientes urbanos e industriais possuem espectros eletromagnéticos extremamente ricos, principalmente nas frequências ISM e de telefonia móvel, possibilitando que sistemas de EH os utilizem para geração de energia elétrica suficiente para alimentação destes dispositivos microeletrônicos de IoT. Em ambientes industriais, pode-se optar pela utilização de geradores de RF em frequências específicas para a alimentação dos circuitos isolados.

2 FUNDAMENTAÇÃO TEÓRICA

Para melhor compreensão do trabalho desenvolvido, é necessário um conhecimento prévio sobre alguns assuntos específicos. Os tópicos a seguir servirão de apoio à leitura deste trabalho.

2.1 INTERNET DAS COISAS (IOT)

Internet das Coisas, ou simplesmente IoT, é um conceito relativamente novo no mundo tecnológico, ainda assim, não é mais uma tendência ou previsão, é uma realidade que está possibilitando a quarta revolução industrial, chamada Indústria 4.0. Este conceito remete à interconexão de máquinas, equipamentos, dispositivos móveis, sensores, dentre outros através da internet.

De acordo com SAP Brazil (2016), IoT pode ser definida como “a comunicação máquina a máquina (M2M) via Internet, que permite que diferentes objetos, de carros a máquinas industriais ou bens de consumo como calçados e roupas, compartilhem dados e informações para concluir determinadas tarefas”. Em resumo, é uma rede que interconecta e possibilita a interação entre máquinas com ou sem a interferência humana, gerando ações ou dados através destas interações.

O conceito de Internet das Coisas pode ser aplicado a praticamente qualquer atividade humana que possa ser monitorada através dos sensores hoje existentes. A finalidade desta tecnologia é a otimização de atividades automatizadas, como a coleta de dados, a tomada de decisões, ou mesmo ações relacionadas à processos ou atividades. “A base para o funcionamento da IoT são sensores e dispositivos, que tornam a comunicação entre as ‘coisas’ possível. Além disso, é preciso um sistema de computação para analisar os dados recebidos e gerenciar as ações de cada objeto conectado a essa rede” (SAP BRAZIL, 2016).

Como mencionado, a base para este conceito tão abrangente são os sensores utilizados nas “coisas”. Estes sensores, transmissores ou mesmo os circuitos de pré-tratamento de sinais consomem energia, gerando a necessidade de uso de baterias, placas solares ou mesmo de redes elétricas para alimentação. Como um dos preceitos da Internet das Coisas é a redução ou eliminação dos fios, este problema vai contra o crescimento desta tecnologia. Com isso tem-se duas saídas; a busca de fontes de energia alternativas e a redução do consumo dos componentes.

“Reduzir o consumo de energia dos circuitos integrados CMOS tem sido um tema de grande interesse nos últimos anos. Muitos estilos lógicos foram propostos nas últimas duas décadas para atender a essa necessidade, mas eles geralmente trocam energia por desempenho” (BOZORGZADEH; ZHIAN-TABASY; AFZALI-KUSHA, 2008, tradução nossa¹). As inovações em arquitetura são importantes para a construção de circuitos integrados de baixo consumo, de acordo com Makimoto e Sakai (2003), e esta redução de consumo permite o uso de fontes alternativas, como as ondas de radiofrequência.

2.2 APLICAÇÕES DE BAIXO CONSUMO

Projetos de Baixo Consumo (*low power*) lidam com a redução da dissipação de energia no circuito integrado usando várias técnicas, como, por exemplo, *wrist watch*. A energia é fornecida para as funções necessárias, minimizando assim a dissipação de energia. A limitação vem com corrente de fuga de *subthreshold*. Essa corrente leva ao consumo de energia quando o CI está em estado de espera. Projetos de Ultrabaixo Consumo (*Ultra Low Power*) trabalham superando a corrente de fuga de *threshold*, bloqueando o fornecimento de energia em estados estáticos. Além disso, se usa tensões de limiar ultrabaixas. Circuitos capazes de reduzir essas perdas em estados estáticos são considerados de ultrabaixo consumo e são indicados para aplicações de *Energy Harvesting*.

Com a crescente aderência da indústria e demais segmentos da sociedade à Internet das Coisas, o consumo de energia tem se tornado uma das principais preocupações dos desenvolvedores de dispositivos voltados a esta aplicação. De acordo com Bozorgzadeh, Zhian-Tabasy e Afzali-Kusha (2008), para muitas aplicações, a otimização de consumo de energia não é realizável devido à perda de performance (velocidade) do sistema. Porém existem muitas atividades de pesquisa focadas em encontrar lógicas e designs não convencionais para superar estes desafios.

Segundo Padmavathi, Geetha e Bhuvaneshwari (2017), as técnicas de *design low power* são muito mais vantajosas hoje em dia. Nesta área de design tecnológico,

¹ *Reducing the power consumption of CMOS integrated circuits has been a topic of great interest in recent years. Many logic styles have been proposed in the last two decades to fulfill this need but they usually trade power for performance.*

performance, custo e confiabilidade podem ser preocupações maiores. Consumo de energia é apenas uma questão secundária. Atualmente, o crescimento agressivo do mercado de eletrônicos móveis como aplicações *wireless*, *laptops*, e instrumentos médicos móveis, tornam o consumo de energia um ponto crucial. A maneira de reduzir o consumo de energia varia de aplicação para aplicação.

Em tecnologias CMOS, conforme Ghosh, Parihar e Kranti (2013), existe um contínuo e crescente interesse em encontrar novas e melhores soluções para aplicações de baixo consumo. Entre muitos desafios da redução da escala das tecnologias MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), as perdas por descargas eletrostáticas, o crescimento de componentes parasitas e o perfil de dopagem não linear de fonte e dreno são alguns dos obstáculos encontrados no desenvolvimento de novas tecnologias de baixo consumo.

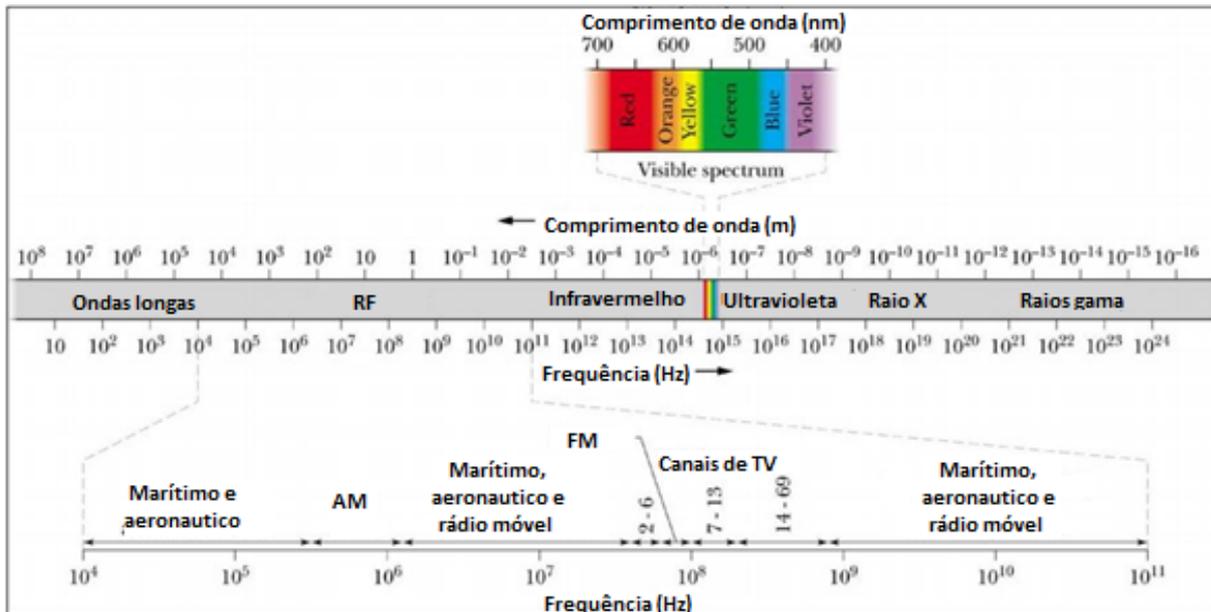
2.3 ONDAS ELETROMAGNÉTICAS E RÁDIO FREQUÊNCIA

O espectro eletromagnético rico de ondas de rádio existe em praticamente todo lugar. A faixa de frequências que abrange este espectro vai de 3 kHz até 300 GHz. Como o próprio nome diz, essa faixa é utilizada, principalmente, por equipamentos de comunicação via rádio. “Os mecanismos por trás da propagação de ondas eletromagnéticas são diversos, mas geralmente são atribuídas à reflexão, difração e refração” (RAPPAPORT, 2002, tradução nossa²).

Ondas de rádio são encontradas facilmente em todo lugar em que há atividade humana, afinal são utilizadas para comunicação desde usos navais e aeronáuticos até mesmo para transmissão de canais de televisão e rádio difusão. A Figura 1, por exemplo, apresenta uma ilustração do espectro eletromagnético, enfatizando a banda de radiofrequência. “[...] canais de TV e de rádio AM representam bandas específicas definidas legalmente para fins comerciais ou outros propósitos. Não existem lacunas no espectro eletromagnético” (HALLIDAY; RESNICK; WALKER, 2012).

² The mechanisms behind electromagnetic wave propagation are diverse, but can generally be attributed to reflection, diffraction, and scattering.

Figura 1 – Espectro eletromagnético e banda de ondas de rádio



Fonte: Adaptado de Halliday, Resnick e Walker (2012, p. 2).

Uma onda eletromagnética pode ser representada graficamente através da combinação de duas outras ondas; uma de campo elétrico e outra de campo magnético. Essas ondas surgem naturalmente quando cargas elétricas se movimentam em qualquer corpo. Cargas em movimento geram campos elétricos variantes, que induzem forças magnéticas sobre a matéria, que por sua vez, acabam formando campos magnéticos proporcionais a estes campos elétricos iniciais. A variação destes dois campos em conjunto gera ondas eletromagnéticas.

Os campos magnético e elétrico que formam uma onda eletromagnética que se propaga particular e positivamente no eixo x , como mostra a Figura 2 – Onda eletromagnética podem ser representados através das expressões:

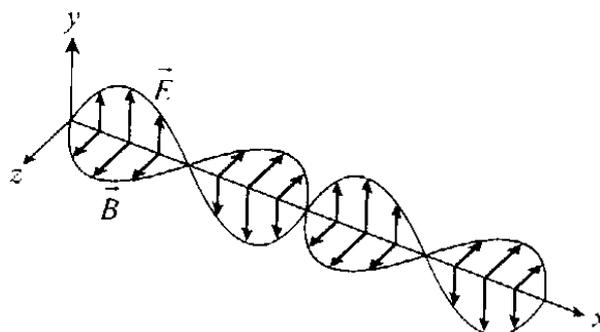
$$\vec{E} = (\vec{r}, t) = E_{máx} \sin(kx - \omega t)\hat{y} \quad (1)$$

e

$$\vec{B} = (\vec{r}, t) = B_{máx} \sin(kx - \omega t)\hat{z} \quad (2)$$

Onde $k=2\pi/\lambda$ e $\omega= 2\pi f$.

Figura 2 – Onda eletromagnética



Fonte: Bauer, Westfall e Dias (2012, p. 231).

Apenas é importante salientar que:

“[...] as intensidades de ambos os campos não possuem qualquer dependência com as coordenadas y e z, somente com a coordenada x e com o tempo. Esse tipo de onda, em que os vetores campo elétrico e campo magnético se situam em um mesmo plano, é denominado **onda plana**. [...] o campo elétrico se encontra inteiramente na direção y, enquanto seu campo magnético encontra-se inteiramente na direção z, ou seja, ambos os campos são perpendiculares à direção de propagação da onda”. (BAUER; WESTFALL; DIAS, 2012)

Conforme Hagerty et al (2004, apud Penella-López e Gasulla-Forner, 2011), ondas de rádio são emitidas em *broadcasting* de uma estação de geração ou de antenas de telefonia celular. Geralmente as antenas utilizadas em EH para coleta de energia do ambiente são de *broadband* e polarizadas circularmente. Para Penella-López e Gasulla-Forner (2011), isso se dá pelo fato de haver muitas frequências disponíveis e diferentes polarizações, ou ainda por não conhecer integralmente o espectro de radiofrequências do ambiente. No caso de uso de geradores para alimentação de dispositivos por RF, as bandas industriais, científicas e de aplicações médicas podem ser utilizadas. A equação que descreve a densidade de energia obtida por este método é dada por:

$$S = P_{EIRP} \left(\frac{1}{4\pi d^2} \right) \quad (3)$$

Sendo P_{EIRD} a potência efetiva irradiada e d a distância até o transmissor em um ambiente de espaço livre, sendo que o decaimento ocorre de maneira acelerada em outros ambientes.

2.4 PROCESSOS CMOS PADRÃO

Dispositivos MOS (*Metal Oxide Semiconductor*) são, em suma, dispositivos de corrente controlados por tensão, ou seja, através de pequenos sinais de tensão é possível controlar correntes consideráveis. Estes dispositivos são largamente utilizados em sistemas digitais e analógicos, mas não são os dispositivos pioneiros na integração de circuitos em larga escala.

Na verdade,

“a fabricação de circuitos integrados foi originalmente dominada pela tecnologia bipolar. No final dos anos 1970, porém, percebeu-se que a tecnologia MOS (metal-óxido-semicondutor) era mais promissora para implementação de circuitos VLSI, que exigiam maior densidade de empacotamento e menor consumo de potência. Desde o início dos anos 1980, a tecnologia MOS complementar (CMOS) tem crescido muito para praticamente dominar o cenário VLSI, de tal forma que a tecnologia bipolar passou a ser utilizada apenas para executar funções específicas, como circuitos analógicos de alta velocidade ou de RF”.(SEDRA; SMITH, 2007)

2.4.1 Projeto Analógico

Circuitos integrados analógicos, assim como toda a eletrônica analógica, foram os primeiros a serem desenvolvidos. Porém, com a grande aceleração da digitalização dos sistemas de controle e, conseqüentemente, dos circuitos integrados, a integração analógica acabou perdendo espaço. Contudo, atualmente existe uma grande procura por *designers* analógicos, pois, por mais avançada que esteja a digitalização dos dispositivos, ainda existem muitas aplicações que não são possíveis de digitalizar, ou a digitalização faz com que se perca muita qualidade. “Enquanto muitos tipos de processamento de sinais de fato migraram para o domínio digital, circuitos analógicos tem se provado *fundamentalmente* necessários em muitos sistemas complexos e de alta performance”. (RAZAVI, 2016, tradução nossa³)

Ainda de acordo com Razavi (2016), nas últimas décadas, os circuitos CMOS evoluíram de circuitos de baixa velocidade, complexidade, sinais baixos e alta tensão para tecnologias de alta velocidade, complexidade, baixa tensão e sinais combinados. O que demonstra evolução na tecnologia analógica em um mundo tecnológico que migra para uma dominância de sistemas digitais. Com a evolução dos transistores,

³ While many types of signal processing have indeed moved to the digital domain, analog circuits have proved *fundamentally* necessary in many of today's complex, high-performance systems.

que ficam cada vez menores, a interação entre as diferentes regiões dos circuitos integrados, assim como suas não idealidades, limita tanto a velocidade quanto a precisão dos mesmos, causando uma grande dependência do layout e encapsulamento em circuitos integrados analógicos.

2.4.2 A física dos dispositivos MOS

“O transistor MOS (semicondutor metal-óxido) é um dispositivo utilizado para controlar proporcionalmente grandes correntes com pequenas tensões. Há dois tipos básicos de transistores MOS: canal-p e canal-n” (MELEN; GARLAND, 1985). Quando combinados em um mesmo chip de forma complementar, denomina-se o circuito integrado como CMOS, ou seja, *Complementary Metal Oxide Semiconductor*. Ao contrário dos transistores de junção bipolar, que são dispositivos de corrente controlados por corrente, os transistores MOS são controlados por tensão; a tensão de porta ou *gate*.

Metal Oxide Semiconductor Field Effect Transistors (MOSFETs), assim como *Bipolar Junction Transistors* (BJTs) podem operar tanto como amplificadores, quanto como chaves. Neste primeiro caso, operam no que se pode chamar de região de saturação, que ocorre quando a tensão na porta (*gate*) é suficiente para causar uma circulação máxima de corrente entre fonte (*source*) e dreno (*drain*), podendo-se utilizar esta corrente constante para definir a tensão de saída. No caso de operação como chave, o MOSFET conduz quando houver determinada tensão no *gate* e deixa de conduzir quando esta tensão vai a zero, também conhecido como estado de corte, quando não há tensão suficiente no *gate* para acionar o transistor e colocá-lo em condução, mantendo-o com corrente nula entre *drain* e *source*. Um outro estado de operação é a zona de tríodo; nesta zona, o transistor passa a operar como um resistor variável controlado pela tensão na porta.

2.4.3 O par CMOS

Dispositivos MOS complementares são circuitos fundamentais para a eletrônica, tanto analógica quanto digital, estes transistores podem ser utilizados na construção de portas lógicas digitais, bem como na construção de amplificadores ou chaves eletrônicas. Uma das aplicações mais comuns para estes transistores são os

amplificadores. Para Razavi (2016), estes são elementos fundamentais para elevar a tensão, a corrente ou a potência de sinais elétricos. Isso é feito, pois alguns sinais são muito baixos e podem não ser capazes de acionar cargas, ou mesmo podem ser afetados por ruídos. Outra função destes elementos é possibilitar o uso de níveis lógicos digitais em um sistema digital. Além disso, os amplificadores construídos com estes transistores são extremamente importantes em malhas de controle e de realimentação.

Parâmetros importantes dos transistores NMOS e PMOS fabricados em diferentes processos CMOS são exemplificados na Tabela 1. “Cada processo é caracterizado pelo comprimento mínimo de canal, L_{min} ; e, assim, por exemplo, em um processo de $0,18 \mu\text{m}$, o menor transistor tem um comprimento de canal $L = 0,18 \mu\text{m}$ ” (SEDRA; SMITH, 2007). Comumente não se utiliza o tamanho mínimo da tecnologia para a construção dos transistores, pois variações no processo podem causar diferenças entre transistores e gerar efeitos indesejados no circuito; para minimizar este efeito, é usual dimensionar o L dos transistores mínimos com valores ligeiramente maiores que a dimensão mínima da tecnologia. Por exemplo, para uma tecnologia de 180 nm , é usual utilizar tamanhos mínimos de L para os transistores em torno de 220 nm .

Tabela 1 – Valores típicos de parâmetros de dispositivos CMOS

Parâmetro	0,8 μm		0,5 μm		0,25 μm		0,18 μm	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
$t_{ox}(\text{nm})$	15	15	9	9	6	6	4	4
$C_{ox}(\text{fF}/\mu\text{m}^2)$	2,3	2,3	3,8	3,8	5,8	5,8	8,6	8,6
$\mu (\text{cm}^2/\text{V}\cdot\text{s})$	550	250	500	180	460	160	450	100
$\mu C_{ox}(\mu\text{A}/\text{V}^2)$	127	58	190	68	267	93	387	86
$V_{t0}(\text{V})$	0,7	-0,7	0,7	-0,8	0,43	-0,62	0,48	-0,45
$V_{DD}(\text{V})$	5	5	3,3	3,3	2,5	2,5	1,8	1,8
$ V'_A (\text{V}/\mu\text{m})$	25	20	20	10	5	6	5	6
$C_{ov}(\text{fF}/\mu\text{m})$	0,2	0,2	0,4	0,4	0,3	0,3	0,37	0,37

Fonte: Sedra e Smith (2007, p. 343).

Vale salientar que estes dados genéricos não podem ser usados a fim de projeto, mas servem para mostrar o comportamento dos parâmetros de acordo com a redução da escala da tecnologia. Outro ponto a ser considerado é o fato de a capacitância do óxido, C_{ox} , aumentar de acordo com a redução da espessura do óxido, t_{ox} , que reduz com o comprimento do canal. Além disso, a mobilidade superficial, μ , decresce de acordo com a redução da tecnologia, sendo que μ_p reduz mais expressivamente que μ_n , causado a grande discrepância entre as taxas de redução dos dois parâmetros, conforme se observa na Tabela 1. A transcondutância acaba acompanhando de forma inversa a redução da mobilidade superficial, pois C_{ox} tem a mesma magnitude em ambos os transistores – canal p e canal n. A transcondutância é dada em função de C_{ox} e μ , sendo dada por $k'_p = \mu_p.C_{ox}$ para o transistor canal p e $k'_n = \mu_n.C_{ox}$ para o transistor canal n.

Os limiares de tensão reduzem de forma discreta em relação à tecnologia quando comparado com as magnitudes de V_{DD} . Esses limiares baixam, conforme a Tabela 1, de 0,7 V para 0,48 V, enquanto V_{DD} reduz de 5 volts para 1,8 volt. “Essa redução foi essencial para atender à necessidade de evitar que o campo elétrico em pequenos dispositivos atingisse valores muito elevados. Outra razão para reduzir V_{DD} é para manter a dissipação de energia tão baixa quanto possível [...]” (SEDRA; SMITH, 2007).

A redução da folga entre os valores de V_{DD} e V_t tornou-se um grande desafio para o projetista de CIs, visto que $|V_{GS}| = |V_t| + |V_{OV}|$, onde V_{OV} é a tensão de limiar necessária para manter $|V_{GS}|$ razoavelmente baixa. Outro efeito observado em tecnologias de escalas nanométricas, é a influência pronunciada do efeito de modulação do comprimento do canal. “Como resultado, V'_A vem diminuindo, o que, combinado com a diminuição de L , tem feito que a tensão de Early $V_A = V'_A.L$ se torne muito pequena. Correspondentemente, MOSFETs de canal curto exibem baixas resistências de saída” (SEDRA; SMITH, 2007).

Quanto à operação do MOSFET, para operar no modo ativo, duas condições devem ser satisfeitas. Primeiramente, o canal deve ser induzido, ou seja, $v_{GS} \geq V_t$, para isso, faz-se $v_{GS} = V_t + v_{OV}$. Com isso, é necessário estrangular o canal no dreno, fazendo $v_{GD} < V_t$, ou, de forma equivalente, $v_{DS} \geq V_{OV}$. Quanto à corrente no dreno, tem-se:

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2 \left(1 + \frac{v_{DS}}{V_A} \right), \quad (4)$$

onde $v_{GS} - V_t = v_{OV}$. Não há corrente no gate, afinal o MOSFET é um dispositivo controlado por tensão.

Outros parâmetros importantes para o projeto de transistores CMOS são a transcondutância g_m dada por

$$g_m = I_D / \left(\frac{V_{OV}}{2} \right) \quad (5)$$

ou por

$$g_m = (\mu_n C_{OX}) \left(\frac{W}{L} \right) V_{OV}, \quad (6)$$

ou ainda

$$g_m = \sqrt{2(\mu_n C_{OX}) \left(\frac{W}{L} \right) I_D}. \quad (7)$$

A resistência de saída é a razão de V_A por I_D ou $r_o = V_A' L / I_D$. O ganho é definido por $A_v = g_m r_o$, podendo ser escrito como

$$A_v = \frac{V_A}{\left(\frac{V_{OV}}{2} \right)}, \quad (8)$$

ou

$$A_v = \frac{2V_A' L}{V_{OV}}, \quad (9)$$

ou, finalmente, por

$$A_v = \frac{V_A' \sqrt{2\mu_n C_{OX} W L}}{\sqrt{I_D}}. \quad (10)$$

Assim chegamos aos principais parâmetros de projeto: I_D , V_{OV} , L e W/L .

O dispositivo CMOS apresenta capacitâncias entre todos os seus terminais, sendo que as principais são C_{gs} e C_{gd} . “Enquanto C_{gs} tem um componente de superposição, C_{gd} é inteiramente uma capacitância de superposição. Ambos, C_{gd} e o componente de superposição de C_{gs} , são aproximadamente iguais e denotados por C_{ov} ” (SEDRA; SMITH, 2007). C_{gs} pode ser calculada através da expressão

$$C_{gs} = \frac{2}{3} W L C_{OX} + W L_{ov} C_{OX} \quad (11)$$

e C_{gd} pela expressão

$$C_{gd} = W L_{ov} C_{OX}. \quad (12)$$

A presença dessas capacitâncias no dispositivo acaba causando limitações de frequências de operação. De acordo com Sedra e Smith (2007), “no caso do MOS, [...], fabricados com a moderna tecnologia submicrométrica, como o processo de

0,18 μm , alcançam valores de f_T na faixa de 5GHz a 15GHz”. A frequência de transição f_T é dada pela expressão

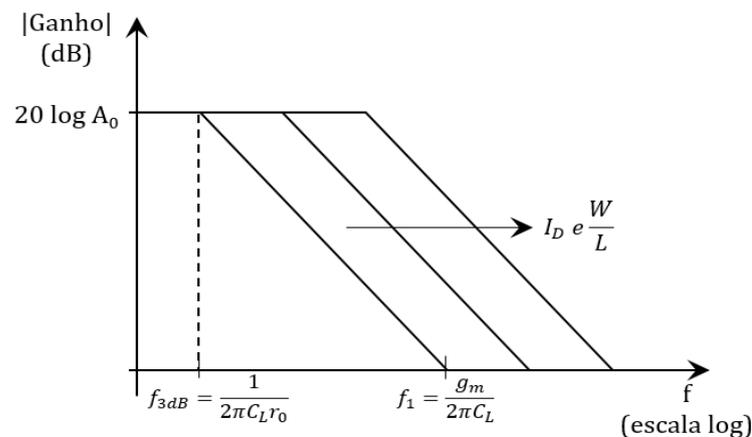
$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}. \quad (13)$$

Voltando aos parâmetros de projeto, nos projetos envolvendo MOSFETs existem quatro parâmetros a serem definidos – I_D , V_{OV} , L e W/L . Destes, três podem ser atribuídos pelo *designer*.

“Para aplicações de circuitos analógicos, o compromisso em selecionar L está entre os valores de alta velocidade de operação (faixa de amplificação mais larga) conseguidos com menores valores de L e maiores ganhos intrínsecos obtidos com maiores valores de L . Geralmente seleciona-se L aproximadamente 25% a 50% maior que L_{min} ” (SEBRA; SMITH, 2007).

Ao parâmetro V_{OV} , para escala nanométricas, geralmente é atribuído valor entre 0,2 V a 0,4 V. O projetista pode optar por atribuir um valor para I_D ou W/L , de acordo com a necessidade do circuito, sendo o último parâmetro calculado em função do anterior de forma proporcional. Cabe lembrar que a atribuição destes valores não tem influência sobre o ganho intrínseco do transistor, nem mesmo sobre a sua frequência de transição, porém exerce influência sobre g_m e, conseqüentemente, sobre a relação ganho x *faixa*. A Figura 3 mostra como esta relação funciona; é possível notar que o ganho permanece inalterado à medida em que I_D ou W/L são alterados, porém a faixa varia proporcionalmente a estes parâmetros.

Figura 3 – Faixa de operação do amplificador CMOS fonte comum



Fonte: adaptado de Sedra e Smith (2007, p. 351).

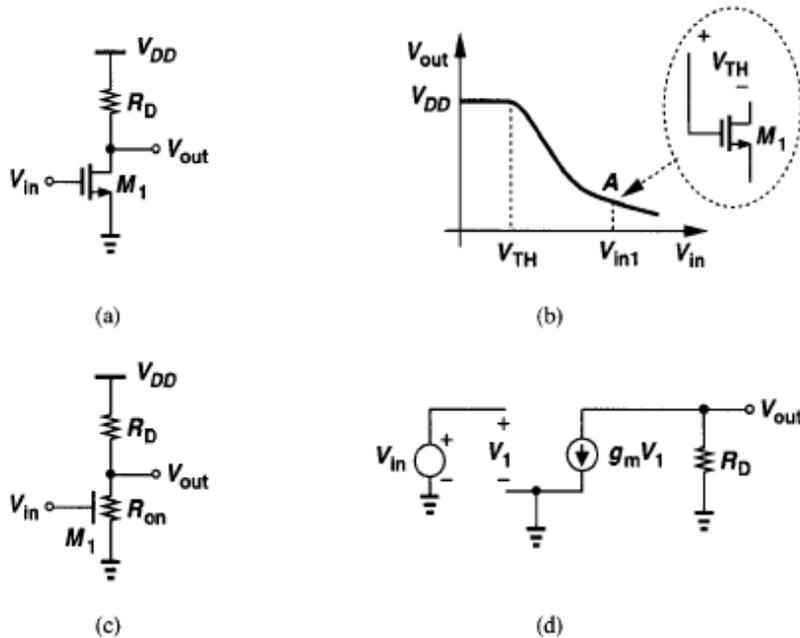
Para operar como amplificador, o transistor deve ser polarizado na região de saturação. “Se a entrada V_{GS} cresce a partir de zero, M_1 está desligado e $V_{out} = V_{DD}$

[...]. Conforme V_{in} se aproxima de V_{TH} , M_1 começa a ligar, circulando corrente através de R_D e baixando o valor de V_{out} . Se V_{DD} não é excessivamente baixa, M_1 entra em saturação e temos $V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^{2n}$ (RAZAVI, 2016, tradução nossa⁴). Onde $V_{in} = V_{GS}$ e $V_{TH} = V_t$. Nesse caso, a modulação do comprimento do canal é negligenciada. Quanto maior for V_{in} , menor será V_{out} , até que V_{in} seja maior que V_{out} , onde temos

$$V_{in1} - V_{TH} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in1} - V_{TH})^2. \quad (14)$$

A Figura 4 mostra os esquemas necessários para o projeto de amplificadores; o modelo do circuito eletrônico, a relação entre V_{out} e V_{in} , o modelo de resistência equivalente do transistor e o modelo de pequenos sinais, respectivamente a (a), (b), (c) e (d).

Figura 4 – (a) Amplificador fonte comum (b) Características de entrada e saída (c) circuito equivalente na região de triodo (d) modelo de pequenos sinais para a região de saturação



Fonte: Razavi (2016, p. 49).

⁴ If the input voltage increases from zero, M_1 is off and $V_{out}=V_{DD}$ [...]. As V_{in} approaches V_{TH} , M_1 begins to turn on, drawing current from R_D and lowering V_{out} . If V_{DD} is not excessively low, M_1 turns on in saturation, and we have

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^{2n}.$$

Para $V_{in} > V_{in1}$, M1 entra na região de triodo e a expressão que modela esta região é:

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} [2(V_{in} - V_{TH})V_{out} - V_{out}^2]. \quad (15)$$

No caso de $V_{out} \ll 2(V_{in} - V_{TH})$, a equação que modela é:

$$V_{out} = \frac{V_{DD} R_{on}}{R_{on} + R_D} = \frac{V_{DD}}{1 + \mu_n C_{OX} \frac{W}{L} R_D (V_{in} - V_{TH})}. \quad (16)$$

As características de ganho de tensão desse circuito obedecem a expressão $A_v = -g_m R_D$, onde sinais grandes interferem no funcionamento do circuito, pois a transcondutância g_m varia de acordo com o sinal de entrada conforme:

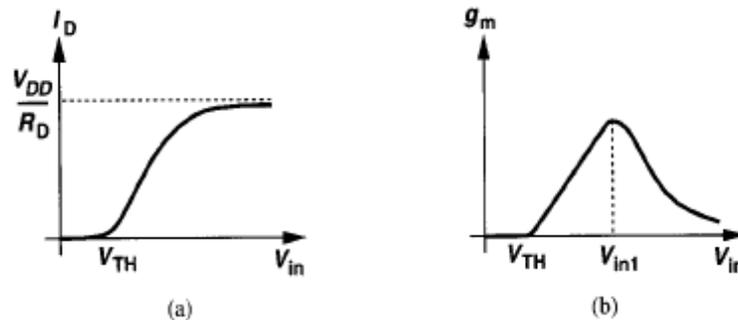
$$g_m = R_D \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH}). \quad (17)$$

Em resumo, se o ganho varia substancialmente em função do sinal de entrada, como é o caso para sinais de grande magnitude, então o circuito tende à não-linearidade. “Um resultado chave aqui é que para minimizar a não-linearidade, a equação de ganho precisa ser pouco dependente da função do sinal como g_m ” (RAZAVI, 2016, tradução nossa⁵).

Para maximizar o ganho, utilizando-se das curvas da Figura 5, pode-se escrever a expressão de ganho como:

$$A_v = - \sqrt{2 \mu_n C_{OX} \frac{W}{L} I_D \cdot \frac{V_{RD}}{I_D}} \quad (18)$$

Figura 5 – (a) I_D em função de V_{in} (b) transcondutância em função de V_{in}



Fonte: Razavi (2016, p. 51).

O termo V_{RD} representa a queda de tensão sobre R_D . Dessa forma, pode-se observar que é possível aumentar o ganho do amplificador aumentando V_{RD} ou a

⁵ A key result here is that to minimize the nonlinearity, the gain equation must be a weak function of signal-dependent parameters such as g_m .

relação W/L . Além disso, reduzir a corrente de dreno também aumenta o ganho do amplificador.

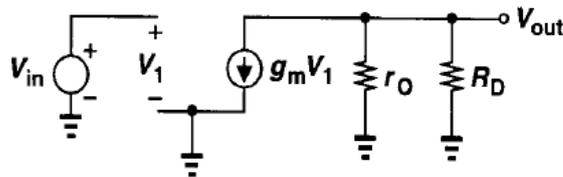
“Um tamanho maior de dispositivo leva a maiores capacitâncias no dispositivo, e um V_{RD} mais alto limita as oscilações máximas de tensão. Por exemplo, se $V_{DD}-V_{RD} = V_{in}-V_{TH}$, então M_1 está na borda da região do triodo, permitindo somente oscilações muito pequenas na saída (e na entrada). Se V_{RD} permanecer constante e I_D for reduzido, R_D deverá aumentar, levando a uma constante de tempo maior no nó de saída. Em outras palavras, [...], o circuito exibe desvantagens entre oscilações de ganho, largura de banda e tensão. Tensões baixas aumentam ainda mais essas desvantagens. Para grandes valores de R_D , o efeito da modulação do comprimento do canal em M_1 torna-se significativo” (RAZAVI, 2016, tradução nossa⁶).

Quando o efeito de modulação do canal se torna significativo para o sinal de saída, como nos casos de amplificadores em nanoescala, então a expressão que caracteriza o sistema passa a ser, considerando a modulação de canal, a seguinte:

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^2 (1 + \lambda V_{out}) \quad (19)$$

Dessa forma, se fizermos $\partial V_{out} / \partial V_{in}$, podemos usar a aproximação de I_D como $I_D \approx \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^2$, chegando a uma expressão para o ganho do amplificador do tipo $A_v = -R_D g_m - R_D I_D \lambda A_v = -g_m \left(\frac{r_o R_D}{r_o + R_D} \right)$. Ainda é possível resumir este processo através do modelo de pequenos sinais da Figura 6.

Figura 6 - Modelo de pequenos sinais para amplificador FC de estágio simples



Fonte: Razavi (2016, p. 52).

Percebe-se pelo modelo de pequenos sinais que o ganho do circuito considerando a modulação de canal é totalmente dependente de r_o , R_D e de g_m .

⁶ A larger device size leads to greater device capacitances, and a higher V_{RD} limits the maximum voltage swings. For example, if $V_{DD}-V_{RD}=V_{in}-V_{TH}$, then M_1 is at the edge of the triode region, allowing only very small swing at the output (and input). If V_{RD} remains constant and I_D is reduced, then R_D must increase, thereby leading to a greater time constant at the output node. In other words, as noted in the analog design octagon, the circuit exhibits trade-offs between gain, bandwidth, and voltage swings. Lower supply voltages further tighten these trade-offs. For large values of R_D , the effect of channel length modulation in M_1 becomes significant”.

2.4.4 Processos de fabricação de CIs CMOS

Compreender as limitações do processo de fabricação de dispositivos MOS é essencial para a elaboração de um *design* mais eficiente e mais barato. As principais etapas do processo são abordadas nesta seção. As etapas básicas envolvidas na fabricação dos circuitos integrados contemplam o projeto, validação, processamento do *wafer* (lâmina de silício que servirá de substrato para os circuitos), fotolitografia, oxidações, implantação iônica, deposição, *etching* (ataques químicos, ou físicos), entre outras. “Algumas dessas etapas podem ser repetidas várias vezes, em diferentes combinações e sob diferentes condições de processamento durante uma corrida completa de fabricação” (SEDRA; SMITH, 2007).

2.4.4.1 Processamento do wafer

Os circuitos integrados são fabricados sobre finas lâminas de silício de alto grau de pureza conhecidas como *wafers*. Estas lâminas são obtidas através de processos de fabricação mecânica comuns à indústria de semicondutores. “O material cresce como um cristal na forma de tarugo. Toma a forma de um cilindro sólido de 10 a 30 cm de diâmetro [...], pode ter de 1 a 2 m de comprimento e sua cor é cinza-metálica” (SEDRA; SMITH, 2007). “Isto é conseguido pelo ‘método de Czochralski’, pelo qual uma semente de silício cristalino é imersa em silício derretido e gradualmente puxada para cima enquanto gira” (RAZAVI, 2016, tradução nossa⁷). Para a formação das lâminas, este tarugo é fatiado em discos de alguns milímetros ou frações disso. Após fatiadas, estas lâminas são polidas e é feito um ataque químico (*etching*) para ficarem com uma superfície lisa, onde serão construídos os circuitos. Neste momento, a lâmina possui uma resistividade de cerca de 0,1 Ωcm e uma espessura de cerca de 0,5 a 1 mm.

2.4.4.2 Fotolitografia

Com a lâmina preparada para receber o circuito, um processo denominado fotolitografia é realizado para a obtenção das geometrias dos componentes a serem

⁷ This is accomplished by the ‘Czochralski method’, whereby a seed of crystalline silicone is immersed in molten silicone and gradually pulled up out while rotating.

produzidos. Este processo consiste na utilização de máscaras para criação destas formas. “Inicialmente, a superfície do silício é revestida com uma camada fotossensível (chamada fotorresiste) utilizando-se uma técnica de espalhamento do material em suporte giratório (*spin-on technique*)” (SEDRA; SMITH, 2007). A máscara, que pode ser uma placa de quartzo com traçado em cromo, é usada para fazer a exposição à irradiação ultravioleta (UV) das áreas a serem removidas (ou mantidas – depende se a máscara é do tipo positivo ou negativo). Na região exposta, o fotorresiste se torna solúvel e é removido através de um banho (resiste positivo). O fotorresiste que permanece na lâmina, torna-se uma camada resistente à corrosão, o que é útil para criar canais onde não há fotorresiste, através de um banho químico reagente ao silício, mas não ao fotorresiste. Esta etapa é repetida quantas vezes forem necessárias durante o processo de fabricação para criar as diferentes formas com diferentes materiais. Nesta etapa, por se tratar de um processo que faz uso de lentes para gravação dos circuitos com a utilização de máscaras, é difícil garantir que todos os dispositivos terão os mesmos tamanhos e alinhamentos entre máscaras. Isso faz com que dispositivos que estão na borda do wafer possam ter um comportamento diferente dos dispositivos do centro. Esta variação precisa ser considerada no projeto e não pode fazer com que o circuito pare de funcionar devido a ela.

“O número de máscaras em um processo afeta fortemente o custo total de fabricação, influenciando no preço unitário do chip. Isso ocorre por dois motivos: cada máscara custa vários milhares de dólares e, devido à precisão necessária, a litografia é uma tarefa lenta e cara. De fato, a tecnologia CMOS original tornou-se atraente em virtude do número relativamente pequeno de máscaras – cerca de sete – que é necessário. Embora nos processos CMOS modernos, esse número seja próximo de 25 (e o custo total de máscaras superior a US \$ 200.000), o custo de cada CI permaneceu baixo porque tanto o número de transistores por unidade de área quanto o tamanho do wafer aumentaram” (RAZAVI, 2016, tradução nossa⁸).

2.4.4.3 Oxidação

A oxidação da lâmina de silício tem função fundamental na fabricação de dispositivos CMOS. A oxidação é útil pois o óxido de silício é um isolante e é usado

⁸ *The number of masks in a process heavily impacts the overall cost of fabrication, eventually influencing the unit price of the chip. This is so for two reasons: each masks costs several thousands of dollars, and, owing to the necessary precision, lithography is a slow and expensive task. In fact, CMOS technology original became attractive by virtue of the relatively small number of masks – about seven – that is required. Although in modern CMOS processes, this number is close to 25 (and the total cost of masks greater than \$200,000), the cost of each IC has noneless remained low because both the number of transistors per unit area and size of the wafer have steadily increased.*

na isolação do *gate* do canal dos componentes. “A oxidação é o processo químico da reação do silício com o oxigênio para formação do dióxido de silício (SiO₂). Para acelerar a reação, é necessário aquecer a lâmina a altas temperaturas [...] em fornos especiais e ultralimpos” (SEDRA; SMITH, 2007).

Existem duas formas de oxidação do silício, na primeira, o oxigênio é introduzido como gás ultrapuro e, na segunda, é através da adição de vapor d’água. Estes processos são conhecidos, respectivamente, como oxidação seca e oxidação úmida. O óxido de silício é um excelente isolante, com constante dielétrica de cerca de 3,9 e ruptura dielétrica em torno de 10⁷ V/cm.

“O crescimento do óxido é um passo muito crítico no processo. Como a espessura do óxido, t_{ox} , determina tanto a manipulação da corrente quanto a confiabilidade dos transistores, ele deve ser controlado dentro de poucos por cento. Por exemplo, a espessura de óxido de dois transístores separados por 20 cm num *wafer* deve diferir em menos de alguns angstroms, requerendo uma uniformidade extremamente elevada através do *wafer* e, conseqüentemente, um crescimento lento do óxido. Além disso, a “limpeza” da superfície do silício sob o óxido afeta a mobilidade dos portadores de carga e, portanto, o *drive* de corrente, a transcondutância e o ruído do transistor.”(RAZAVI, 2016, tradução nossa⁹)

Este processo é especialmente importante na construção dos transistores e capacitores, pois a espessura das camadas isolantes é fundamental para o funcionamento destes componentes.

2.4.4.4 Implantação iônica

A implantação iônica é o método utilizado para fazer a dopagem do semicondutor, tornando possível obter substratos de tipo p ou n. A implantação consiste num processo de bombardeamento do silício com íons do material dopante. Estes íons se alojam na estrutura cristalina, ocupando espaços entre os átomos de silício, ou substituindo átomos da rede cristalina. “A profundidade de penetração está relacionada com a energia do feixe de íons, que pode ser controlada pela tensão de aceleração. A quantidade de íons implantados pode ser controlada pela corrente do

⁹ *The growth of the oxide is a very critical step in the process. Since the oxide thickness, t_{ox} , determines both the current handling and reliability of the transistors, it must be controlled to within a few percent. For example, the oxide thickness of two transistor separated by 20 cm on a wafer must differ by less than a few angstroms, requiring extremely high uniformity across the wafer and hence a slow growth of the oxide. Also, the ‘cleanness’ of the silicone surface under the oxide affects the mobility of the charge carriers and thus the current drive, transconductance, and noise of the transistor.*

feixe (fluxo de íons)” (SEDRA; SMITH, 2007). Como esta operação é altamente controlável, a implantação iônica é usada quando a quantidade de dopantes é crucial para o funcionamento do dispositivo.

“Outra aplicação importante da implantação é criar regiões de ‘*channel-stop*’ entre transistores” (RAZAVI, 2016, tradução nossa¹⁰). Quando duas regiões n ou duas regiões p estão próximas e separadas por uma camada de óxido, onde há alguma interconexão sobre o óxido, há a formação de um novo transistor entre os dois projetados. Qualquer pequena tensão sobre essa interconexão poderia acionar um transistor indesejado e gerar uma corrente parasita entre eles. Para resolver este problema é feita a implantação das ‘*channel-stop-regions*’, que são regiões de material isolante entre transistores vizinhos.

“O processo de implantação danifica a estrutura cristalina amplamente. Por esta razão, o *wafer* é subsequentemente aquecido à temperaturas próximas a 1000°C de 15 a 30 minutos, permitindo que o cristal se organize novamente” (RAZAVI, 2016, tradução nossa¹¹). Isto é conhecida como “*annealing*”. Variações na dopagem podem causar variação no comportamento dos transistores, pois podem gerar zonas com dopagens diferentes e, conseqüentemente, condutividades elétricas diferentes.

2.4.4.5 Deposição e etching

A deposição, especialmente a do tipo CVD (*Chemical Vapor Deposition* - deposição química em fase de vapor), é uma forma de inserir material sólido sobre o substrato. “O método CVD pode ser usado para depositar vários materiais sobre o substrato de silício, incluindo SiO₂, Si₃N₄ e silício policristalino” (SEDRA; SMITH, 2007). Este método é capaz de implantar camadas de óxido de forma mais rápida e em menores temperaturas. Não é tão bom quanto o processo de oxidação, mas consegue criar boas isolações elétricas. Quando o processo é feito a uma temperatura acima de 1000°C, então a camada de óxido depositada se aloja de forma cristalina e é chamada de epitaxial. Neste caso, o processo é chamado de Epitaxia.

O *etching*, ou ataque, em português, é um processo de extrema importância na fabricação de componentes ou detalhes de escala muito reduzida. Nesse caso, o

¹⁰ Another important application of implantation is to create “*channel-stop*” regions between transistors.

¹¹ Ion implantation damages the silicone lattice extensively. For this reason, the wafer is subsequently heated to approximately 1000°C for 15 to 30 minutes, allowing the lattice bonds to form again.

etching é usado para remover, seletamente regiões específicas sobre o substrato. Quando regiões são pequenas demais para serem criadas por deposição, a deposição é feita em uma área maior e posteriormente é removido o excesso através de ataques químicos ou por plasma. O processo, os materiais ou os parâmetros escolhidos para definir o *etching* adequado para uma aplicação específica são:

- “ (1) ataque úmido, isto é, colocando o *wafer* em um líquido químico (baixa precisão);
- (2) ataque por plasma, isto é, bombardear o *wafer* com gás de plasma (alta precisão);
- (3) ataque com íon reativo (RIE), onde os íons são produzidos em um gás bombardeiam o *wafer*.”(RAZAVI, 2016, tradução nossa¹²)

2.4.5 Fabricação de dispositivos básicos

Através dos processos mencionados nas seções anteriores, é possível criar os circuitos CMOS conforme o desenho do projetista. A sequência de etapas, os processos utilizados, os materiais e métodos utilizados dependem única e exclusivamente da complexidade e da tecnologia aplicada no projeto. É importante o projetista conhecer o processo de fabricação e suas limitações para evitar que seus projetos falhem ao serem integrados fisicamente. Para isso, foram criadas regras de *design*, de acordo com a tecnologia utilizada. Estas regras são abordadas na próxima seção.

2.4.5.1 Dispositivos Ativos

Para fins de exemplificação, considerou-se o substrato como sendo do tipo-p. Após a preparação do *wafer*, uma fina camada de óxido é criada na superfície do *wafer*, conforme Figura 7 (a). Esta camada criada através do processo de oxidação tem como finalidade proteger a superfície do *wafer*. Através dos processos de fotolitografia, e *etching* seletivo, são criados os poços do tipo n (*n-well*), conforme Figura 7 (b). O fotorresiste e a camada de óxido restante são removidos quimicamente, Figura 7 (c). Esse poço servirá para criar o transistor canal-n. Para criar a região denominada FOX (*field oxide – óxido de campo*), é criada uma camada de

¹² (1) 'wet' etching, i.e., placing the wafer in a chemical liquid (low precision);
 (2) 'plasma' etching, i.e., bombarding the wafer with plasma gas (high precision);
 (3) reactive ion etching (RIE), where ions are produced in a gas bombard the wafer.

Si_3N_4 e uma camada de fotorresiste sobre a lâmina, seguidas da abertura de um canal através da fotolitografia e do ataque seletivo, conforme Figura 7 (d). Nesse canal é feita a implantação iônica e o FOX está criado. O processo seguinte é a remoção da máscara de fotorresiste e da camada de Si_3N_4 (Figura 7 (e)). Uma oxidação superficial no wafer é feita para criação da isolamento do gate. O *threshold* é ajustado através de implantação iônica (Figura 7 (f)).

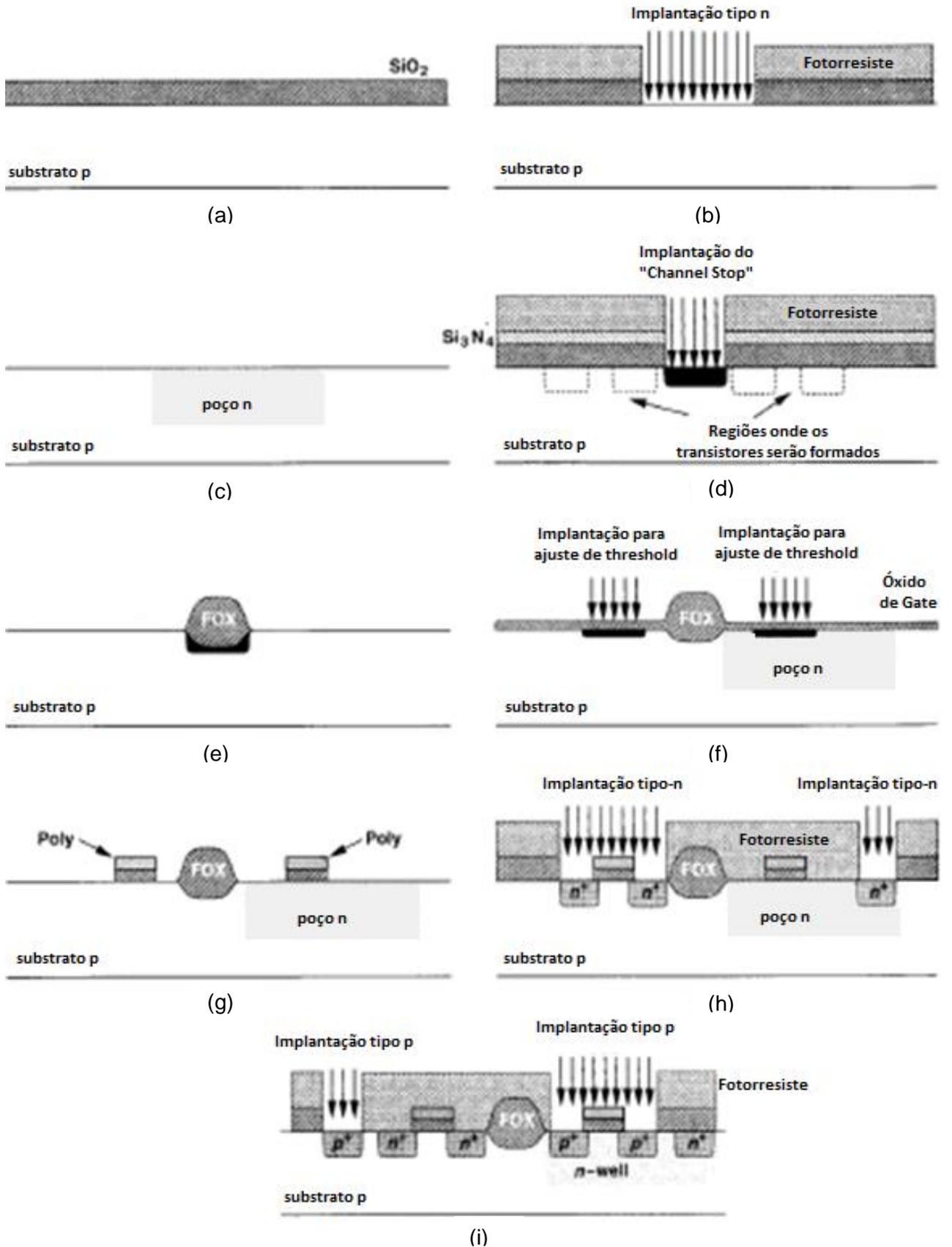
“(O *threshold* nativo de ambos os transistores PMOS e NMOS são usualmente mais negativos que o desejado, por exemplo, $V_{THN} \approx 0$ e $V_{THP} \approx -1 V$). Como uma implantação é feita seguindo o crescimento do óxido do *gate*, criando uma fina camada de dopantes próxima à superfície e fazendo o *threshold* de ambos os dispositivos NMOS e PMOS mais positivos” (RAZAVI, 2016, tradução nossa¹³).

O óxido é removido da superfície do *wafer*, exceto nos locais onde serão os *gates* dos transistores. Para isso são utilizados os processos de fotolitografia e *etching*. Uma camada de silício policristalino (amorfo) é depositada sobre o óxido da porta. Essa camada é chamada de polissilício (Figura 7 (g)). Os passos finais na construção dos transistores NMOS e PMOS é a criação das junções de fonte e dreno. Para isso, duas sequencias de processos de litografia e ataques serão necessários para criar as regiões tipo n e tipo p. Esses processos podem ser evidenciados em (h) e (i) na Figura 7.

O motivo para as junções de fonte e dreno serem feitas após a criação do óxido e do gate, é o fato de ser mais fácil de alinhar a criação das implantações ao redor do canal que o contrário, pois um pequeno desalinhamento na criação da porta após as junções estarem formadas, criaria um espaço separando uma das junções do transistor, fazendo com que o mesmo pare de funcionar, ou funcione de forma indesejada.

¹³ (The native threshold of both PMOS and NMOS is usually more negative than desired, e.g., $V_{THN} \approx 0$ and ($V_{THP} \approx -1 V$). Such an implant is performed following the growth of the gate oxide, creating a thin sheet of dopants near the surface and making the threshold of both NMOS and PMOS devices more positive.

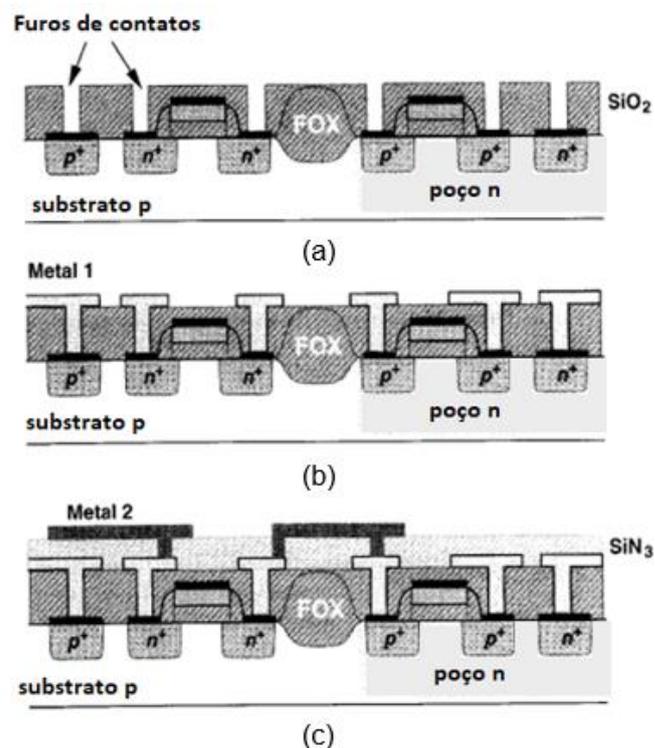
Figura 7 – Sequência do processo de fabricação MOS



Fonte: Adaptado de Razavi (2016, p. 612).

As etapas de *Back-End* (etapas finais do processo de fabricação) consistem na criação de óxidos para espaçar os contatos de silicida que são acrescentados posteriormente sobre *gate*, *drain* e *source*. Uma camada de óxido é crescida sobre a superfície de todo o dispositivo para isolação elétrica do ambiente. A superfície dessa camada é nivelada e novos processos de fotolitografia são realizados para abrir canais para as ligações elétricas dos contatos (Figura 8 (a)). As camadas de metal para interligação são depositadas alternadamente, com camadas de isolação de SiN_3 (Figura 8 (b)). A camada mais superior de metal é utilizada para interconectar os circuitos mais afastados (Figura 8 (c)).

Figura 8 - Fabricação dos contatos e dos metais de interligação



Fonte: Adaptado de Razavi (2016, p. 615).

“O passo final no processamento de *back-end* é cobrir o *wafer* com uma camada de ‘glass’ ou de ‘passivação’, protegendo a superfície contra danos causados por subsequente manuseio mecânico e corte. Após uma sequência de litografia usando a ‘máscara de passivação’, o *glass* é aberto na parte superior dos *pads* de ligação para permitir a conexão com o ambiente externo (por exemplo, o encapsulamento)” (RAZAVI, 2016, tradução nossa¹⁴).

¹⁴The final step in back-end processing is to cover the wafer with a ‘glass’ or ‘passivation’ layer, protecting the surface against damages caused by subsequent mechanical handling and dicing. After a lithography sequence using the ‘passivation mask’, the glass is opened on the top of the bond pads to allow connection to external environment (e.g., the package).

2.4.5.2 Dispositivos Passivos

Dispositivos passivos como resistores e capacitores tem um grande uso em circuitos analógicos, porém como a tecnologia CMOS foi inicialmente concebida para aplicações digitais, esses elementos não faziam parte de seu portfólio. Basicamente, para aplicações analógicas, resistores e capacitores precisam ser modificados para atender a estas estruturas. Para resistores, por exemplo, “um método comum é ‘bloquear’ seletivamente a camada de silicida depositada no topo do polissilício, assim criando uma região contendo a resistividade do polissilício dopado” (RAZAVI, 2016, tradução nossa¹⁵). As principais dificuldades desse método são a variabilidade e a complexidade, além do custo da máscara.

Capacitores, por outro lado, são mais comuns e facilmente utilizados em tecnologias CMOS analógicas, além disso, naturalmente surgem da combinação de camadas de materiais condutores e isolantes, o que ocorre na própria construção dos transistores MOS. Quando desejados, segundo Razavi, (2016) estes dispositivos podem ser formados por camadas difusão-polissilício, polissilício-polissilício ou metal-polissilício. Sempre separadas por camadas de óxidos de silício como dielétrico. Estas estruturas surgem naturalmente nos processos de construção de transistores CMOS de *gate* isolado ou não, por exemplo, onde é possível encontrar camadas nas formas “condutor-isolante-condutor” ou “canal-óxido-polissilício”, ou ainda “polissilício-óxido-metal”.

2.4.5.3 Interconexões

Interconexões são fatores de extrema importância em aplicações complexas de integração. A performance destas integrações depende fortemente dessas ligações. As principais propriedades das conexões dos CIs são a resistência série e a capacitância paralela. Em especial, é importante levar em conta a resistência dessas conexões, pois causa quedas de tensão tanto em níveis DC quanto em transientes. Essas quedas de tensão e capacitâncias de linha para interconexões muito extensas podem representar atrasos (*delays*) de sinal significativos.

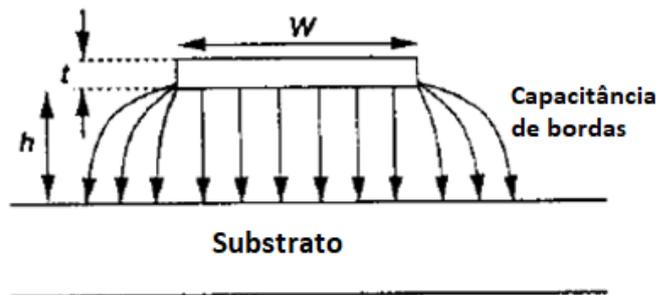
¹⁵ A common method is to selectively ‘block’ the silicide layer that is deposited on top of the polysilicon, thereby creating a region having the resistivity of the doped polysilicon.

“A resistência das linhas de metal pode ser facilmente estimada em baixas frequências, onde o efeito superficial é insignificante. As resistências de folha típicas são $30 \text{ m}\Omega/\square$ for para a camada mais alta (mais espessa) e $70 \text{ m}\Omega/\square$ para as camadas inferiores. A resistência finita das interconexões influencia a escolha das larguras de linha para interconexões de alta corrente, como os barramentos de alimentação e terra [...]” (RAZAVI, 2016, tradução nossa¹⁶)

O problema de interconectar capacitância é mais complicado. A Figura 9 apresenta o comportamento da capacitância de borda sobre o substrato. Uma relação empírica para calcular a capacitância total da trilha por unidade de comprimento sobre um substrato condutor é dada por:

$$C = \epsilon \left[\frac{W}{h} + 0,77 + 1,06 \left(\frac{W}{h} \right)^{0,25} + 1,06 \left(\frac{t}{h} \right)^{0,5} \right] \quad (20)$$

Figura 9 - Capacitância das trilhas condutoras sobre o substrato condutor.



Fonte: Adaptado de Razavi (2016, p. 626).

As capacitâncias paralelas e as marginais são grandezas de difícil quantificação. Em geral, estas medidas são calculadas através de “softwares de simulação de campos eletromagnéticos”, ou tem seus valores obtidos experimentalmente e tabuladas no processo de design manual. Estas medidas aproximadas, por vezes são fornecidas pelo próprio simulador de nível SPICE após o desenho em *software* específico.

2.4.5.4 Latch-Up

Latch-up é um tipo de curto-circuito que pode ocorrer em um CI. Mais especificamente, é a criação inadvertida de um caminho de baixa impedância entre as trilhas de alimentação de um MOSFET, acionando um comportamento parasita que

¹⁶ The resistance of metal wires can be easily estimated at low frequencies, where skin effect is negligible. Typical sheet resistances are $30 \text{ m}\Omega/\square$ for the topmost (thickest) layer and $70 \text{ m}\Omega/\square$ for lower layers. The finite resistance of wires influences the choice of line widths for high-current interconnects such as supply and ground buses [...]

modifica o funcionamento do CI. Por vezes, a construção do circuito integrado acaba criando componentes parasitas no circuito, como o surgimento de estruturas de transistores PNP ou NPN. Isso ocorre, por exemplo, quando se utiliza grandes *buffers* digitais de saída. Nesse caso, os circuitos injetam muita corrente no substrato através da junção da capacitância da junção de dreno dos transistores e por polarização direta dos diodos da junção *source-bulk*. Este último surge por causa de tensões de transiente substanciais produzidas através dos fios de solda conectados ao Terra, conforme Razavi (2016).

2.4.6 Considerações sobre *layout*, e regras de *design* analógico

“Cada esquema de circuito projetado precisa ser transformado em um *layout* que consiste nas representações geométricas de componentes de circuito e suas interconexões” (SEDRA; SMITH, 2007). Para implementar estes circuitos em geometrias de construção de circuitos integrados, os projetistas contam com *softwares* de desenho assistido por computador (CAD). Estas aplicações, hoje em dia, já são capazes de fazer o roteamento das trilhas de forma semiautomática ou até mesmo completamente automática, o que acaba auxiliando e tornando o desenvolvimento mais rápido. Porém, o projetista deve ser capaz de corrigir e melhorar o roteamento feito pelo *software* para garantir uma melhor eficiência do circuito e redução de processos de fabricação, se possível. Assim como em projeto de placas de circuito impresso (PCB), um bom projeto de circuito integrado deve conter o mínimo de camadas possíveis, para reduzir o custo de fabricação e a dificuldade de implementação, além de evitar a adição de variáveis parasitas no circuito.

2.4.6.1 Regras de Projeto

Alguns parâmetros de projeto são dimensionados livremente pelo projetista de acordo com as necessidades do sistema, porém algumas características importantes são determinadas por “regras de *design*”. Estas regras são determinadas por limitações físicas de funcionamento da tecnologia em questão. Algumas destas limitações são citadas a seguir:

- **Largura mínima:** as larguras e comprimentos mínimos dos elementos do circuito devem ser maiores do que as dimensões litográficas mínimas da tecnologia utilizada. Por exemplo, em uma tecnologia de 180 nm, as dimensões de L e W não podem ser inferiores a esta medida. É importante salientar que a profundidade das camadas não está sob controle do projetista, uma vez que é inerente ao processo de fabricação de cada tecnologia (RAZAVI, 2016);
- **Espaçamento mínimo:** como o processo fotolitográfico e os processos de implantação e deposição não são cem por cento precisos, existem limitações de distanciamento entre áreas de mesmo material ou materiais que sofrem influência mútua. Esse espaçamento mínimo serve para garantir que as variações nos processos de fabricação não ocasionem curtos-circuitos ou zonas de fuga de corrente no circuito;
- **Enclausuramento mínimo:** para garantir que o circuito funcione conforme projetado, levando em consideração as regras de *design*, existem outros distanciamentos mínimos além das distâncias entre geometrias vizinhas. Um desses é o chamado distanciamento de Enclausuramento. Esta regra garante que uma conexão entre uma zona de *poly* (polissilício) e uma zona de metal, por exemplo, seja feita de forma adequada, onde a área do metal deve estar contida dentro da área do *poly* (RAZAVI, 2016);
- **Extensão mínima:** Em alguns componentes onde regiões se sobrepõem, é necessário que haja uma área de folga entre essa sobreposição (RAZAVI, 2016). Essa área que vai além do limite da camada superior serve para garantir que a sobreposição seja completa, evitando a criação de componentes com camadas não correspondentes. Por exemplo, o *gate* de um transistor deve passar além do limite do canal para garantir que o gate não fique menor que a largura do transistor, ocasionando alterações nas variáveis de operação.

2.4.6.2 Efeito antena

Em algumas implementações de circuitos integrados onde há uma grande área de material condutor, pode ocorrer o chamado efeito antena. Este efeito é causado pelo fato de ondas eletromagnéticas serem captadas pelo material condutor como

uma antena, principalmente durante as etapas de fabricação, causando variações de tensão no material, podendo ainda danificar o circuito. “Por essa razão, tecnologias CMOS submicrométricas tipicamente limitam a área total de algumas geometrias, assim minimizando a probabilidade de o óxido do gate ser danificado” (RAZAVI, 2016, tradução nossa¹⁷). Isso pode ser observado em capacitores, por exemplo, que são componentes com grandes áreas de material condutivo. Quando áreas grandes de material condutor são inevitáveis ao circuito, descontinuidades são implementadas de forma a reduzir o efeito antena. Para isso, faz-se o interfaceamento, por exemplo, entre metal 1 e metal 2, além de essa grande área não ser ligada diretamente ao *gate* do transistor, para evitar danos ao óxido.

2.4.6.3 Técnicas de *layout* analógico

Aplicações CMOS demandam muita atenção no *layout* construtivo dos componentes dos circuitos integrados para garantir altos índices de rendimento de fabricação, ou *yield*. Dispositivos CMOS analógicos requisitam ainda mais atenção e precauções de *layout*, pois são muito mais suscetíveis a problemas de ruído, *mismatch* (variações físicas aleatórias nas propriedades de componentes idênticos) e *crosstalk* (interferência elétrica indesejada que um circuito ou parte de um circuito causa em outro), conforme Razavi (2016).

Transistores muito grandes podem causar variação de resistência de uma ponta a outra de seus corpos, além de ocuparem uma área maior no *chip*, para isso, utiliza-se uma técnica chamada *multifingering*, que consistem em dividir as junções S/D em ramos menores (*fingers*). “Como regra geral, a largura de cada *finger* é escolhida de modo que a resistência do *finger* seja menor que a transcondutância inversa associada ao *finger*. Em aplicações de baixo ruído, a resistência do *gate* deve ser de um quinto a um décimo de $1/g_m$.”(RAZAVI, 2016, tradução nossa¹⁸).

Problemas com simetria podem ser muito significativos em circuitos diferenciais introduzindo *offsets* (diferenças de níveis de tensão) de entrada, por exemplo, o que limita a sensibilidade e aumenta o menor sinal que pode ser detectado. *Layouts*

¹⁷ For this reason, submicron CMOS Technologies typically limit the total area of such geometries, thereby minimizing the probability of gate oxide damage.

¹⁸ As a rule of thumb, the width of each finger is chosen such that the resistance of the finger is less than the inverse transconductance associated with the finger. In low-noise applications, the gate resistance must be one-fifth to one-tenth of $1/g_m$.

simétricos são capazes de reduzir o efeito do ruído de modo comum e até mesmo não linearidades. Componentes *dummies*, que são componentes não conectados ao circuito usados apenas para preencher espaços, podem ser utilizados para tornar *layouts* assimétricos mais simétricos, preenchendo espaços periféricos dos circuitos.

Outro problema comum que se encontra ao trabalhar com *layout* analógico em dispositivos CMOS são as interconexões entre os componentes dos circuitos. Diferentemente de tecnologias CMOS mais antigas, em que se tinha apenas uma camada de metal para fazer as interconexões, tecnologias como a utilizada neste trabalho possuem até cinco *layers* (camadas) para roteamento. Um dos problemas que podem ser encontrados ao se trabalhar com vários metais é o surgimento de capacitâncias parasitas em trilhas paralelas ou que se cruzam em partes do circuito. Estas capacitâncias surgem naturalmente pois as trilhas são materiais condutivos percorridos por carga elétrica com camadas isolantes entre si, como óxido, por exemplo. O uso de técnicas como roteamento diferencial pode reduzir problemas de *crosstalking*, por exemplo, convertendo isso em distúrbios de modo comum, que acabam sendo ignorados pelo circuito. Trilhas *dummy* podem ser incluídas ao *layout* para criar capacitâncias de sobreposição entre trilhas de sinal para mitigar o acoplamento indesejado entre elas, conforme Razavi (2016).

Tecnologias CMOS mais modernas utilizam substratos P altamente dopados para evitar problemas de *latch up*, porém essa alta condutividade do substrato acaba proporcionando ao circuito uma possibilidade de conexões entre vários dispositivos do circuito, podendo corromper a integridade de alguns sinais. O acoplamento pelo substrato é um grande aspecto a se considerar em dispositivos de sinal misto. Para mitigar esta característica do substrato, pode-se utilizar “*guard rings*”, que são anéis fechados condutivos utilizados para isolação do substrato, construídos ao redor de dispositivos como transistores, ou outros elementos sensíveis. Este elemento é de grande importância pois consegue isolar os componentes dentro dele de ruídos de corrente oriundos do substrato.

2.5 ENERGY HARVESTING E ENERGY SCAVENGING

Energy harvesting é um conceito utilizado para definir sistemas capazes de utilizar a energia disponível no ambiente nas mais diversas formas. Porém, existe um outro conceito que se assemelha a este; o *Energy Scavenging* é um conceito aplicado

com o mesmo fim do *energy harvesting*, porém, como o próprio nome diz, é um tipo de coleta de energia que busca o que está disponível no ambiente para utilização. “O *energy scavenging* refere-se a ambientes onde as fontes ambientais são desconhecidas ou altamente irregulares, enquanto o *energy harvesting* refere-se a situações em que as fontes de energia do ambiente são bem caracterizadas e regulares” (PRIYA e INMAN, 2009). O fato é que para manter um sistema operando de forma constante, sem interrupções, o ideal é o modelo definido pelo *energy harvesting*, onde as características ambientais são conhecidas.

“Durante décadas, as energias solar e eólica foram exploradas para diversas aplicações. A última década assistiu a grandes esforços de pesquisa dedicados à diversificação de fontes de energia para alimentar sensores autônomos” (PENELLA-LÓPEZ e GASULLA-FORNER, 2011, tradução nossa¹⁹). Com o desenvolvimento da IoT, novas fontes de energias alternativas em pequena escala estão sendo desenvolvidas. Basicamente, pode-se subdividir estas fontes de pequena escala em fontes irradiantes, mecânicas, térmicas, magnéticas e bioquímicas. A maneira de coletar e converter a energia dessas fontes é o que caracteriza a *energy harvesting*. Os dispositivos utilizados para fazer essa conversão são chamados de transdutores e serão visitados nas seções seguintes.

“*Energy Harvesting* (EH) representa uma solução simples para alimentar facilmente dispositivos remotos usando energia limpa. As tecnologias de coleta de energia eliminam a necessidade de baterias e, assim, elimina um obstáculo para o sucesso da Internet das Coisas [...]” (POP-VADEAN et al., 2017).

2.6 TOPOLOGIAS DE CIRCUITOS PARA *RF ENERGY HARVESTING*

Mesmo que um gerador de RF não seja utilizado para alimentar os circuitos remotamente, um ambiente conhecidamente rico em espectro eletromagnético, cujo espectro seja constante, pode ser utilizado dentro do conceito de EH. Antenas de transmissão de celular, por exemplo, são bons geradores de RF, que se pode dizer serem constantes e conhecidos, sendo qualificados, dependendo da distância para alimentar dispositivos de IoT.

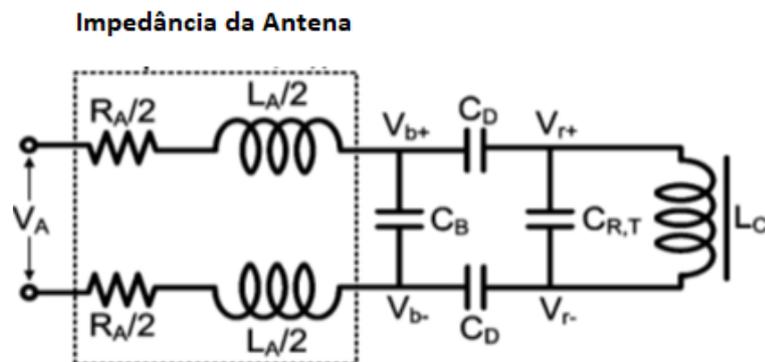
¹⁹ For decades solar and wind energy have been exploited for diverse applications. The past decade has seen major research effort dedicated to diversifying energy sources for powering autonomous sensors.

Circuitos de *energy harvesting* são circuitos que conseguem capturar energia do ambiente em que está inserido, seja ela térmica, mecânica ou radiação eletromagnética, e convertê-la em energia elétrica, de forma controlada e capaz de suprir o sistema ao qual está acoplado para mantê-lo em operação. Os tópicos seguintes tratarão de subcircuitos tipicamente utilizados para *energy harvesting* em sistemas de conversão de energia de radiação eletromagnética em energia elétrica.

2.6.1 *Passive voltage-boosting network (VBN)*

Uma rede passiva de elevação de tensão (VBN) é modelada através de um circuito ressonante série composto por uma indutância auto induzida, L_A , pela resistência de uma antena, R_A , e um capacitor de sintonia, C_T . A Figura 10 mostra o layout de uma VBN. Esta rede pode ter a eficiência de conversão de potência (PCE) controlada por sinais de controle (V_{r+} e V_{r-}) que chaveiam o retificador de tensão, conforme dito por Udupa, Sushma e Chaithra (2018).

Figura 10 - Modelo de circuito da *voltage boosting network*



Fonte: Adaptado de Mansano (2016).

A capacitância de sintonia é dada por:

$$C_T = C_B + \left(\frac{C_D \cdot C_{R,T}}{C_D + 2C_{R,T}} \right) \quad (21)$$

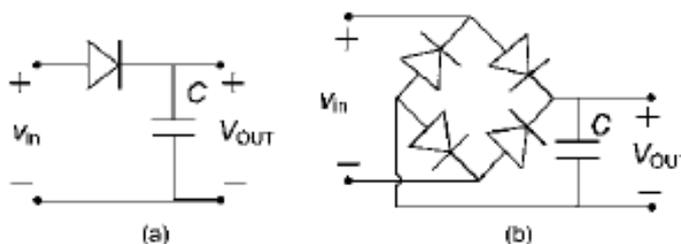
Sendo que C_B é a capacitância de reforço, C_D a capacitância do divisor de tensão capacitivo e $C_{R,T}$ é capacitância de entrada de retificador, para retificadores controlados. Para zerar o erro de *offset* na entrada, basta fazer a ligação de um *choke* (ligação de alta impedância em corrente alternada e baixa em corrente contínua) na entrada para induzir um curto em CC, diz Mansano (2016).

2.6.2 Retificadores RF

Retificadores são circuitos que tem em sua entrada um sinal em corrente alternada e que o converte em um sinal de corrente contínua. Basicamente, retificadores podem ser de um único diodo, com diodos em ponte ou multiplicadores de tensão. Todos estes circuitos operam em *broadband*, ou seja, trabalham bem em frequências entre quilohertz e mega-hertz. Para frequências acima disso, diodos *Schottky* são utilizados por terem menor tempo de transição.

A Figura 11 apresenta circuitos retificadores comuns, que transformam um sinal originalmente de corrente alternada em um sinal de corrente contínua. O problema destes circuitos é que ambos têm uma perda de potência sobre os diodos. No caso de (a), a queda de tensão é igual à queda no diodo, o que pode ser muito significativo quando se trata de circuitos de RFEH. Em (b), a queda de tensão é ainda maior, pois são dois diodos que possuem uma queda de potencial sobre eles. A vantagem desta topologia em relação à anterior, é que este circuito é capaz de retificar tanto o semiciclo positivo quanto o negativo do sinal recebido, o que faz com que a tensão média retificada seja o dobro da anterior.

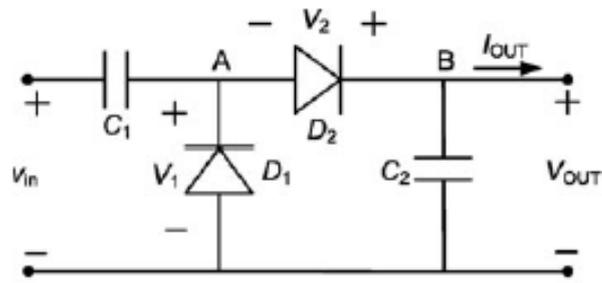
Figura 11 - Circuitos retificadores com diodos



Fonte: Penella-López; Gasulla-Forner (2011, p. 131).

O circuito da Figura 12 é um exemplo de retificador multiplicador de tensão. Neste circuito, a retificação é feita através da multiplicação do sinal de entrada, ou seja, para uma configuração como esta, o capacitor C_1 é carregado quase que até o valor de pico do sinal de entrada no semiciclo positivo. No semiciclo negativo, o diodo abre o circuito e não há circulação de corrente pelo diodo D_1 , ou seja, a tensão do sinal de entrada acaba sendo somada à tensão do capacitor C_1 , elevando o sinal da saída ao dobro do sinal da entrada. D_2 e C_2 funcionam como o retificador simples com um diodo e serve para que ambos os semiciclos sejam utilizados na retificação, assim como o retificador em ponte o faz.

Figura 12 - Retificador multiplicador de tensão



Fonte: Penella-López; Gasulla-Forner (2011, p. 131).

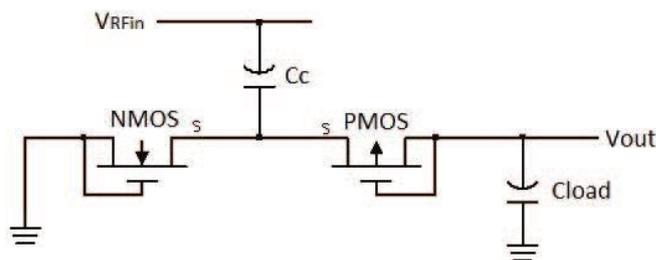
Esta configuração pode ser utilizada em cascata para multiplicar o sinal de entrada mais vezes, sendo que a tensão de pico da saída será equivalente à duas vezes a quantidade de estágios vezes a tensão de pico do sinal de entrada, menos a queda sobre os diodos, ou seja:

$$V_{P_{out}} = 2 \times N \times V_{P_{in}} - V_D \quad (22)$$

2.6.2.1 Dickson charge pump rectifier (Dickson CPR)

Este tipo de retificador é composto por dois transistores CMOS conectados como diodos e um capacitor de elevação de tensão, conforme Figura 13. Neste retificador de um estágio, C_c é o capacitor de elevação de tensão, C_{load} a carga, V_{RFin} o sinal de entrada em alta frequência e V_{out} é a tensão de saída elevada e retificada.

Figura 13 - Dickson charge pump rectifier



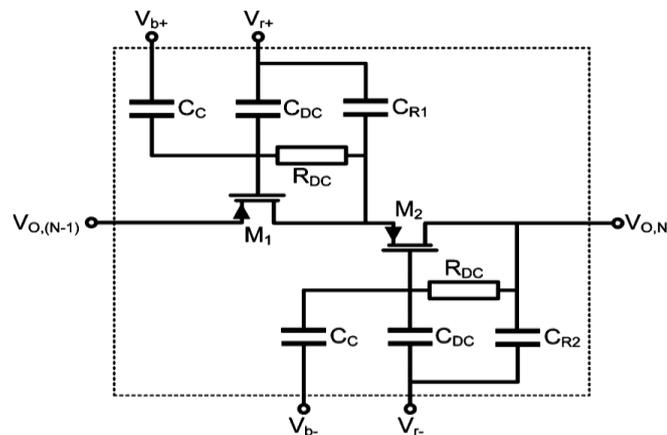
Fonte: Mnif; Mnif e Loulou (2017, p. 1).

A saída deste circuito é dada por $V_{out} = 2(V_{RFin} - V_{THP} - V_{THN})$, onde V_{THN} e V_{THP} são as tensões de threshold dos transistores NMOS e PMOS, respectivamente. Nesta topologia, tem-se uma perda no sinal de saída, por causa da zona morta criada por V_{THN} e V_{THP} .

2.6.2.2 Orthogonally switching CPR (OS-CPR)

O OS-CPR, ou retificador por multiplicação de tensão por chaveamento ortogonal, utiliza transistores CMOS como chaves controladas por sinais de tensão. Este circuito é capaz de superar o efeito da zona morta, pois a tensão de entrada é superior à tensão de *threshold*. Estes circuitos podem ser utilizados em cascata, assim como o multiplicador de tensão mencionado na seção 2.6.2. A Figura 14 mostra o enésimo retificador de um arranjo cascadeado de retificadores.

Figura 14 - Enésimo retificador de uma cascata de retificadores OS-CPR



Fonte: Mansano (2016, p. 22).

Conforme Mansano (2016), o sinal diferencial de entrada deste sistema é definido por:

$$V_r \approx \left(\frac{C_D}{2C_{R,T} + C_D} \right) V_b \quad (23)$$

Onde V_b é o sinal de controle que equivale a QV_A , sendo V_A é a tensão nos terminais da antena. E, se considerarmos $V_{O,(N-1)}$, $V_{O,N}$ e V_{r-} sincronizadas, então V_b e V_r controlam o chaveamento do circuito. Vale salientar que estes capacitores são os da VBN, mencionados na seção 2.6.1.

Se M1 estiver ligado, então M2 está desligado, $V_{O,(N-1)} > V_{r+}$ e $V_{b+} < V_{b-}$, causando o carregamento de C_{R1} até aproximadamente $(2N - 1) \cdot V_R$. O oposto ocorre quando M2 está desligado.

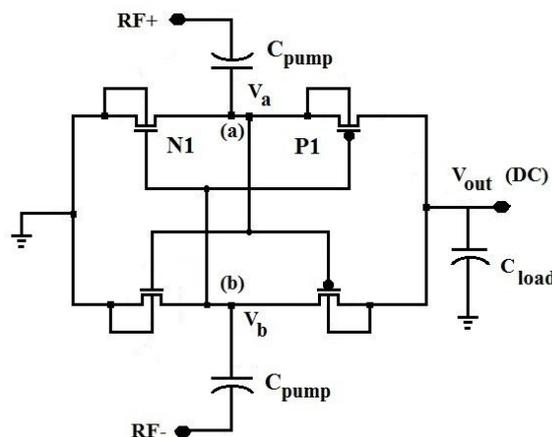
Independentemente de qual transistor estiver ligado, os grandes sinais estão presentes nos *gates* e *sources*, fazendo com que C_{R1} esteja constantemente sendo carregado quando M1 estiver ligado e C_{R2} quando M2 estiver ligado. Quando em região de tríodo, estes transistores dissipam pouca potência pois a queda de tensão

sobre eles na região linear é baixa. Em tempo, este tipo de circuito apresenta uma alta eficiência de conversão de energia, principalmente para cargas resistivas pequenas, segundo Mansano, Bagga e Serdijn (2013).

2.6.2.3 Cross coupled charge pump rectifier (CC-CPR)

Os CC-CPR, ou retificadores por multiplicação de tensão com acoplamento cruzado de gates, são retificadores conhecidos por conseguir manter uma resistência baixa quando ativo e baixa fuga de corrente ao mesmo tempo. Ele é baseado em uma topologia CMOS diferencial cruzada ligada em ponte. Nesta estrutura, os *gates* dos transistores são influenciados por sinais existentes nos nós *a* e *b*, conforme Figura 15.

Figura 15 - Cross coupled rectifier



Fonte: Chouhan e Halonen (2013, p. 1).

“O transistor N1 é polarizado diretamente durante o semiciclo negativo de V_a , enquanto V_b no semiciclo positivo fornece uma tensão de polarização positiva para o transistor N1. Isso diminui a tensão de *threshold* do transistor e reduz a resistência R_{ON} ” (CHOUHAN; HALONEN, 2013, tradução nossa²⁰). De forma complementar, o contrário também é válido, quando V_a é positiva e V_b negativa, o transistor é reversamente polarizado, V_G diminui e o *threshold* aumenta, diminuindo a corrente reversa de fuga. A tensão de retificação desse sistema é dada por $V_{DC(out)} = 2 \cdot V_{RF} - V_{drop}$. Onde V_{RF} é a tensão de entrada e V_{drop} a queda de tensão no transistor.

²⁰ The transistor N1 is forward biased during negative half cycle of V_a , while V_b in positive half cycle gives a positive gate bias voltage to N1 transistor. This decreases the threshold voltage of the transistor, and reduces the on resistance.

Pela equação de saída deste circuito, pode-se notar que a máxima tensão de saída ocorre quando a queda no transistor tende a zero. Além disso, assim como retificador multiplicador citado em 2.6.2, este circuito pode ser cascadeado para multiplicar a tensão de saída, obedecendo a mesma equação geral do multiplicador simples. De acordo com Dai et al. (2015, tradução nossa²¹),

“[...] a topologia cross connected exhibe a mais alta eficiência de conversão de energia alcançável, até 65% (somente retificador) que pode ser mantida em uma ampla faixa de entrada ajustando o tamanho do transistor, enquanto as outras topologias atingem apenas 46,7 % e 51 %, respectivamente”.

Além disso, este circuito apresenta uma sensibilidade muito mais alta quando comparada às demais topologias apresentadas, “esta alta sensibilidade [...] faz com que esta topologia seja adequada para uma transferência de potência sem fio em um grande *range* – isto é, por muitos metros – assim como *RF energy scavenging oportunista*” (KAROLAK et al., 2012, tradução nossa²²).

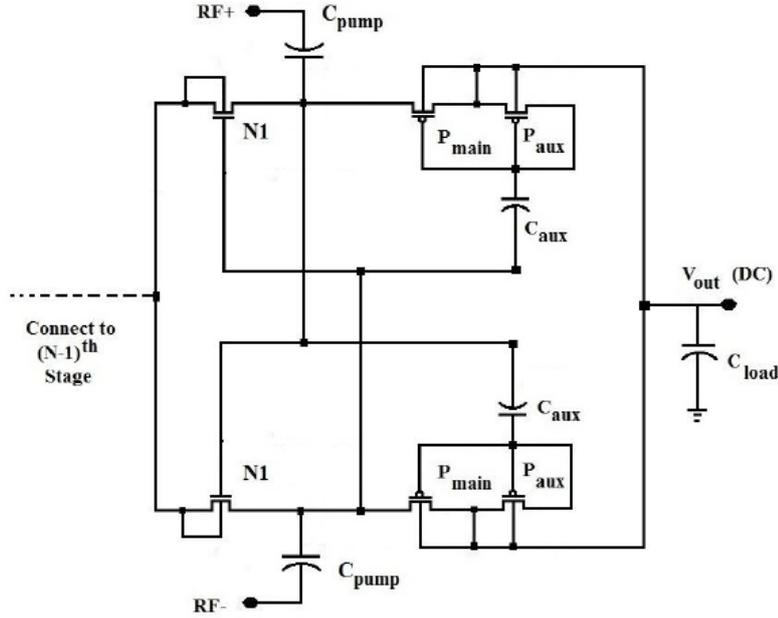
2.6.2.4 Modified Cross-Coupled Charge Pump Rectifier

Este circuito é uma topologia proposta por Chouhan e Halonen (2013) baseada em um circuito *Cross Coupled* comum. Nesta topologia, os autores adicionam um segundo transistor PMOS configurado como diodo e um capacitor auxiliar de acoplamento conectados ao transistor original. Este segundo transistor tem como função, reduzir a dependência do circuito de V_{TH} , fazendo com que G_V seja aumentado. Na Figura 16 é possível observar a topologia do retificador por multiplicação de tensão com acoplamento cruzado modificado.

²¹ *The cross-connected topology exhibit the highest achievable power conversion efficiency up to 65% (rectifier only) which can be maintained over a wide input range by adjusting the transistor size, while the other topologies only achieve 46.7% and 51%, respectively.*

²² *This higher sensitivity [...] makes it suited for a long range wireless power transfer – i.e. over several meters – as well as opportunistic RF energy scavenging.*

Figura 16 - Modified Cross-Coupled Charge Pump Rectifier



Fonte: Chouhan e Halonen (2013, p. 3)

No circuito de Chouhan e Halonen (2013), a tensão de saída é definida por:

$$V_{OUT} = V_{OV2} + V_{AUX} \quad (24)$$

E a tensão de entrada por:

$$V_{IN} = V_{OV1} + V_{OUT} \quad (25)$$

Onde V_{OV1} e V_{OV2} são as tensões de Overdrive através do transistor principal e auxiliar, respectivamente e V_{AUX} é a tensão sobre o capacitor auxiliar. Fazendo a subtração destas equações, obtemos:

$$V_{OUT} = \frac{1}{2} \left((V_{OV2} - V_{OV1}) + V_{IN} + V_{AUX} \right) \quad (26)$$

E, sabendo que

$$V_{OV} = V_{th} + \sqrt{\frac{2I_D}{\beta}} \quad (27)$$

Podemos substituir V_{OV} em V_{OUT} e obtemos

$$V_{OUT} = \frac{1}{2} \left((V_{th2} - V_{th1}) + \left(\sqrt{\frac{2I_{D1}}{\beta}} - \sqrt{\frac{2I_{D2}}{\beta}} \right) + V_{IN} + V_{AUX} \right) \quad (28)$$

Mostrando que o circuito se torna independente das tensões de *threshold* dos transistores, aumentando sua capacidade de conversão em tensão CC.

2.6.3 Antenas de RF

Antenas de radiofrequência são utilizadas para captar sinais na banda de 10^4 a 10^{11} Hertz. Estas antenas podem ser sintonizadas em frequências específicas, ou em bandas mais abertas, dependendo da aplicação e do projeto. Certamente é importante salientar que o ganho de uma antena é inversamente proporcional a sua largura de banda, ou seja, quanto mais estreita for a banda, maior o ganho dado pela antena. Isso é útil, em aplicações como *energy harvesting*, quando analisa-se a aplicação, ou seja, quando se pretende emitir um sinal para alimentar os circuitos em um ambiente, é interessante que este sinal seja emitido em uma única frequência para que o ganho seja máximo nas antenas sintonizadas dos receptores. Ou, em caso de coleta de energia em ambientes cujo gerador não é local, ou em casos de *energy scavenging*, antenas de banda mais aberta são mais úteis, pois são capazes de adquirir energia de diferentes fontes geradoras de RF.

Em termos numéricos, a potência disponibilizada por uma antena irá depender da densidade de energia e da abertura efetiva da antena, A_e . Sendo a equação que descreve esta potência dada por:

$$P_{AV} = S \cdot A_e = S \cdot \frac{\lambda_{RF}^2}{4 \cdot \pi} \cdot G_r = P_{EIRP} \cdot G_r \frac{\lambda_{RF}^2}{(4 \cdot \pi \cdot d)^2} \quad (29)$$

Onde

$$A_e = \frac{\lambda_{RF}^2 G_r}{4\pi}, \quad (24)$$

G_r é o ganho da antena e λ_{RF} é o comprimento de onda.

Como é possível notar, quanto maior a frequência, menor é o *range* de potência. “As formas e dimensões das antenas variam amplamente, e vários projetos distintos de antenas têm sido empregados em aplicações de *RF Energy Harvesting* e identificação por radiofrequência (RFID)” (PENELLA-LÓPEZ; GASULLA-FORNER, 2011, tradução nossa²³).

Os receptores de baixa frequência usam acoplamentos capacitivo ou indutivo para obter potência para alimentar o circuito integrado. Nessas frequências, o comprimento de onda acaba sendo muito grande quando comparado a aplicações de alimentação a curtas distâncias. Nestes casos, o campo estaria na região chamada

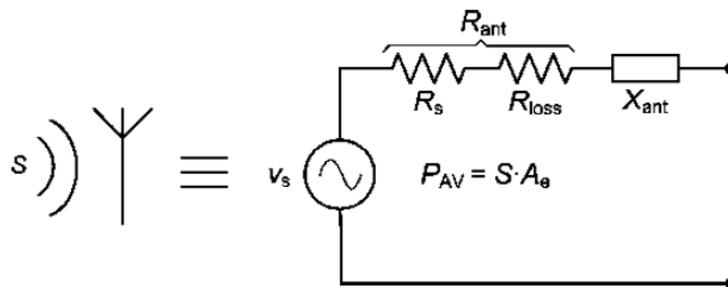
²³ *Antenna shapes and dimensions vary widely, and several distinct antenna designs have been employed in RF harvesting and radiofrequency identification (RFID) applications.*

de *near field* (campo próximo) e poderia estar acoplado indutiva ou capacitivamente com a antena. Nessa região, a intensidade de campo decai 60 dB por década de distância. Neste trabalho, a proposta é utilizar as frequências disponíveis no ambiente, ou seja, a antena utilizada no circuito deverá atuar na região de *far field* (campo distante).

Distâncias além de $\lambda/2\pi$ são consideradas como a região de campo distante, onde a onda eletromagnética não pode retroagir sobre a antena que a gerou. No entanto, a energia irradiada por RF ainda pode ser colhida, usando uma estrutura ressonante apropriada (antena). Na região do campo distante, a intensidade do campo é atenuada em 20 dB por década de distância, ou $1/d$, conforme Penella-López e Gasulla-Forner (2011).

Uma antena pode ser representada como uma fonte de corrente alternada em série com uma impedância. Onde a impedância é composta por uma resistência de perda, uma resistência de radiação e uma parte reativa. Em baixas frequências a resistência das perdas é muito baixa e não considerada no projeto, porém em altas frequências, devido ao efeito *skin*, onde a carga passa a se movimentar na periferia do condutor, as perdas começam a se tornar significantes e devem ser consideradas no projeto. A Figura 17 apresenta o modelo elétrico de uma antena receptora em que S é a fonte geradora de potência e X_{ant} , dependendo do tipo de antena, pode ser indutivo ou capacitivo.

Figura 17 - Modelo equivalente de uma antena de RF



Fonte: Penella-López e Gasulla-Forner (2011, p. 127).

A amplitude da tensão gerada pela antena quando em sintonia com o sinal gerado cresce de acordo com a potência disponível e a resistência da antena, o que é bom para aumentar o nível de tensão e reduzir as perdas do retificador. A tensão gerada é dada pela expressão $\hat{v}_s = 2\sqrt{2R_s P_{AV}}$.

Esta relação se torna útil quando é necessário aumentar o nível de tensão do sistema, mas não é possível modificar a potência emitida pelo irradiador. Nesse caso, arranjos de antenas podem ser utilizados para aumentar a resistência da mesma e, conseqüentemente, a tensão gerada.

“O fator de qualidade (Q) de uma rede casada é a razão entre a frequência de ressonância (f_r) e a largura de banda do circuito em -3 dB (BW); assim, quanto maior o Q, menor a BW. Se BW for muito estreita, um pequeno desvio em f_r causará uma queda de energia expressiva na entrada do retificador; portanto, a BW deve ser mantida suficientemente alta. O circuito com a rede de correspondência do indutor de derivação é um circuito paralelo RLC com uma resistência que é a associação paralela de R_s e R_{in} ($R_p = R_s \parallel R_{in}$)” (PENELLA-LÓPEZ; GASULLA-FÖRNER, 2011, tradução nossa²⁴).

O fator de qualidade pode ser modelado através da equação:

$$Q = \frac{f_r}{BW} = R_p C_{in} \omega_r = \frac{R_p}{\omega_r L_s} \quad (30)$$

Através desta equação, é possível modelar o circuito de entrada para que tenha um casamento de impedâncias adequado para a largura de banda e frequências de interesse. A rede LC consegue incrementar a tensão da antena quando bem sintonizada, o que se torna bastante útil quando se tem uma baixa potência disponível ou quando não se consegue aumentar a tensão de saída da antena aumentando a impedância da mesma. Nesse caso, é possível modelar a rede através das equações seguintes, onde é possível perceber uma dependência de L_m de C_{in} , o que não acontece em C_m .

$$C_m = \frac{1}{R_s \omega_r} \sqrt{\frac{R_s}{R_{in} - R_s}} \quad (31)$$

$$L_m = \frac{R_{in}}{\omega_r} \frac{1}{R_{in} C_{in} \omega_r + \sqrt{\frac{R_{in} - R_s}{R_s}}} \quad (32)$$

Através dessas equações, é possível obter uma relação entre V_{in} e V_s na ressonância.

$$H(\omega_r) = \frac{v_{in}(\omega_r)}{v_s(\omega_r)} = \frac{1}{2} \sqrt{\frac{R_{in}}{R_s}} \quad (33)$$

²⁴ The quality factor (Q) of a matching network is the ratio of the resonance frequency (f_r) to the circuit bandwidth at -3 dB (BW); thus, the higher the Q, the smaller BW. If BW is too narrow, a small deviation in f_r will cause a massive power drop at the rectifier input; therefore, BW should be kept sufficiently high. The circuit with the shunt inductor matching network is an RLC parallel circuit with a resistance that is the parallel association of R_s and R_{in} ($R_p = R_s \parallel R_{in}$)

Onde Q pode ser escrito também como:

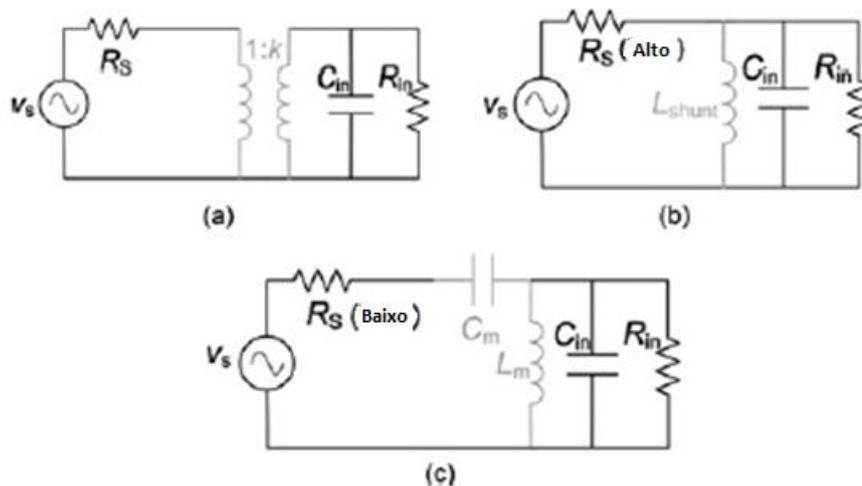
$$Q = \frac{1}{2} \left[R_{in} C_{in} \omega_r + \sqrt{\frac{R_{in} - R_S}{R_S}} \right] \quad (34)$$

2.6.4 Casamento de impedâncias

Para ter um rendimento ótimo, é necessário que haja casamento entre as impedâncias da antena e do circuito ao qual ela está conectada, ou seja, “[...] quando a antena enxerga em seus terminais de saída uma impedância que seja o conjugado de sua própria impedância: $Z_{ant} = R_S - jX_{ant}$ ” (PENELLA-LÓPEZ; GASULLA-FORNER, 2011, tradução nossa²⁵). A Figura 18 mostra alguns circuitos comumente utilizados para fazer este casamento de impedâncias.

Em (a), pode-se observar um circuito de transformador, utilizado para valores intermediários de R_S ; em (b) um indutor shunt para altos valores de R_S e em (c) uma rede LC para baixos valores de R_S .

Figura 18 - Circuitos de casamento de impedâncias típicos utilizados em RFEH



Fonte: Penella-López e Gasulla-Forner (2011, p. 128).

²⁵ [...] the antenna sees at its output an impedance that is the conjugate of its own impedance:
 $Z_{ant} = R_S - jX_{ant}$

2.7 TRABALHOS CORRELATOS

Para fins de comparação e validação deste trabalho, utilizou-se algumas referências de trabalhos similares ou com mesmo tema. Os trabalhos citados a seguir fazem uso de topologias estudadas neste trabalho, com exceção do trabalho de Wang et al. (2008), que utiliza uma topologia baseada em diodos Schottky, que tem um custo de implementação mais elevado, porém são capazes de trabalhar em frequências muito mais elevadas. A Tabela 2 apresenta uma comparação dos resultados obtidos por cada autor.

Tabela 2 - Trabalhos correlatos

	You et al. (2011)	Dai et al. (2015)	Chouhan e Halonen (2013)	Mansano, (2016)	Wang et al. (2008)	Udupa, Sushma e Chaithra (2018)
Topologia	CC-CPR	CC-CPR Modificado	CC-CPR Modificado	OS-CPR	Schottky Diode	OS-CPR
Tecnologia CMOS	130 nm	65 nm	180 nm	180 nm	130 nm	180 nm
Tensão V_{out}	2,05 V	2,1 V	5,5 V	1,25 V	1,92 V	1,3 V
Carga (R_L)	1 M Ω	100 k Ω	100 k Ω	100 k Ω	100 k Ω	100 k Ω
PCE	17,8 % ²	65 % ¹	Omitido	19 % ²	37 %	33,72 %
Frequência	900 MHz	900 MHz	915 MHz	13,56 MHz	10 GHz	13,56 MHz
P_{AV}(dBm)	-6	-6	-1	-13	-10	-13

¹Eficiência de conversão de potência calculada apenas para o retificador de tensão.

²Resultado medido no circuito implementado

Fonte: Elaborada pelo autor.

Como é possível notar, os trabalhos que fizeram uso de topologias de conexão cruzada apresentam maior rendimento e maiores tensões de saída em relação às demais apresentadas. Os circuitos com menor eficiência, por exemplo, são os que foram implementados fisicamente. Este fato indica que a eficiência cai sensivelmente quando o circuito é implementado, ou seja, no projeto é necessário obter a maior eficiência de conversão possível para que na implementação o circuito funcione

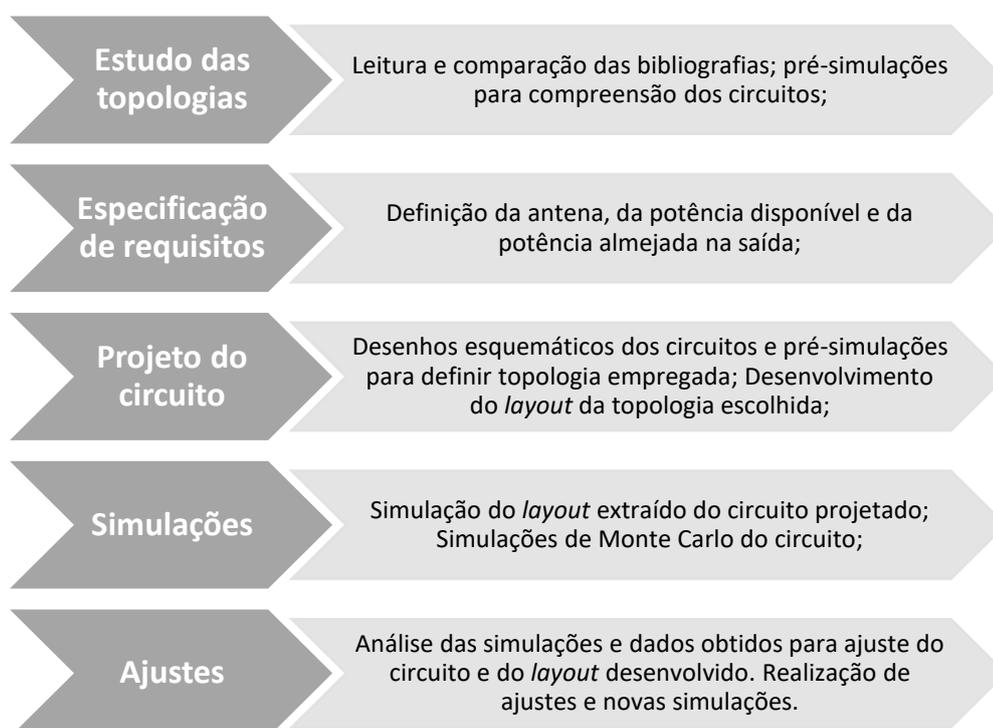
corretamente. A definição da topologia utilizada neste trabalho será apresentada nos próximos capítulos levando em consideração os resultados apresentados na Tabela 2.

3 METODOLOGIA

Existem diferentes metodologias de desenvolvimento de circuitos integrados analógicos. Estas metodologias geralmente são utilizadas em conjunto para aliar suas vantagens e reduzir suas limitações. Geralmente o projetista, ou a equipe de projetistas, parte de especificações de projeto que devem ser alcançadas pelo produto final. Com isto em mente, calcula-se o melhor desempenho e consumo que se pode obter com as topologias conhecidas e, se necessário, propõe-se novas topologias.

Quando se trata de integração de circuitos em escalas submicrométricas, alguns modelos matemáticos aplicados aos circuitos passam a não se comportar com tanta exatidão quanto se necessita para que o circuito funcione conforme o planejado. Com isto, após cálculos preliminares de dimensionamento, são realizadas otimizações dos parâmetros calculados através de simulações dos circuitos. Estas simulações são feitas através de varreduras de parâmetros, incluindo componentes parasitas que, geralmente, não são considerados nos cálculos, pois dependem da geometria do *layout* implementado. A Figura 19 apresenta o fluxo metodológico simplificado que se utilizou no desenvolvimento deste projeto. As etapas são descritas detalhadamente na sequência.

Figura 19 - Metodologia de projeto aplicada a este trabalho



Fonte: Elaborada pelo autor.

Após uma comparação entre as topologias estudadas, selecionou-se algumas para serem previamente simuladas nos parâmetros definidos para este trabalho. O circuito com melhor desempenho, ou seja, com maior entrega de potência na saída, foi escolhido para o desenvolvimento do *layout* do CI. Os resultados dessas simulações são apresentados no capítulo seguinte.

3.1 ESTUDO DAS TOPOLOGIAS

Com base nas referências bibliográficas apresentadas neste trabalho, foram definidas as topologias dos circuitos implementados. Fundamentalmente, o sistema necessita de uma fonte de energia, ou seja, uma antena de RF, um *booster* de tensão e um retificador de tensão. A antena não faz parte do escopo do projeto, mas as especificações de potência fornecida pela mesma precisaram ser consideradas para se ter a referência de quanta potência é possível captar. Além disso, uma rede de elevação de tensão (*booster*) foi necessária para levar o nível de tensão à um patamar que pode ser utilizado por um circuito eletrônico CMOS. Conforme a Tabela 1, um circuito em tecnologia CMOS 180 nm, por exemplo, necessita apenas 1,8 V para conseguir operar seus transistores. Algumas tecnologias de 180 nm já conseguem operar em níveis de tensão inferiores a este, como 1,2 V. O outro elemento utilizado no projeto é um retificador de RF, que é a parte mais importante do trabalho, pois é o elemento que tem menor eficiência de conversão de potência no sistema, conforme Chouhan e Halonen (2013), o que é um importante aspecto avaliado durante a definição da topologia empregada.

3.2 DIMENSIONAMENTO

O dimensionamento do sistema visa extrair o máximo possível de potência da antena e convertê-la em um nível de tensão suficiente para alimentar, por exemplo, sensores utilizados em IoT. A antena, mesmo não fazendo parte do circuito é importante pois é ela que fornece a energia necessária para o circuito funcionar. Para tal, foram realizadas simulações com diferentes níveis de potência de entrada nos circuitos analisados. Estas avaliações estão descritas no Capítulo 4. A banda de trabalho, foi inicialmente projetada para operar na frequência de *down-link* da principal operadora de telefonia do País, porém, as topologias utilizadas são mais facilmente

escaláveis para aplicações em frequências ISM abaixo da faixa de GHz, conforme Mansano, Bagga e Serdijn (2013). A nova frequência, então, foi definida dentro da segunda faixa ISM do espectro de frequências disponíveis: 13,563 MHz, pois em menor frequência tem-se menos incidência de sinais parasitas. Com esta definição, o circuito deixou de ser um circuito de *energy scavenging* e passou a ser um *energy harvester*.

Para definição dos parâmetros construtivos do circuito, foram feitas algumas varreduras de parâmetros para otimização do circuito. A mais importante delas, foi a varredura de tamanhos de W nos transistores utilizados, pois estes são os responsáveis diretos pela conversão de energia no sistema. Além disso, para sintonização da VBN, fez-se uma varredura nos valores dos capacitores que a compõem, chegando-se ao máximo ganho de tensão possível para este circuito. Com os tamanhos definidos, variou-se a potência fornecida pela antena para simular diferentes distanciamentos do circuito da fonte geradora de RF, bem como a variação na carga acoplada para se verificar o comportamento do circuito frente a diferentes demandas de energia.

3.3 PROJETO

O projeto do circuito iniciou com simulações básicas de funcionamento no software LTSpice XVII, onde o comportamento ideal dos circuitos foi verificado e as topologias estudadas. Na sequência foi adicionado um modelo de simulação SPICE mais realístico dos transistores CMOS (CMOS_180 SPICE3f5 Level 8). Algumas simulações de quantidade de estágios, potência de entrada e variação de topologias foram realizadas. Em um segundo momento, o projeto foi transferido para o ambiente de desenvolvimento Cadence® Virtuoso® utilizando uma tecnologia CMOS de 180 nm genérica (GPDK180), ou seja, o projeto foi desenvolvido apenas com fins de pesquisa, não podendo ser utilizado para fabricação, pois, este PDK (*Process Development Kit* – Conjunto de desenvolvimento de processo), não utiliza regras reais de projeto. O projeto foi desenvolvido de acordo com o resultado das simulações, pois como as topologias utilizadas não possuem tão vasta bibliografia disponível, algumas interpretações esquemáticas foram esclarecidas de forma empírica e o comportamento de circuitos propostos por alguns autores foram testados com a finalidade de verificar sua operabilidade neste trabalho.

O projeto foi então realizado de forma iterativa, pois a cada ajuste no retificador, a VBN necessitava de ajustes finos para manter o circuito no estado ótimo de funcionamento. Após o desenho esquemático de cada circuito, foram feitas simulações para verificar o resultado esperado. Após a simulação do circuito esquemático, o *layout* de cada circuito foi criado de acordo com as regras de *design* e um modelo extraído contendo os parasitas de resistências e capacitâncias. Com estes modelos extraídos, fez-se as simulações de funcionamento do circuito implementado.

3.4 SIMULAÇÃO

Durante e após o desenvolvimento dos circuitos e dos subcircuitos foram feitas simulações de funcionamento para verificar se o projeto de fato apresentou um comportamento de acordo com o desejado. Primeiramente, em um simulador SPICE, com parâmetros de projeto simplificados e, posteriormente, no Cadence® Virtuoso® com parâmetros de simulação próximos aos parâmetros reais de operação dos componentes no substrato. As simulações mais simples, em SPICE, foram utilizadas durante o estudo das topologias do projeto para obter valores necessários para desenvolver os subcircuitos adjacentes, como o *booster* de tensão, por exemplo. Para simulações em Spectre®, utilizou-se a revisão 3.3 do PDK genérico de 180 nm da Cadence®.

Spectre® é uma linguagem de simulação virtual focado em circuitos eletrônicos, similar ao SPICE, que usa métodos diretos para simular circuitos integrados digitais e analógicos. Este tipo de simulador é similar em funcionamento aos simuladores SPICE, porém não é derivado deles, apesar de usarem os mesmos algoritmos básicos, como métodos de integração implícita, Newton-Raphson e solução por matriz direta (CADENCE DESIGN SYSTEMS, 2014).

Os circuitos foram extraídos dos *layouts* desenvolvidos e foram feitas simulações com a utilização da ferramenta Virtuoso® para diferentes *layouts*, procurando encontrar o que possibilitasse a maior tensão de saída, maior eficiência de conversão de potência e menor variabilidade por processo e *mismatch* de componentes. Para verificar estas variações na saída, foram feitas simulações em *corners* de temperatura e de modelos de operação de transistores, utilizando-se modelos rápidos, lentos e convencionais, além de verificar o comportamento dos

mesmos à temperatura ambiente, a -40°C e a 70°C . Outra análise realizada foi a de Monte Carlo, a qual apresenta a distribuição estatística dos valores de saída do circuito para variações causadas por processo de fabricação e/ou *mismatch*.

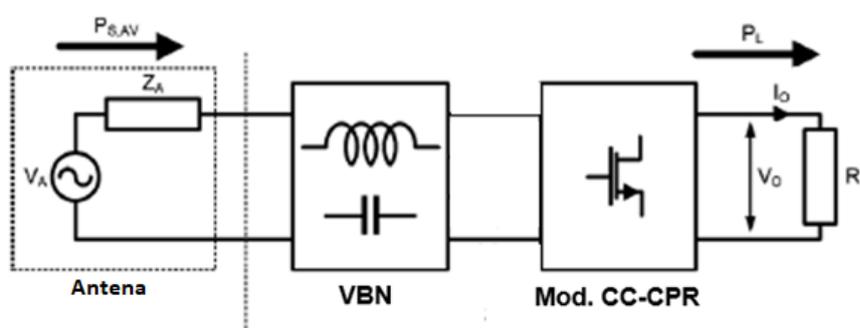
3.5 AJUSTES DO CIRCUITO

Após o fim das simulações e desenho do *layout* do circuito, as simulações de funcionamento do circuito extraído foram realizadas. Através destas simulações foi possível identificar fragilidades do projeto e alguns ajustes necessitaram ser realizados. Nesta etapa, o circuito foi redesenhado, tendo seus componentes redimensionados para melhorar a performance. Novos esquemáticos e *layouts* foram desenvolvidos e as simulações dos circuitos extraídos foram refeitos. Isso possibilitou a melhoria do circuito e correção de pequenos problemas de desenho do CI, reduzindo as variações casadas por *mismatch*, por exemplo. Através de análises de Monte Carlo, foi possível verificar a variabilidade da resposta do circuito quanto a variações de processo e de *mismatch*. Através delas os circuitos foram otimizados até se conseguir a menor variação estatística possível na saída.

4 DESENVOLVIMENTO

Discutida a metodologia de implementação deste trabalho, agora é possível descrever sua concepção de forma detalhada. Nos subcapítulos seguintes serão abordados as principais etapas e aspectos observados durante a elaboração do mesmo. A Figura 20 apresenta um modelo de blocos do circuito desenvolvido. A etapa da antena é externa ao circuito e não foi projetada, apenas especificada. A carga utilizada para os testes foi de 100 k Ω , como utilizada por Mansano (2016) e Udupa, Sushma e Chaithra (2018).

Figura 20 - Modelo do circuito proposto



Fonte: adaptado de Mansano (2016).

Como a antena não faz parte desse projeto, a mesma necessitou apenas ser especificada e, utilizando os trabalhos de Mansano (2016) e Udupa, Sushma e Chaithra (2018) como referência, definiu-se uma antena bipolar de 12 Ω com indutância intrínseca de 9 μH , pois este é um dos trabalhos que serviram de comparação no final deste capítulo, então utilizar este componente em comum se torna um ponto de partida válido.

4.1 ESTIMATIVA DE POTÊNCIA COLETADA E DEFINIÇÕES DA ANTENA

Para dar início ao projeto do circuito, primeiramente foi necessário estimar a potência que uma antena de rádio pode captar de uma antena de rede celular. Primeiramente, foi definida por conveniência a banda de interesse entre 1805 MHz e 2690 MHz, pois esta faixa contempla as bandas de *Down-link* (ERB \rightarrow Aparelho móvel) nas redes de telefonia móvel, 3G e 4G das principais operadoras do País. O uso de retificadores baseados em diodos Schottky ou de transistores com V_{TH} nulo são mais eficientes, conforme Chouhan e Halonen (2013), porém o custo de

implementação é mais elevado e inviável para aplicações de baixo custo. Por estes motivos, selecionou-se uma frequência mais baixa na faixa ISM de 14 kHz centrada em 13,563 MHz, onde os problemas de velocidade de chaveamento não são significativos para estas topologias. Além disso, como a antena escolhida para este trabalho partiu do trabalho de Mansano (2016), optou-se por manter a mesma banda de interesse para fins de comparação no fim do projeto.

Como a potência obtida pela antena receptora depende muito da própria antena, da distância dela em relação à fonte geradora de RF e de outras condições do meio de transmissão, resolveu-se utilizar um *range* de potência na entrada, simulando diferentes condições de posicionamento e construção da antena utilizada. Como não possível fixar a magnitude do sinal captado para todos os circuitos e antenas implementados em um projeto de IoT autônomo, por exemplo, fez-se uma simulação utilizando uma variação de -21 dBm até 0 dBm. Caso a potência encontrada em -21 dBm fosse suficiente para alimentar circuitos de IoT, o *range* da simulação seria aumentado até um valor inferior, para que fosse possível conhecer a sensibilidade máxima do circuito.

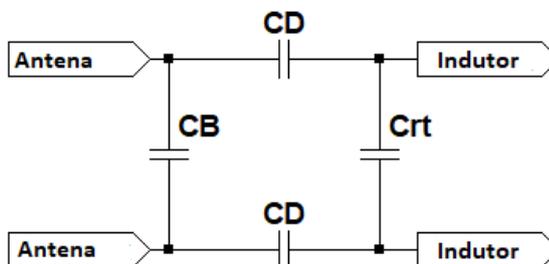
4.2 DESENVOLVIMENTO DA VBN

Antes de encontrar o conversor RF-CC ideal para o projeto, é necessário especificar a VBN a ser utilizada. O circuito da rede de elevação de tensão selecionado para este trabalho utiliza a mesma topologia apresentada por Mansano (2016), porém para otimizar o funcionamento da rede, realizou-se algumas varreduras pelos valores dos capacitores, restringindo a cada simulação os valores de cada capacitor na varredura. Estas simulações apresentaram algumas combinações de valores possíveis para a rede, porém a combinação que obteve a maior amplificação de tensão apresentava a seguinte configuração: $C_B=250$ fF, $C_D=55$ pF e $C_{R,T}=25$ pF. A rede dimensionada foi capaz (em simulação esquemática) de elevar a tensão de $27,5$ mV_{pico} para $2,9$ V_{pico}. Dessa forma, utiliza-se a equação 21. para chegar à capacitância total equivalente de $13,34$ pF, pouco abaixo dos $13,63$ pF da VBN proposta por Mansano (2016).

O desempenho da VBN está diretamente ligado à sintonia dos capacitores com a carga e a impedância do circuito retificador. De forma iterativa, a rede teve de ser ajustada utilizando o método citado para cada variação de quantidade de estágios, de

topologias e tamanho de transistores de cada topologia de retificadores citados na seção seguinte.

Figura 21 - Rede de elevação de tensão



Fonte: Elaborado pelo autor.

Primeiramente, utilizou-se a rede proposta por Mansano (2016) como foi apresentada em seu trabalho para a simulação das topologias de retificadores apresentadas na sequência neste trabalho. Com a definição do retificador mais eficaz e mais eficiente, passou-se para a otimização da VBN. Esta otimização deu-se através da simulação do comportamento da rede através de uma varredura de valores dos capacitores, como já mencionado. O indutor presente na VBN é utilizado apenas para eliminar qualquer sinal DC presente e é externo ao circuito integrado, pois necessitava de valores muito grandes, não sendo factível a implementação em CI. Realizou-se, inicialmente, uma varredura ampla nos valores dos capacitores, começando em 100fF até 100pF para os quatro capacitores. Disto, observou-se a tendência de sintonia do circuito para algumas faixas de valores específicas para cada capacitor. Uma nova varredura foi ajustada para cada capacitor, onde o capacitor C_B foi ajustado para a faixa de femtofaradays, os capacitores C_D para a faixa de dezenas de picofaradays, assim como o capacitor $C_{R,T}$. Com as novas faixas definidas, foram feitas mais 3 varreduras cada vez mais restritas para encontrar os valores mais otimizados para os capacitores.

4.3 DESENVOLVIMENTO DO RETIFICADOR DE TENSÃO

O retificador de tensão é a parte mais importante e mais complexa do projeto, pois é o elemento que vai possibilitar o fornecimento de energia para os circuitos autônomos, além de ser o elemento no *harvester* que possui transistores. Este elemento possui inúmeras topologias possíveis, porém, conforme comparações entre

os autores citados neste trabalho foram definidos alguns circuitos de interesse que serão mencionados neste trabalho.

Para se ter ideia de quanta energia pode-se obter com o circuito mais simples de retificação, utilizou-se a ponte de diodos para referência. Para obtenção do melhor resultado possível para este circuito, fez-se uma varredura nos parâmetros construtivos do mesmo.

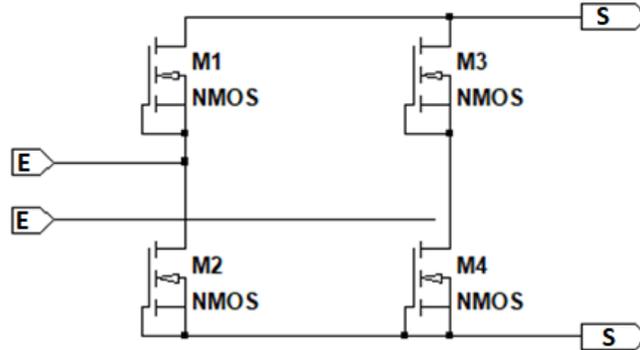
O circuito proposto por Chouhan e Halonen (2013), foi escolhido, *à priori*, como topologia a ser implementada por ter um G_v 50 % maior que um *Cross-Coupled* convencional, alcançando níveis de tensão CC mais altos que outros tipos de conversores RF-CC, ocupando uma área apenas 20% maior, para um circuito de cinco estágios, como proposto pelos autores. Além disso, conforme Dai et al. (2015), o retificador CC-CPR apresenta um rendimento superior às demais topologias citadas, como o OS-CPR, ou o conversor Dickson. Outras topologias de retificadores multiplicadores foram simuladas para confirmar que as vantagens do CC-CPR modificado seriam observadas também no circuito apresentado neste trabalho. Um *Orthogonally Switching Charge Pump Rectifier* (OS-CPR), um *Cross-Coupled Charge Pump Rectifier* (CC-CPR) e um *Modified Cross-Coupled Charge Pump Rectifier* (*Modified* CC-CPR) foram simulados para verificação de desempenho. Como esperado, o *Cross-Coupled* modificado obteve um melhor desempenho, confirmando a opção inicial de uso do mesmo.

Os resultados para cada circuito são apresentados na sequência. O principal motivo de o CC-CPR modificado ter um desempenho melhor que os demais são os transistores PMOS configurados como diodos que trabalham junto aos outros transistores PMOS, fazendo com que o efeito de V_{TH} seja suprimido, conforme Chouhan e Halonen (2013) propõem em seu trabalho.

4.3.1 Retificador em ponte de diodos

Um retificador simples em ponte de diodos (transistores NMOS configurados como diodos) foi utilizado como referência, para se averiguar o quanto a VBN era capaz de elevar a tensão. O circuito utilizado pode ser observado na Figura 22.

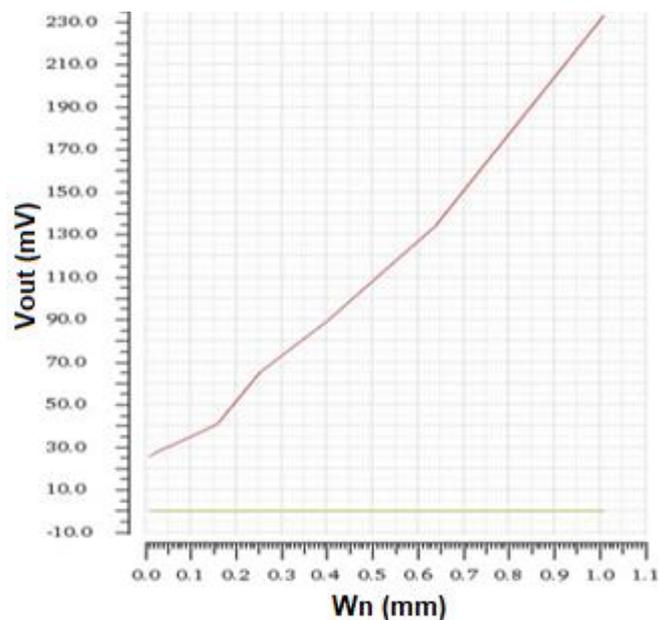
Figura 22 - Circuito retificador em ponte de diodos com NMOS



Fonte: Elaborada pelo autor.

O circuito de controle proposto (Figura 22), composto por uma ponte retificadora de diodos implementados a partir de transistores NMOS gerou na saída tensões CC de acordo com o Gráfico 1, onde o tamanho de W nos transistores foi variado de $10\ \mu\text{m}$ até $1,01\ \text{mm}$. Cabe como observação, mencionar que o *bulk* dos transistores são conectados ao terra no PDK utilizado no projeto, pois estes transistores não tem poços isolados e, uma ligação como esta, poderia gerar correntes de fuga pelo substrato, além de não se enquadrar nas regras de projeto.

Gráfico 1 - Saída em mV do retificador de controle em função da variação do W dos transistores NMOS



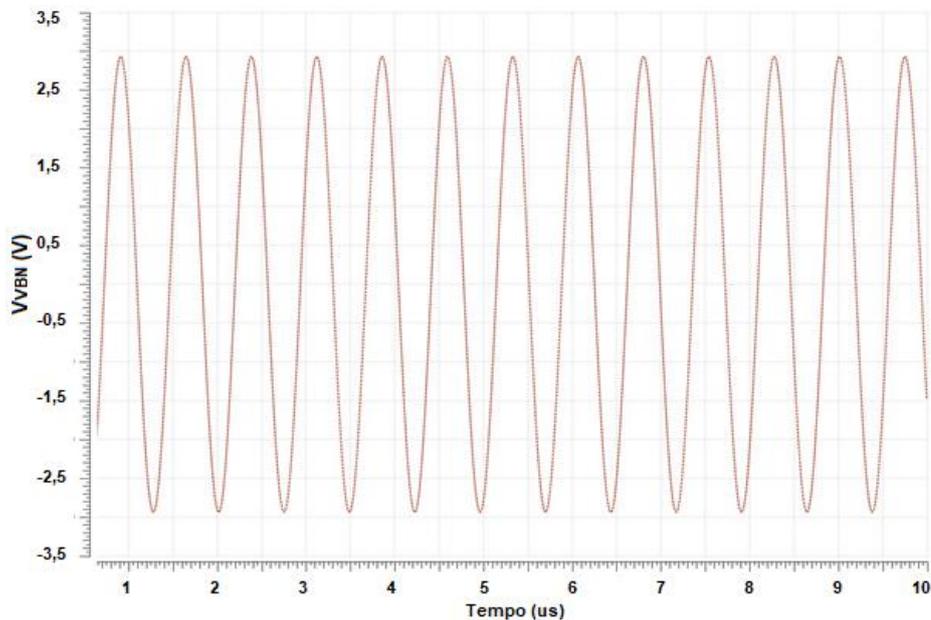
Fonte: Elaborado pelo autor.

Como é possível notar, quanto maior o transistor, mais carga o retificador é capaz de converter em corrente contínua, porém, as perdas por desempenho deste

sistema são consideráveis, visto que a rede de elevação de tensão fornece quase três volts de pico na entrada do retificador, conforme observamos no Gráfico 2, enquanto este circuito entrega uma tensão em corrente contínua de 230 mV para transistores com $W = 1$ mm.

Para aumentar o rendimento dos transistores, o tamanho deles precisaria ser aumentado significativamente, ocupando muita área do circuito integrado, limitando a viabilidade de aplicação do projeto e, mesmo assim, mantendo perdas consideráveis na conversão.

Gráfico 2 - Tensão na VBN para uma entrada de -12 dBm



Fonte: Elaborado pelo autor.

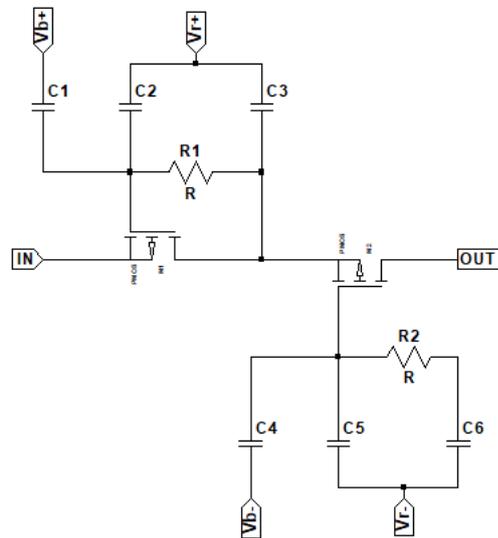
Para mitigar essas perdas, circuitos mais sofisticados são utilizados em aplicações de *energy harvesting*, como as apresentadas nas seções seguintes.

4.3.2 Orthogonally Switching Charge Pump Rectifier

Este circuito, utilizado por Mansano (2016) e por Udupa, Sushma e Chaithra (2018), foi simulado para conseguir calibrar os demais circuitos de acordo com um parâmetro conhecidamente funcional, ou seja, como este circuito foi simulado e implementado nos dois trabalhos citados, o mesmo foi reproduzido fielmente ao descrito nos respectivos trabalhos, onde resultados próximos aos obtidos pelos autores foram encontrados. Na sequência, o circuito foi calibrado para os parâmetros

da VBN utilizada neste trabalho. O circuito apresentado na Figura 23 foi modificado de acordo com os resultados de tensão de saída para simulações com variação na quantidade de estágios de retificação.

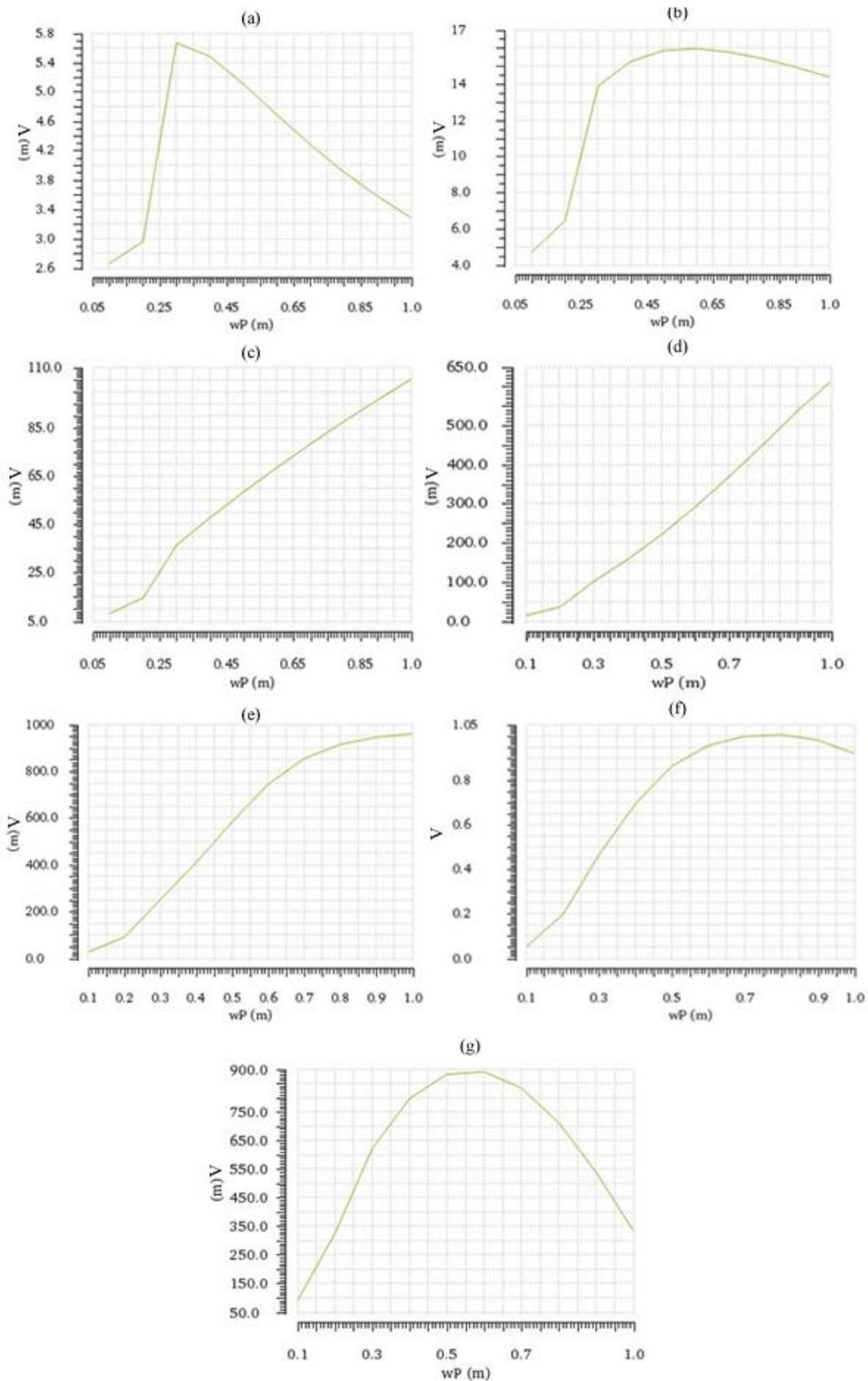
Figura 23 - *Orthogonal Switching Charge Pump Rectifier*



Fonte: Elaborado pelo autor.

Os transistores utilizados para estas simulações tiveram tamanhos de W variados entre $10\ \mu\text{m}$ e $1,01\ \text{mm}$, onde foi possível observar que o tamanho ideal dos transistores varia de acordo com a quantidade de estágios utilizada. Com isto, foi possível notar que quanto mais estágios foram usados na simulação, maiores ficaram os transistores, porém o máximo de tensão de saída obtido foi de $1\ \text{V}$ com um W de $800\ \mu\text{m}$ e 6 estágios. Para mais de 6 estágios o rendimento de cada estágio cai a ponto de fazer com que a tensão de saída seja inferior a tensão obtida com 6 estágios. Vale ressaltar que estes dados foram obtidos através de simulação esquemática em $13,563\ \text{MHz}$, com uma carga resistiva de $100\ \text{k}\Omega$ e uma carga capacitiva de $10\ \text{pF}$, conforme cargas utilizadas por Chouhan e Halonen (2013). O Gráfico 3 apresenta a saída em tensão para retificadores com um estágio até retificadores com sete estágios, variando o tamanho dos transistores em cada um deles para uma carga de $100\ \text{k}\Omega$.

Gráfico 3 - Saída do OS-CPR em função de W dos transistores. (a) 1 estágio; (b) 2 estágios; (c) 3 estágios; (d) 4 estágios; (e) 5 estágios; (f) 6 estágios; (g) 7 estágios



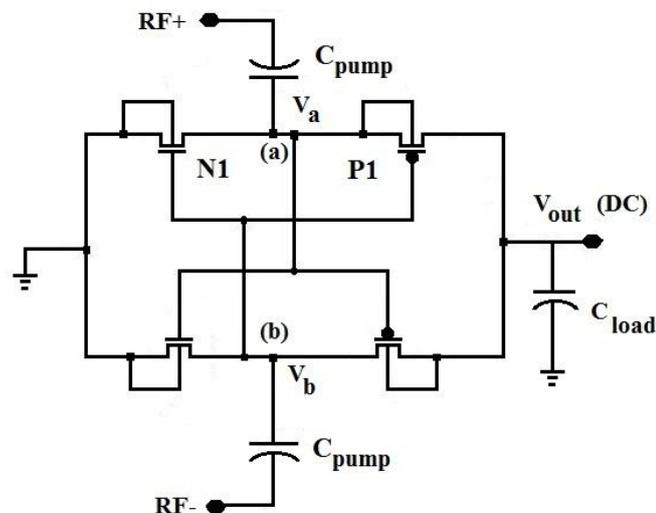
Fonte: Elaborado pelo autor.

Como se pode observar, a capacidade de multiplicação de tensão deste circuito é limitada pela tecnologia empregada, pelo tamanho e formato dos transistores, pelas perdas por parasitas, entre outros fatores desconhecidos. Dessa forma, como este circuito não foi capaz de alcançar o mínimo nível de tensão de saída desejado para este sistema em simulações esquemáticas, ele não foi implementado em *layout*, pois a tendência é o aumento dos efeitos parasitas e variáveis que reduziram ainda mais a tensão de saída do circuito.

4.3.3 Cross-Coupled Charge Pump Rectifier

Este retificador (Figura 24) em tese, deve apresentar um resultado superior ao OS-CPR, pois, como já dito, é menos suscetível ao efeito de V_{TH} por conta de sua topologia de acoplamento cruzado de portas.

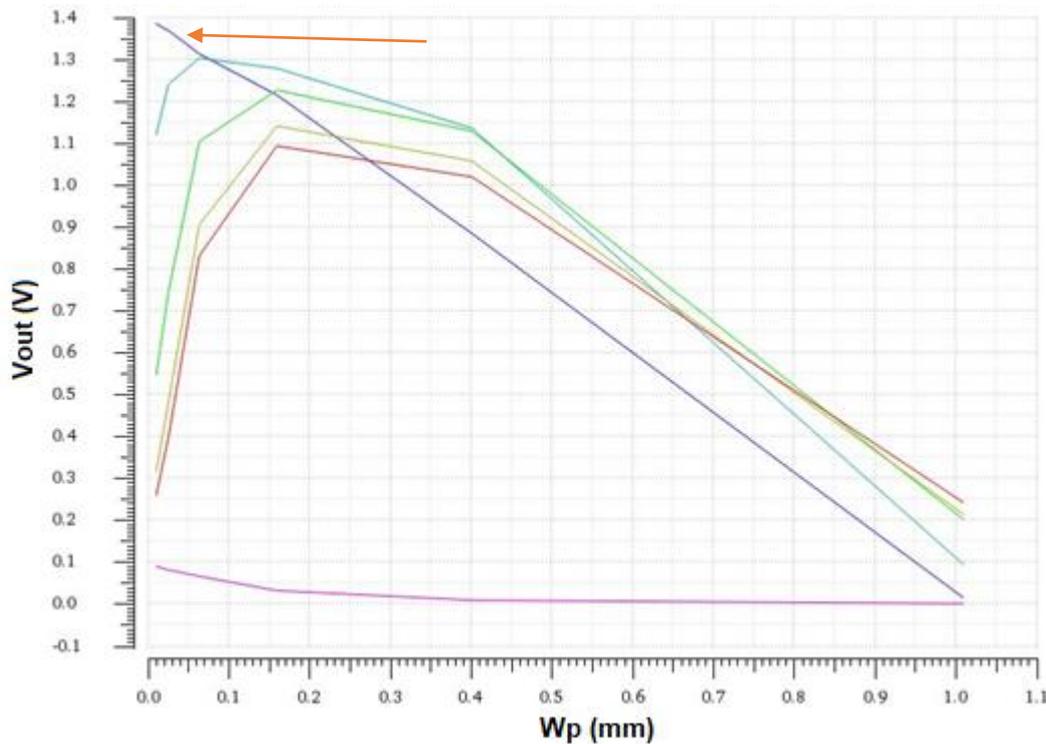
Figura 24 - Cross-Coupled Rectifier



Fonte: Chouhan e Halonen (2013, p. 1).

As mesmas variações aplicadas ao OS-CPR foram aplicadas ao CC-CPR, porém, como este circuito possui, além dos transistores PMOS, também os NMOS, as varreduras foram multiplicadas, visto que a variação do tamanho dos transistores também foram aplicadas aos NMOS. Com isso obteve-se uma gama de curvas para cada simulação. Para não se tornar exaustiva a leitura, será apresentado apenas o resultado para a varredura de três estágios do CC-CPR, que obteve o maior nível de tensão na saída do retificador, com cerca de 1,3 V, como pode ser observado no Gráfico 4 para uma carga de 100 kΩ.

Gráfico 4 - Varredura do tamanhos de W para os transistores CMOS do CC-CPR



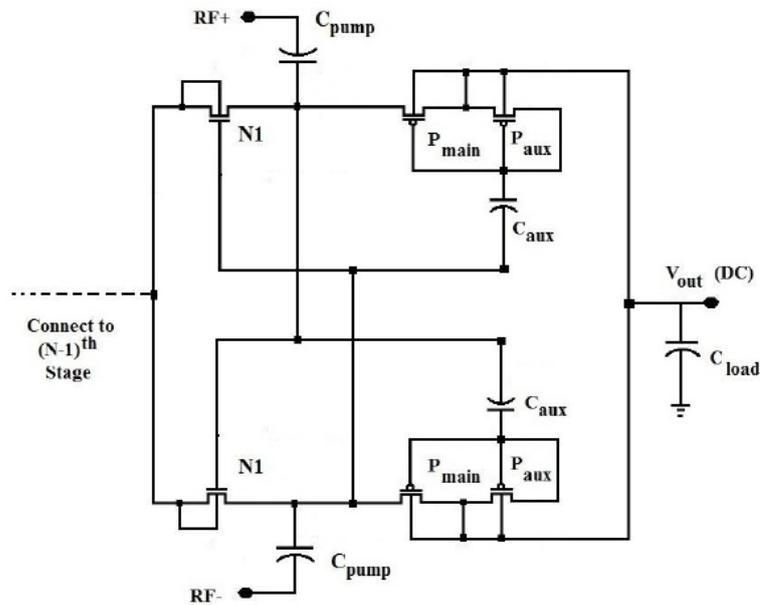
Fonte: Elaborado pelo autor.

A curva indicada no Gráfico 4 corresponde a um par CMOS cujo transistor canal-p possui $W = 10 \mu\text{m}$ e o transistor canal-n tem $W = 1,01 \text{ mm}$, ou seja, transistores muito desproporcionais entre si. Esta topologia já atenderia o mínimo de tensão que se esperava obter na saída (cerca de 1,2 V), porém, como se espera que o resultado seja pior após introdução dos parasitas de *layout* e perdas por variação de processo e *mismatch*, o resultado ficou muito próximo e o circuito foi descartado como opção de implementação.

4.3.4 Modified Cross-Coupled Charge Pump Rectifier

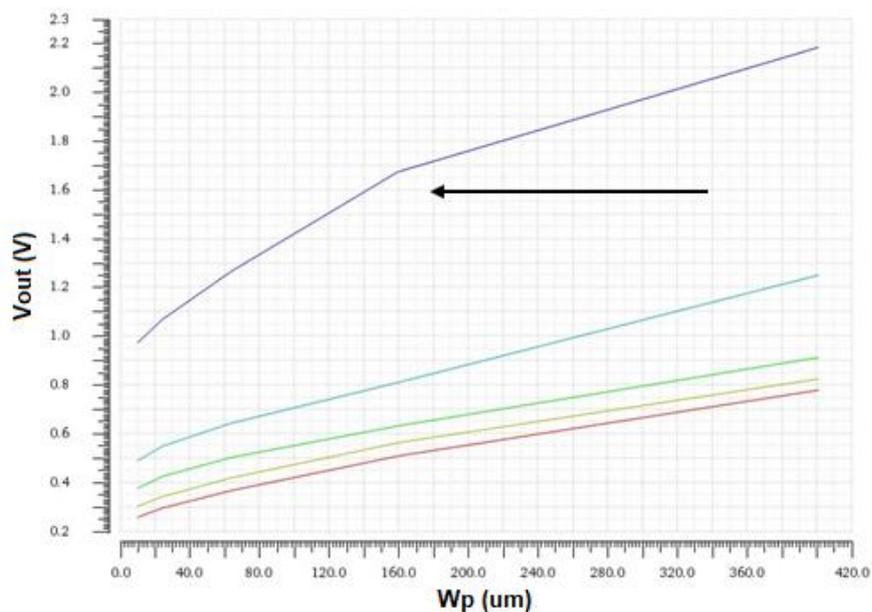
A topologia do CC-CPR modificado, apresentada por Chouhan e Halonen (2013) e representada na Figura 25 também foi submetida às varreduras de tamanhos dos transistores e quantidade de estágios, obtendo-se resultados satisfatórios com dois estágios de multiplicação de tensão, apresentando o mesmo comportamento de redução de desempenho das demais topologias a partir do terceiro estágio, porém apresentando elevação de tensão muito superior com apenas dois estágios, como se nota no Gráfico 5.

Figura 25 - OS-CPR Modificado.



Fonte: Chouhan e Halonen (2013, p. 1).

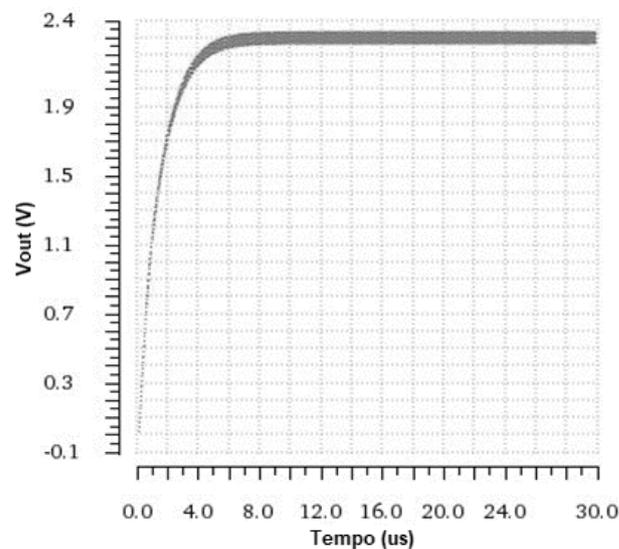
Esta topologia apresenta muitas vantagens em relação às anteriores, mas a principal delas é a supressão do efeito de V_{TH} causada pelo acoplamento do segundo transistor canal-p (P_{aux}) configurado como diodo. Este efeito foi demonstrado na seção 2.6.2.4.

Gráfico 5 - Saída do CC-CPR modificado em função da variação de W_p 

Fonte: Elaborado pelo autor.

Como se pode notar, quanto maiores os transistores, mais energia conseguem converter. A curva indicada no Gráfico 5 representa um transistor canal-n com $W = 400 \mu\text{m}$, enquanto o eixo X deste gráfico demonstra a variação do tamanho W nos transistores canal-p, chegando a $W = 400 \mu\text{m}$ também para estes transistores. A simulação do esquemático resultou em um nível de tensão suficiente para alimentar circuitos CMOS nesta tecnologia, chegando ao valor máximo de tensão na saída do circuito de 2,32 V, conforme Gráfico 6, para uma carga de $100 \text{ k}\Omega$. Após a confecção do *layout* do circuito, modificando-se parâmetros de multiplicidade e quantidade de *fingers*, observou-se que para valores de W iguais entre os transistores canal-p e canal-n, o resultado da saída em tensão era mantido para valores maiores ou iguais a $250 \mu\text{m}$, então os transistores foram redimensionados e novamente simulados no esquemático com os parâmetros de multiplicidade e quantidade de *fingers* do *layout*, apresentando o mesmo resultado inicial, com uma área menor.

Gráfico 6 - Saída do circuito em simulação do esquemático



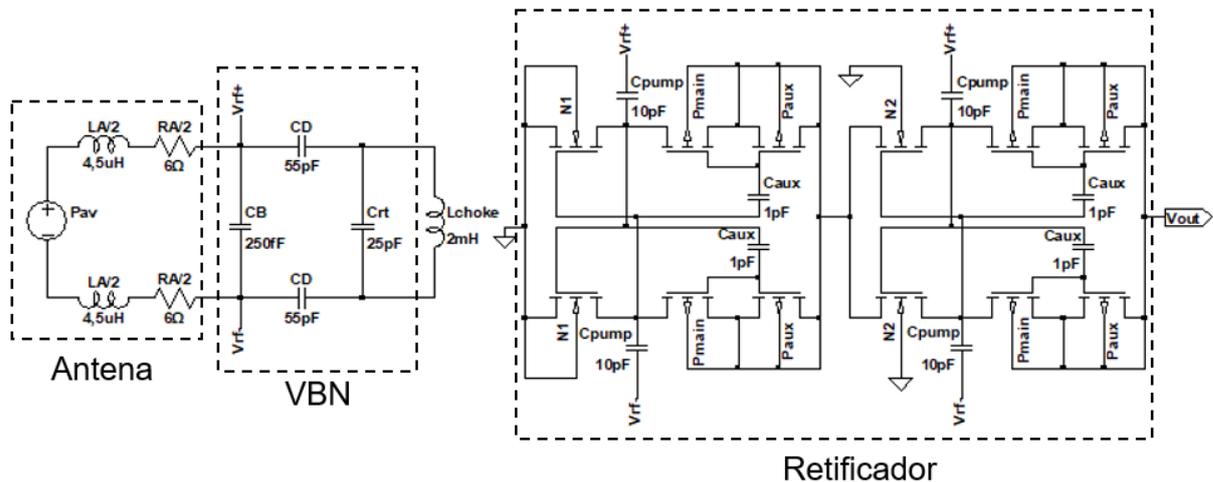
Fonte: Elaborado pelo autor.

Este resultado apresentado considera uma entrada de -12 dBm na VBN, oriunda da antena do circuito. Considerando que circuitos CMOS nesta tecnologia podem ser alimentados com níveis de tensão que variam de $1,2 \text{ V}$ a $1,8 \text{ V}$, considerou-se que esta topologia era adequada para o fim que se destinava. Com estes resultados preliminares promissores, o circuito foi implementado em *layout* de fabricação, o que faz com que o simulador introduza novos componentes parasitas que tornam o comportamento do circuito mais próximo do real.

4.4 DEFINIÇÕES DO CIRCUITO

Através dos dados obtidos, definiu-se que a VBN utilizada para o trabalho seria composta por um capacitor de *boosting*, C_B , de 250 fF, por dois capacitores divisores de tensão, C_D , de 55 pF e por um capacitor de saída, $C_{r,t}$ de 25 pF. O retificador multiplicador utilizado foi definido como um CC-CPR modificado, conforme proposto por Chouhan e Halonen (2013), de dois estágios de multiplicação com transistores com $W = 65,5 \mu\text{m}$ e $L = 220 \text{ nm}$, com multiplicidade igual a 4, divididos em 10 *fingers* de $6,55 \mu\text{m}$ de comprimento. A antena definida foi uma antena bipolar de 12Ω e impedância intrínseca de $9 \mu\text{H}$. A Figura 26 detalha o circuito final implementado.

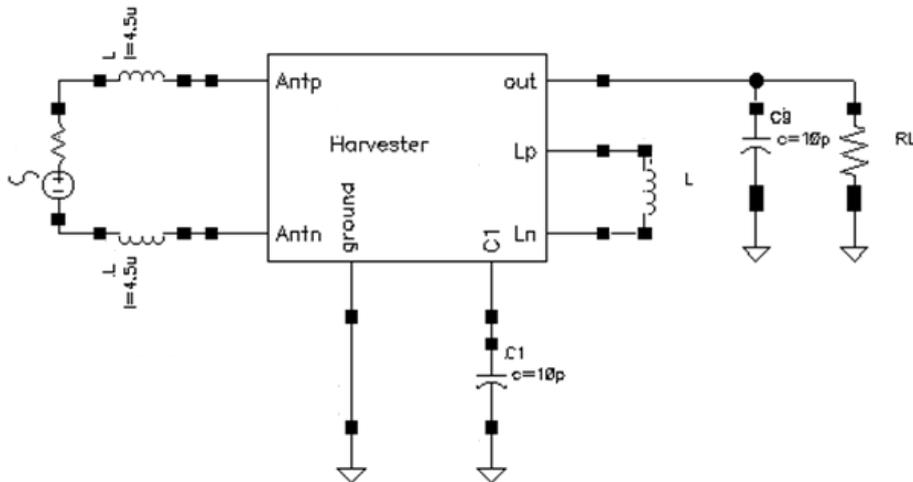
Figura 26 - Circuito completo do *energy harvester*



Fonte: Elaborado pelo autor.

Para fins de simulação, criou-se um bloco para o *energy harvester*. Este bloco foi usado, nas simulações, como o projetista de um circuito integrado utilizaria o mesmo em seu projeto. Como pode-se observar na Figura 27, foram incluídos elementos externos ao circuito, como o *choke* e dois capacitores de 10 pF , o primeiro ligado ao terminal $C1$ e o segundo em paralelo com a carga do circuito. Estes capacitores são utilizados como filtros apenas para redução do *ripple* de tensão na saída de cada estágio.

Figura 27 - Bloco do *energy harvester* usado para simulações



Fonte: Elaborado pelo autor.

Assim, o capacitor C1 está conectado à saída do primeiro estágio de retificação e o capacitor C2 está conectado à saída do segundo estágio, juntamente com a carga conectada ao circuito. O *choke* L, conectado externamente, também, tem como finalidade causar um aterramento de qualquer sinal e corrente contínua oriundo da VBN. Este tipo de elemento é utilizado, pois apresenta uma alta impedância para sinais em corrente alternada e uma impedância quase nula para sinais em corrente contínua. Para que não interfira no funcionamento do circuito, um indutor de valor elevado foi escolhido para esta função, porém, para qualquer indutância acima de 200 μH o circuito funciona conforme projetado. Indutâncias inferiores a este valor começam a reduzir a magnitude da tensão de saída pois a impedância na frequência utilizada acaba se tornando muito baixa.

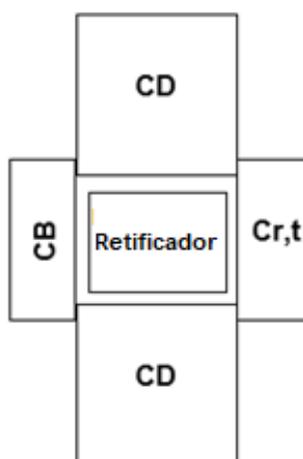
5 RESULTADOS E SIMULAÇÕES

Após definidos os circuitos mais aderentes aos objetivos deste trabalho, passou-se para o desenvolvimento do *layout* geométrico no substrato de silício. Para a elaboração destes *layouts*, utilizou-se, na medida do possível, as regras e boas práticas de *design* analógico apresentadas no Capítulo 2 deste trabalho. Nas subseções seguintes serão apresentados os desenhos propostos, suas análises, resultados e melhorias.

5.1 IMPLEMENTAÇÃO DO CIRCUITO DA VBN EM LAYOUT

A Figura 28 apresenta o primeiro *layout* da VBN utilizado para simulação. Cada retângulo da figura representa, não apenas um capacitor, mas um arranjo de células menores que foram ligadas em paralelo para se obter a capacitância projetada, pois as regras de *design* não permitem que o capacitor seja construído em um único bloco que, nesse caso, ultrapasse as dimensões de 30 μm x 30 μm .

Figura 28 - Layout original da VBN

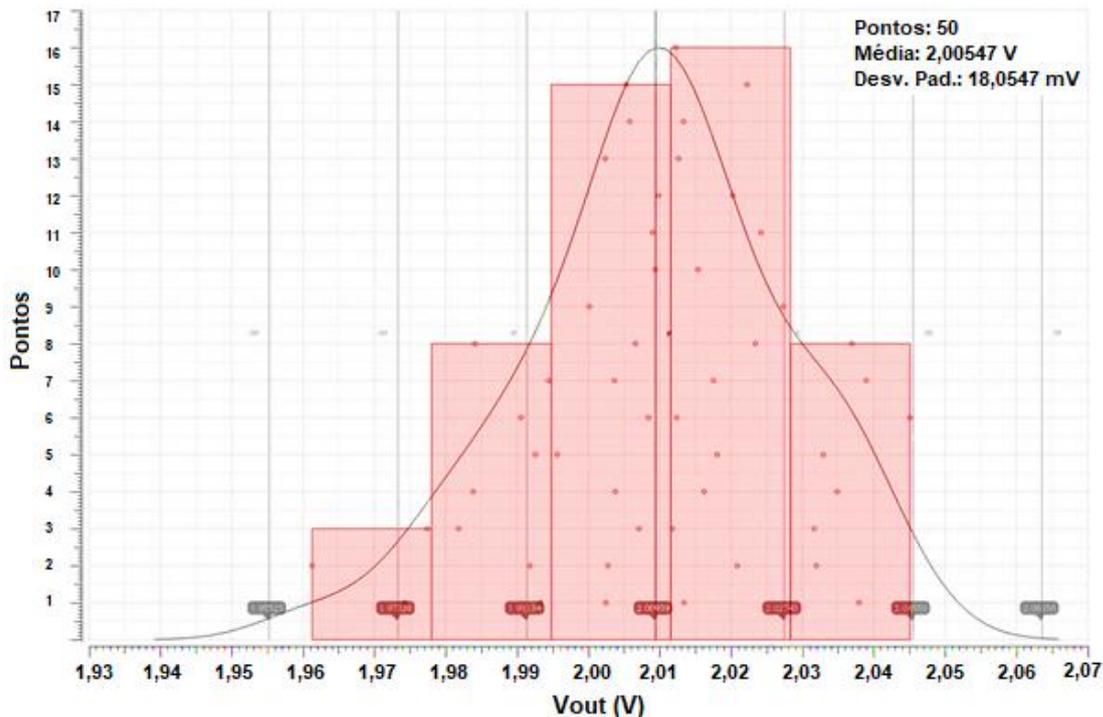


Fonte: Elaborado pelo autor.

Este *layout* teve um desempenho inferior em relação a perdas por *mismatch*, pois variações de alinhamento na fabricação do componente poderiam, nesta configuração, tornar o capacitor CD de cima maior ou menor que o capacitor CD de baixo, por exemplo. Isso poderia fazer com que o circuito ficasse desbalanceado, fazendo com que o comportamento do retificador não fosse o planejado, podendo

inclusive, fazê-lo para de chavear em algum dos semiciclos. O Gráfico 7 apresenta a distribuição da análise de Monte Carlo realizada para este *layout* com 50 pontos aleatórios.

Gráfico 7 - Análise de Monte Carlo para *mismatch* do *Layout* inicial



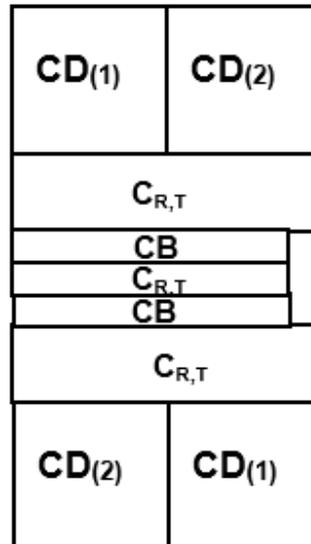
Fonte: Elaborado pelo autor.

Devido às perdas por *mismatch* no circuito da VBN alguns *layouts* foram implementados. Com isto, chegou-se a um *layout* em que as perdas causadas por *mismatch* foram reduzidas significativamente, utilizando-se uma técnica de *layout* chamada “centroide comum” que consiste em “embaralhar” as subcélulas dos componentes dos circuitos de forma que fiquem mais simétricas possível em relação ao centro do arranjo, ou seja, compartilhando um centroide comum entre si, como o próprio nome diz. Isto é feito para que variações de tamanho nos componentes em uma ponta do circuito sejam proporcionais às variações na outra ponta em ambos os eixos da lâmina para que problemas de alinhamento no processo de fabricação não interfiram significativamente no funcionamento do circuito.

A Figura 29 apresenta o esquema do *layout* final da VBN, onde as células dos capacitores foram embaralhadas a fim de reduzir o efeito de *mismatch*. Além de misturadas, as subcélulas dos capacitores foram reconfiguradas para terem todas o mesmo tamanho de lado, ou seja, o capacitor $C_{R,T}$ de 25 pF passou a ter 50 células

de lado igual a $22,2 \mu\text{m}$, com $501,72 \text{ fF}$ de capacitância ligadas em paralelo, por exemplo.

Figura 29 - Layout final da VBN

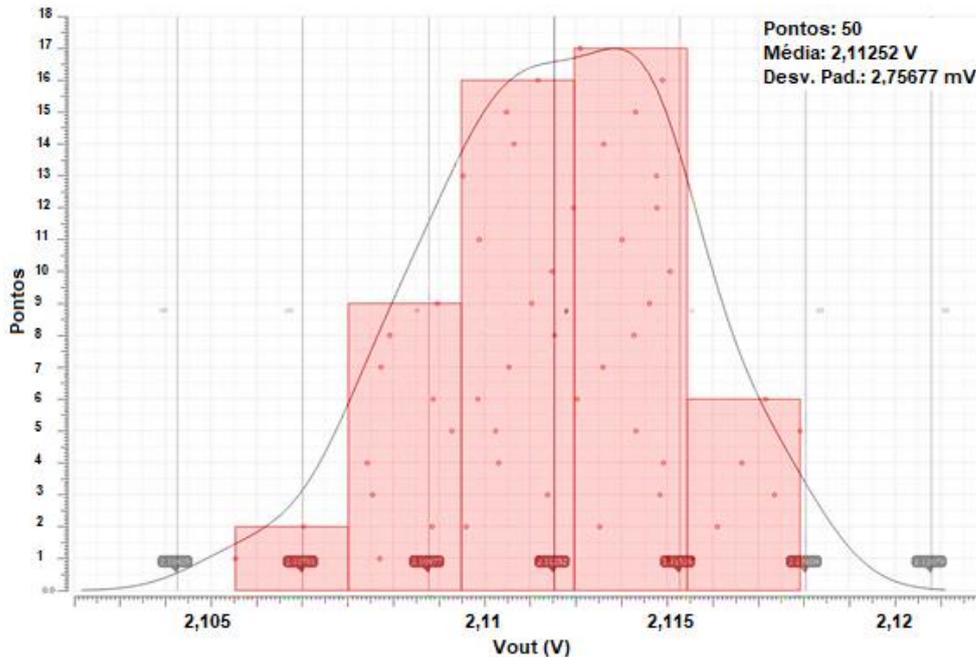


Fonte: Elaborado pelo autor.

Estas modificações não fizeram com que o circuito apresentasse um desempenho melhor, como maior tensão de saída ou melhor conversão de potência, porém, a variação estatística observada pela análise de Monte Carlo deste circuito obteve uma melhora considerável, baixando o desvio padrão de 18 mV para cerca de $2,8 \text{ mV}$, como pode ser observado no Gráfico 8. Esta análise utilizou 50 pontos.

Estes resultados ainda podem ser melhorados realizando uma distribuição ainda mais simétrica das células dos capacitores, porém isso faz com que o roteamento destas células se torne mais complexo fazendo, talvez, que seja necessário o uso de mais metais para o roteamento, aumentando o número de etapas de processamento e, conseqüentemente, encarecendo a fabricação deste componente.

Gráfico 8 - Análise de Monte Carlo para mismatch do Layout final

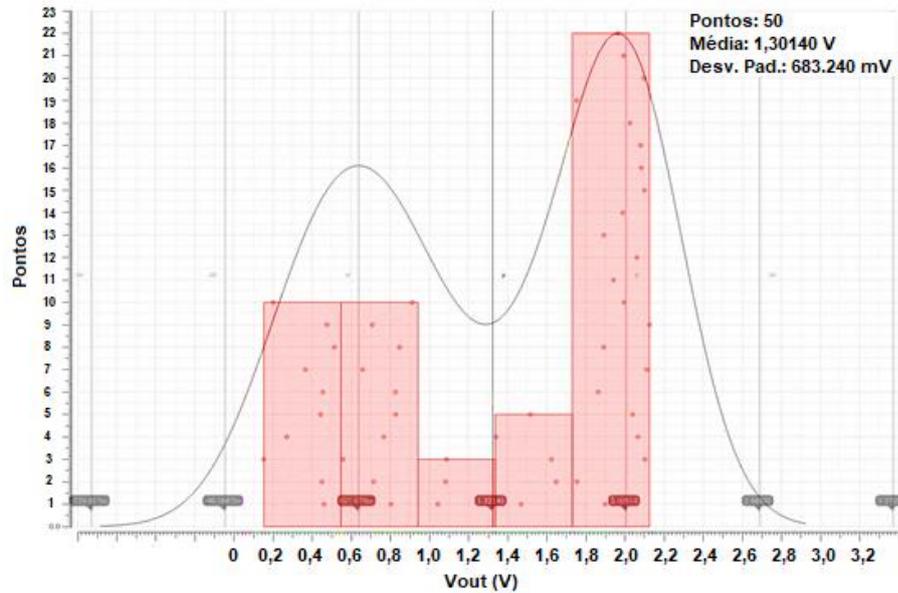


Fonte: Elaborado pelo autor.

A VBN com maior amplificação de tensão, projetada para este trabalho, ficou muito suscetível a variações do processo de fabricação, conforme resultados das primeiras análises de Monte Carlo executadas utilizando diferentes variações de *layout* da VBN. *A priori* desconfiou-se de que o capacitor C_B , cujo valor era o mais baixo na rede e pequenas variações em sua magnitude causariam enormes variações na sintonia da rede, derrubando a tensão de saída em vários pontos da análise de Monte Carlo de processo, como se verifica no Gráfico 9. Esta análise foi realizada com 50 pontos, resultando em uma tensão de saída média de 1,32 V com desvio padrão de 683,24 mV e um resultado que não apresenta uma distribuição normal, sendo possível verificar duas zonas de distribuição; uma em que os circuitos funcionam perfeitamente, com cerca de 54 % dos pontos acima de 1,2 V e outra com a maioria dos pontos abaixo de 1 V.

Com estes resultados não satisfatórios, o capacitor C_B necessitou ser substituído por um arranjo de capacitores maiores em série para que variações em suas dimensões devidas ao processo de fabricação não influenciassem de forma tão acentuada o desempenho do circuito.

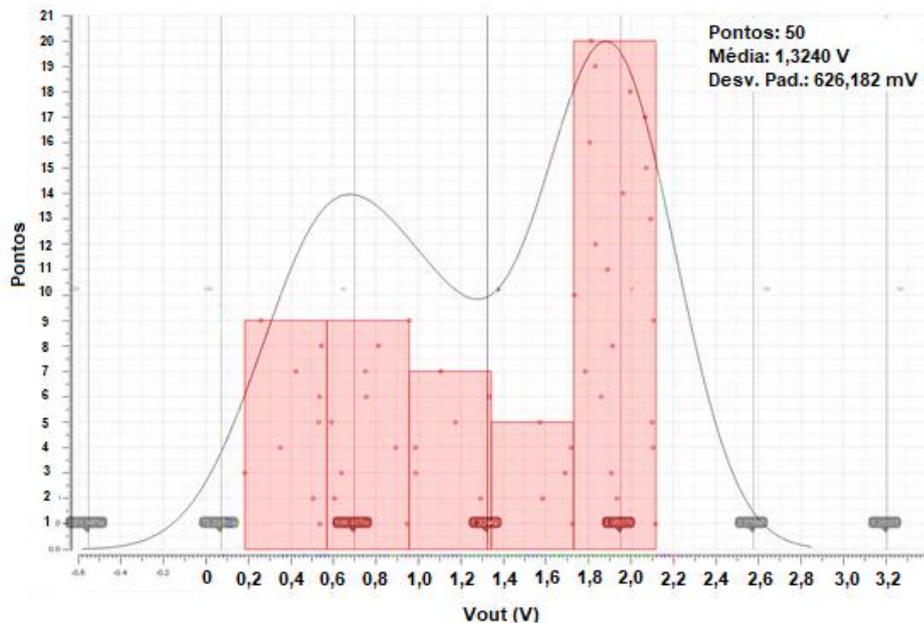
Gráfico 9 - Análise de Monte Carlo de processo da primeira VBN projetada



Fonte: Elaborado pelo autor.

Após a substituição de C_B por capacitores maiores em série não se observou grande variação no resultado da análise de Monte Carlo para variações de processo. As células de cada capacitor foram embaralhadas entre si para que os efeitos citados fossem compensados entre os capacitores, para que suas variações tivessem a mesma magnitude. O resultado desse ajuste pode ser visto no Gráfico 10.

Gráfico 10 - Análise de Monte Carlo de processo após ajuste da VBN



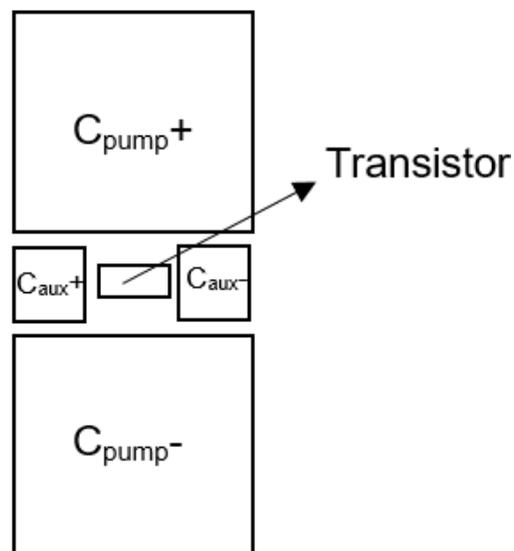
Fonte: Elaborado pelo autor.

Nota-se, nesta segunda análise, que o desempenho do circuito melhorou sutilmente em relação ao desvio padrão, que baixou para 626,2 mV, porém esta melhora foi tão pequena que não se pode considerar de fato uma melhora. Os mesmos 54 % dos pontos ficaram acima de 1,2 V. Percebe-se então que variações de processo não puderam ser realizadas através de melhorias em *layout*. Para que melhorias nas simulações de processo possam ser executadas, modificações na topologia do circuito, bem como os componentes utilizados precisariam ser revistos.

5.2 IMPLEMENTAÇÃO DO CIRCUITO RETIFICADOR EM *LAYOUT*

Assim como a VBN, o *layout* original do retificador teve que passar por revisões para minimizar as variações causadas por *mismatch* e processos de fabricação. Com isso, o *layout* partiu de uma configuração organizada de acordo com a proximidade dos componentes, conforme Figura 30 para uma configuração simetricamente distribuída de células de capacitores e transistores.

Figura 30 - Arranjo original de *layout* do retificador

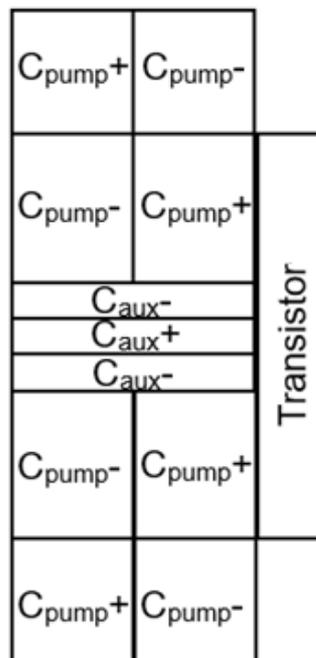


Fonte: Elaborado pelo autor.

Os capacitores foram redimensionados conforme os da VBN, considerando subcélulas de lados iguais a 22,2 μm , enquanto os transistores foram tiveram os valores de W reduzidos a um quarto do tamanho original, tendo o multiplicador dos mesmos aumentado em quatro vezes, ou seja, os transistores com $W = 250 \mu\text{m}$ foram transformados em quatro transistores de $W = 62,5 \mu\text{m}$. O efeito no resultado do circuito

não foi perceptível, porém as variações por *mismatch* foram reduzidas consideravelmente, apresentando uma redução no desvio padrão da distribuição da análise de Monte Carlo de cerca de 17 mV para cerca de 6 mV, com aumento sutil da média de 2,06 V para 2,09 V. A Figura 31 apresenta o *layout* do circuito no substrato após a otimização para minimizar os problemas por *mismatch*.

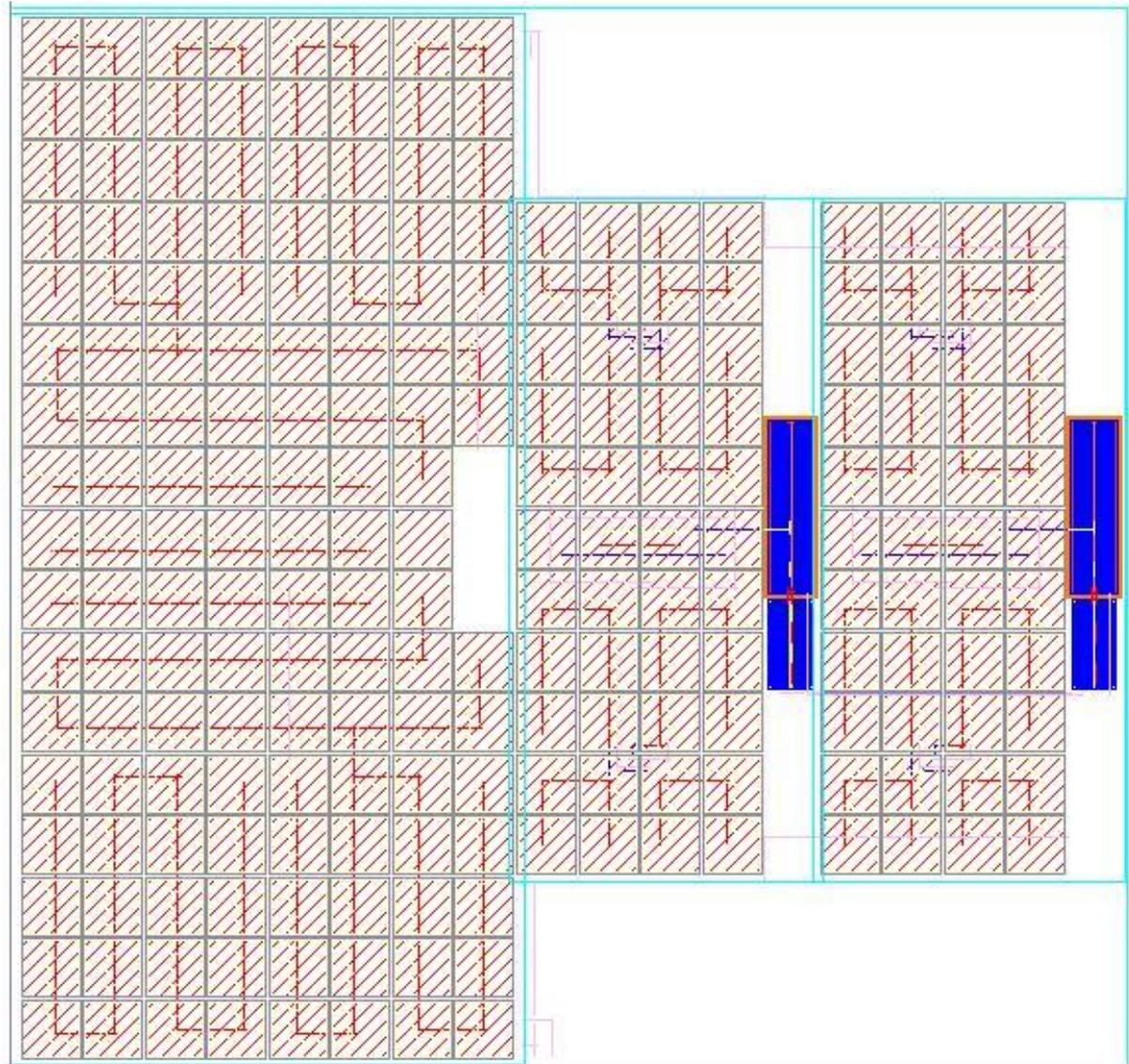
Figura 31 - Arranjo otimizado de *layout* do retificador



Fonte: Elaborado pelo autor.

Como se pode observar, o roteamento nessa nova configuração acaba ficando mais complexo, podendo incluir novos efeitos de capacitâncias e resistências parasitas, porém, a introdução destes parasitas é realizada de forma igual em todo o circuito, equilibrando o efeito e mantendo o circuito em funcionamento. Em contrapartida, tem-se um melhor resultado com relação ao alinhamento das instâncias inseridas no *layout*, reduzindo a variabilidade dos valores nominais dos componentes na fabricação. Além do *layout*, melhorias construtivas foram implementadas, como a inclusão de *guard rings* ao redor dos transistores canal-n e canal-p, como citado no referencial, para reduzir os efeitos dos ruídos oriundos do substrato.

O *layout* implementado do *energy harvester*, incluindo a VBN e os retificadores ocupa uma área com dimensões aproximadas de 414 μm x 434 μm . O mesmo pode ser visualizado na Figura 32.

Figura 32 - *Layout final do Energy Harvester*

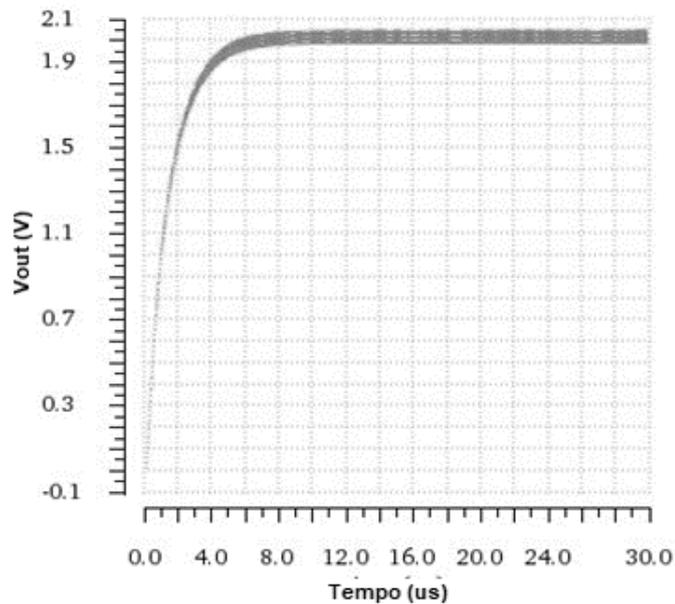
Fonte: Elaborado pelo autor.

Como é possível perceber, o layout conta com capacitores com células de mesmo tamanho, alinhadas e distribuídas simetricamente para mitigar os efeitos de *mismatch*, como já mencionado. O retângulo maior à esquerda é a VBN, com distribuição dos capacitores demonstradas na Figura 29. À direita é possível observar os retificadores em cascata. Os capacitores destes elementos também foram redimensionados para manter o alinhamento com os capacitores da VBN. À direita de cada retificador, conforme Figura 31, pode-se observar o posicionamento dos transistores, basicamente em dois blocos, um abaixo, com os dois transistores canal-n envoltos por um *guard ring* tipo p e outro maior, acima, com quatro transistores canal-p envoltos por um *guard ring* tipo n.

5.3 SIMULAÇÕES DE LAYOUT

O Gráfico 11 apresenta o resultado da simulação do circuito após implementação do *layout* extraído com os mesmos parâmetros de carga, potência de entrada e frequência que o circuito simulado em esquemático. Pode-se perceber uma redução na tensão final do circuito de quase de 0,3 V, quando comparamos ao resultado apresentado para a simulação esquemática no Gráfico 6.

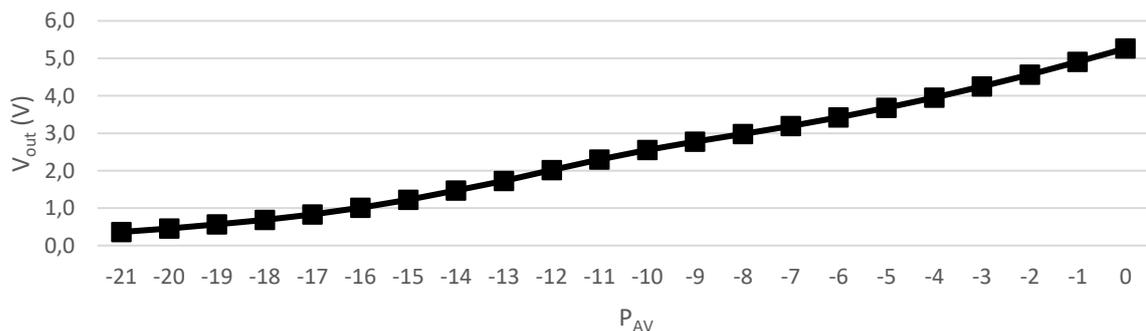
Gráfico 11 - Resposta do circuito após geração do *layout*



Fonte: Elaborado pelo autor.

Além da tensão e da corrente na saída, é possível verificar que o *start up time* do circuito é de apenas 6 μ s. O Gráfico 12 apresenta a variação da tensão de saída do circuito de acordo com a potência injetada pela antena para uma carga de 100 k Ω .

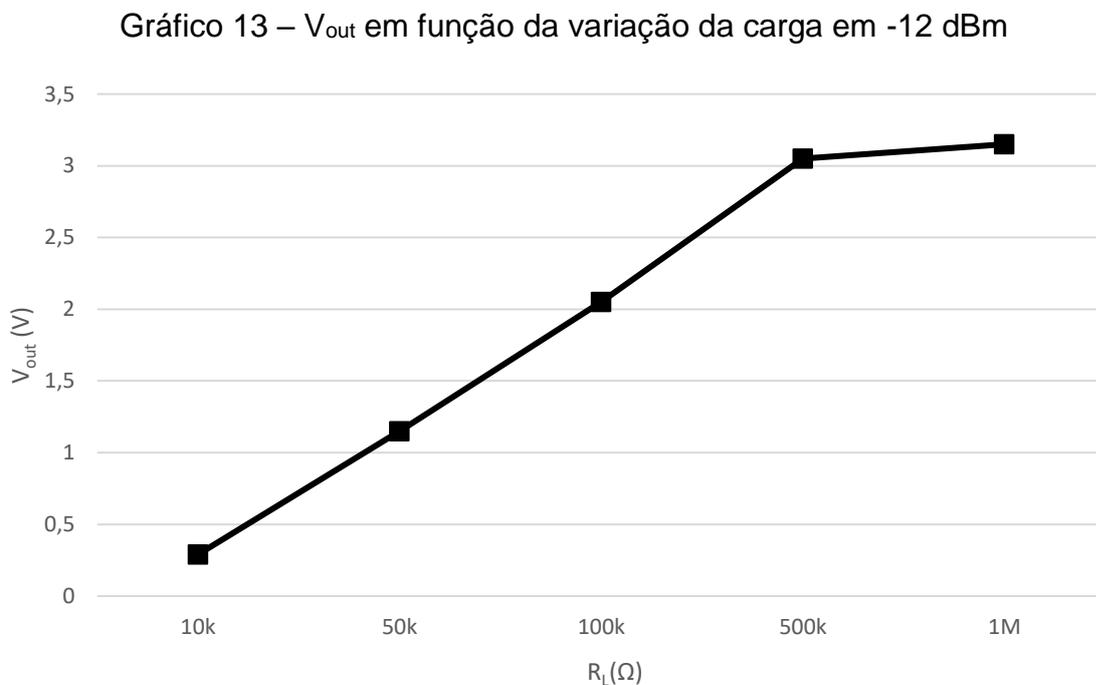
Gráfico 12 - Tensão de saída em função da entrada do circuito



Fonte: Elaborado pelo autor.

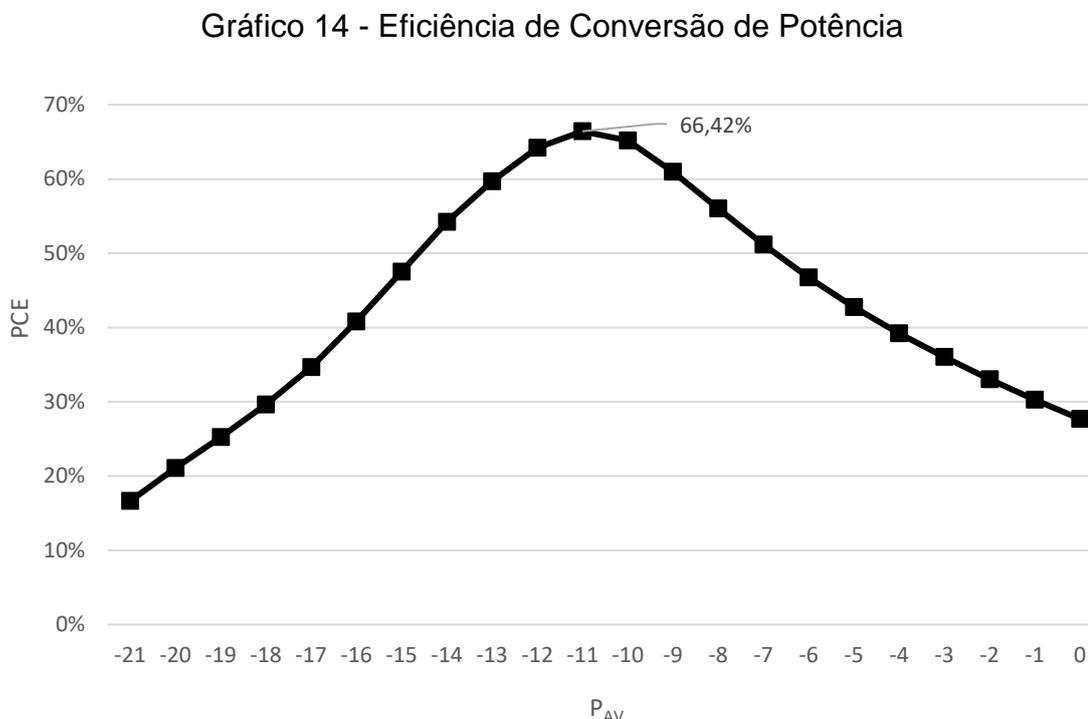
A partir de -15 dBm na entrada, conforme Gráfico 12, o circuito já é capaz de alimentar um circuito CMOS de 180 nm, que é a tecnologia utilizada neste trabalho com 1,2 V. Como esta variação de tensão de acordo com a potência captada pela antena não é algo desejável, é necessário que se utilize um regulador de tensão de acordo com a necessidade do circuito acoplado e a proximidade da fonte geradora de RF da antena de recepção deste circuito. Outro elemento importante para o sistema é um armazenador de energia pós regulagem, como um capacitor de maior capacitância ou mesmo uma bateria, dependendo da aplicação. Estes itens não foram incluídos no projeto, pois se tratam de itens que deve ser especificado de acordo com a aplicação.

Outro parâmetro importante para o funcionamento do circuito é a carga. O Gráfico 13 apresenta a tensão de saída do circuito de acordo com a carga acoplada para uma entrada de -12 dBm. Como é possível observar, a variação da carga não provoca uma variação linear de tensão na saída. Isso ocorre, pois, a rede de elevação de tensão foi projetada para trabalhar no ponto ótimo em 100 k Ω . Quando a carga é modificada, a tensão de pico da VBN é alterada e o circuito se comporta de maneira diferente. A potência na saída se mantém, porém, a relação tensão-corrente é alterada, sendo que a taxa de elevação da tensão cai com o aumento da carga.



Fonte: Elaborado pelo autor.

A eficiência máxima de conversão de potência do circuito é alcançada para uma entrada de -11 dBm e uma carga de 100 k Ω . O Gráfico 14 apresenta a PCE do *harvester* em função da variação da potência disponibilizada pela antena.



Fonte: Elaborado pelo autor.

No pico da curva do Gráfico 14, observa-se uma eficiência de 66,42 %, que é um valor muito próximo à máxima eficiência de conversão esperada para esta topologia de retificação. Este resultado é particularmente interessante, pois mostra que o circuito, caso implementado fisicamente, poderia alcançar valores de eficiência realmente elevados, tornando-se uma opção plausível para aplicações IoT alimentadas por estes *energy harvester*.

5.3.1.1 *Corners* de simulação

O circuito foi simulado em temperatura ambiente igual a 27°C, porém, para garantir a operabilidade em ambientes extremos, alguns *corners* de temperatura foram adicionados à simulação para verificar o comportamento do circuito nestes extremos. Utilizando os modelos de simulação Spectre[®] disponíveis de transistores CMOS, foram simulados os extremos de temperatura para os extremos de velocidade dos transistores, sendo os modelos da Tabela 3 citados na referencial do PDK.

Tabela 3 - Modelos de simulação de transistores CMOS

Modelo	Transistores Canal-N	Transistores Canal-P
FF	Rápidos	Rápidos
SF	Lentos	Rápidos
FS	Rápidos	Lentos
SS	Lentos	Lentos
NN	Típicos	Típicos

Fonte: Elaborado pelo autor.

De acordo com os modelos da Tabela 3, realizou-se as simulações dos extremos do circuito e os resultados podem ser observados na Tabela 4.

Tabela 4 - *Corners* de simulação do circuito final a -12 dBm

Modelo	Temperatura (°C)	Vout (V)
FF	-40	0,880
FF	70	1,781
FS	-40	0,788
FS	70	1,863
SF	-40	0,706
SF	70	1,888
SS	-40	0,621
SS	70	1,996
NN	-40	0,811
NN	27	2,008
NN	70	1,901

Fonte: Elaborado pelo autor.

Pode-se perceber, através da Tabela 4, que o circuito opera mais próximo do ideal em temperaturas positivas, mesmo que elevadas, enquanto que para temperaturas negativas não tem um rendimento tão adequado. Mesmo assim é capaz de fornecer mais de meio volt em todos os *corners* de temperaturas negativas, podendo ser utilizados para aplicações específicas em baixas temperaturas.

5.4 COMPARAÇÃO DE RESULTADOS

Os resultados obtidos neste trabalho através das simulações foram comparados com os resultados encontrados pelas referências utilizadas e podem ser observados na Tabela 5. Nesta, pode-se verificar que este trabalho encontrou resultados significativos quando comparado aos trabalhos usados como referência, alcançando uma eficiência de conversão de potência bastante elevada, em comparação às outras topologias apresentadas. O trabalho de Chouhan e Halonen (2013), que compartilha a mesma topologia não apresenta a PCE do circuito proposto pelos autores para comparação, porém, como era esperado, em comparação a outras topologias, esta utilizada apresentou um rendimento maior.

Tabela 5 - Comparação entre este trabalho e o referencial teórico

	You et al. (2011)	Dai et al. (2015)	Chouhan e Halonen (2013)	Mansano, (2016)	Wang et al. (2008)	Udupa, Sushma e Chaithra (2018)	Este trabalho
Topologia	CC-CPR	CC-CPR Modificado	CC-CPR Modificado	OS-CPR	Schottky Diode	OS-CPR	CC-CPR Modificado
Tecnologia CMOS	130 nm	65 nm	180 nm	180 nm	130 nm	180 nm	180 nm
Tensão V_{out}	2,05 V	2,1 V	5,5 V	1,25 V	1,92 V	1,3 V	2,3 V
Carga (R_L)	1 M Ω	100 k Ω	100 k Ω	100 k Ω	100 k Ω	100 k Ω	100 k Ω
PCE	17,8 % ²	65 % ¹	Omitido	19 % ²	37 %	33,72 %	66,42 %
Frequência	900 MHz	900 MHz	915 MHz	13,56 MHz	10 GHz	13,56 MHz	13,56 MHz
P_{AV}(dBm)	-6	-6	-1	-13	-10	-13	-11

¹PCE calculada apenas para o retificador de tensão.

²Resultado medido no circuito implementado

Fonte: Elaborado pelo autor.

Quando comparado com o trabalho de Dai et al. (2015), que utiliza uma topologia CC-CPR modificada, percebe-se um rendimento muito próximo ao do retificador de tensão isoladamente, como é apresentado pelo autor.

6 CONSIDERAÇÕES FINAIS

Neste trabalho, um conversor RF-CC foi apresentado para a frequência de 13,563 MHz em uma tecnologia CMOS de 180 nm genérica. A frequência foi escolhida com base nos trabalhos de Mansano (2016) e Udupa, Sushma e Chaithra (2018). Este, constituído de uma rede de elevação de tensão com divisor de tensão capacitivo e um retificador em topologia *Cross-Coupled Charge Pump Rectifier* modificado, escolhido após comparação entre as topologias apresentadas neste trabalho e simulação Cadence® Spectre. Um dos objetivos do trabalho era definir uma antena para se utilizar com este circuito, utilizou-se a mesma antena apresentada no trabalho de Mansano (2016), para se ter o mesmo ponto de partida de um trabalho conhecidamente funcional. Também baseado em seu trabalho, projetou-se uma VBN com mesma topologia, porém otimizada para o retificador apresentado neste trabalho.

O circuito proposto por Chouhan e Halonen (2013), e utilizado neste trabalho, apresentou uma supressão de V_{TH} , que resultou numa conversão eficiente do sinal RF para um nível de tensão em corrente contínua. Os objetivos deste trabalho foram alcançados em sua totalidade, pois a tensão mínima para alimentação de circuitos CMOS foi alcançada; cerca de 2,3 V para uma entrada em -11 dBm e carga resistiva de 100 k Ω , com uma eficiência de conversão de potência total do circuito de 66,42 %, que está de acordo com a bibliografia utilizada e com a eficiência esperada do circuito, que deveria alcançar um patamar máximo em torno de 65 % de eficiência. Com esta PCE e uma entrada na casa dos -11 dBm, o circuito é capaz de fornecer em torno de 51 μ W.

O *energy harvester* foi desenvolvido e simulado em uma tecnologia CMOS de 180nm fazendo uso da ferramenta Cadence® Virtuoso. Os resultados deste trabalho, quando comparados com os demais utilizados como referência, são satisfatórios, visto que a eficiência de conversão e a tensão alcançadas com apenas dois estágios de retificação a uma entrada de -11 dBm e uma carga de 100 k Ω são suficientes para alimentar um circuito de IoT de baixo consumo.

6.1 SUGESTÕES PARA TRABALHOS FUTUROS

Como sugestões para trabalhos futuros, pode-se citar:

- o desenvolvimento de um regulador de tensão para acoplar à saída do circuito, mantendo sua tensão constante, independentemente da variação na entrada do circuito;
- fazer um estudo da possibilidade de acoplamento de múltiplos circuitos em paralelo fazendo uso de mais antenas para aumentar a potência de entrada do sistema;
- redimensionar o circuito para operar em bandas de Wi-Fi de 2,4 GHz, por exemplo, que são largamente utilizadas;
- utilizar um PDK real que permita a fabricação do circuito proposto.

REFERÊNCIAS

- BAUER, W.; WESTFALL, G. D.; DIAS, H. **Física para universitários: Eletricidade e Magnetismo**. Porto Alegre: AMGH, 2012.
- BOZORGZADEH, B.; ZHIAN-TABASY, E.; AFZALI-KUSHA, A. Low-power high-performance logic style for low-voltage CMOS technologies. In: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONICS, ICM 2008, **Anais...** [s.l: s.n.]
- CADENCE DESIGN SYSTEMS. Virtuoso Spectre Circuit Simulator Reference Product Version 10.1.1. [s. l.], n. October, 2014.
- CHOUHAN, S. S.; HALONEN, K. A modified cross coupled rectifier based charge pump for energy harvesting using RF to DC conversion. **Circuit Theory and Design (ECCTD), 2013 European Conference on**, [s. l.], n. 1, p. 1–4, 2013.
- DAI, H. et al. A review and design of the on-chip rectifiers for RF energy harvesting. In: 2015 IEEE INTERNATIONAL WIRELESS SYMPOSIUM, IWS 2015 2015, **Anais...** [s.l: s.n.]
- GHOSH, D.; PARIHAR, M. S.; KRANTI, A. RF Performance of Ultra Low Power Junctionless MOSFETs. In: 2013 ASIA-PACIFIC MICROWAVE CONFERENCE PROCEEDINGS 2013, Seul. **Anais...** Seul
- HALLIDAY, D.; RESNICK, R.; WALKER, J. **Fundamentos de Física volume 4**. 9. ed. Rio de Janeiro: LTC, 2012.
- KAROLAK, D. et al. Design comparison of low-power rectifiers dedicated to RF energy harvesting. In: 2012 19TH IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS, ICECS 2012 2012, **Anais...** [s.l: s.n.]
- MAKIMOTO, T.; SAKAI, Y. Evolution of low power electronics and its future applications. In: ACM/IEEE INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN 2003, **Anais...** [s.l: s.n.]
- MANSANO, A.; BAGGA, S.; SERDIJN, W. A high efficiency orthogonally switching passive charge pump rectifier for energy harvesters. **IEEE Transactions on Circuits and Systems I: Regular Papers**, [s. l.], v. 60, n. 7, p. 1959–1966, 2013.
- MANSANO, A. R. **Radio frequency energy harvesting and low power data transmission for autonomous wireless sensor nodes**. 2016. Technische Universiteit Delft, [s. l.], 2016.
- MELEN, R.; GARLAND, H. **Circuitos Integrados CMOS**. 1. ed. Rio de Janeiro:

Campus, 1985.

MNIF, M. M.; MNIF, H.; LOULOU, M. New design of RF-DC rectifier circuit for radio frequency energy harvesting. In: 2016 IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS AND SYSTEMS, ICECS 2016 2017, **Anais...** [s.l: s.n.]

PADMAVATHI, B.; GEETHA, B. T.; BHUVANESHWARI, K. Low Power Design Techniques and Implementation Strategies Adopted in VLSI Circuits. **2017 IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI)**, [s. l.], p. 1764–1767, 2017.

PENELLA-LÓPEZ, M. T.; GASULLA-FORNER, M. **Powering Autonomous Sensors: An Integral Approach with Focus on Solar and RF Energy Harvesting**. 1. ed. Dordrecht: Springer Netherlands, 2011.

POP-VADEAN, A. et al. Harvesting energy as a sustainable power source, replace batteries for powering WSN and devices on the IoT. In: IOP CONFERENCE SERIES: MATERIALS SCIENCE AND ENGINEERING 2017, **Anais...** [s.l: s.n.]

PRIYA, S.; INMAN, D. J. **Energy harvesting technologies**. 1. ed. New York: Springer, 2009.

RAPPAPORT, T. S. **Wireless Communications: Principles and Practice**. 2. ed. Upper Saddle River: Prentice Hall, 2002.

RAZAVI, B. Design of Analog CMOS Integrated Circuits. **McGraw Hill**, [s. l.], v. 6, n. 7, 2016.

SAP BRAZIL. **O que é IoT – a Internet das Coisas?** 2016. Disponível em: <<https://news.sap.com/brazil/2016/05/o-que-e-iot-a-internet-das-coisas/>>. Acesso em: 18 out. 2018.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

UDUPA, S. S.; SUSHMA, P. S.; CHAITHRA. An orthogonally switching charge pump rectifier for RF energy harvester. In: RTEICT 2017 - 2ND IEEE INTERNATIONAL CONFERENCE ON RECENT TRENDS IN ELECTRONICS, INFORMATION AND COMMUNICATION TECHNOLOGY, PROCEEDINGS 2018, **Anais...** [s.l: s.n.]

WANG, X. N. et al. RF modeling of integrated RF CMOS Schottky diodes for rectifier designs. In: INTERNATIONAL CONFERENCE ON SOLID-STATE AND INTEGRATED CIRCUITS TECHNOLOGY PROCEEDINGS, ICSICT 2008, **Anais...** [s.l: s.n.]

YOU, K. et al. 900 MHz CMOS RF-to-DC Converter Using a Cross-Coupled Charge

Pump for Energy Harvesting. **2011 IEEE International Symposium on Radio-Frequency Integration Technology**, [s. l.], p. 149–152, 2011.