

**UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
NÍVEL MESTRADO PROFISSIONAL**

DIEGO AUGUSTO TIMM

**AVALIAÇÃO E VALIDAÇÃO DOS REQUISITOS DE UMA REDE DE
DISTRIBUIÇÃO DE ENERGIA PARA UM CIRCUITO INTEGRADO *SWITCH*
ETHERNET DE 3,2 TBPS**

São Leopoldo

2020

DIEGO AUGUSTO TIMM

**AVALIAÇÃO E VALIDAÇÃO DOS REQUISITOS DE UMA REDE DE
DISTRIBUIÇÃO DE ENERGIA PARA UM CIRCUITO INTEGRADO *SWITCH*
ETHERNET DE 3,2 TBPS**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica, pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos – UNISINOS

Orientador: Prof. Dr. Rodrigo Marques de Figueiredo

São Leopoldo

2020

T584a Timm, Diego Augusto.

Avaliação e validação dos requisitos de uma rede de distribuição de energia para um circuito integrado switch ethernet de 3,2 Tbps / Diego Augusto Timm. – 2020.

112 f. : il. ; 30 cm.

Dissertação (mestrado) – Universidade do Vale do Rio dos Sinos, Programa de Pós-Graduação em Engenharia Elétrica, 2020.

“Orientador: Prof. Dr. Rodrigo Marques de Figueiredo”.

Dados Internacionais de Catalogação na Publicação (CIP)
(Bibliotecário: Flávio Nunes – CRB 10/1298)

DIEGO AUGUSTO TIMM

**AVALIAÇÃO E VALIDAÇÃO DOS REQUISITOS DE UMA REDE DE
DISTRIBUIÇÃO DE ENERGIA PARA UM CIRCUITO INTEGRADO SWITCH
ETHERNET DE 3,2 TBPS**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica, pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos – UNISINOS

Aprovado em 24 de março de 2020

BANCA EXAMINADORA

Prof. Dr. Roger Gules – PPGE UFTPR

Prof. Dr. Sandro Binsfeld Ferreira – PPGE UNISINOS

Orientador: Prof. Dr. Rodrigo Marques de Figueiredo

Visto e permitida a impressão

São Leopoldo,

Prof. Dr. Paulo Ricardo da Silva Pereira
Coordenador PPG em Engenharia Elétrica

RESUMO

A importância da caracterização da Rede de Distribuição de Energia, do inglês *Power Distribution Network* (PDN), para Circuitos Integrados (CI) de alto desempenho, através de simulação é abordada neste trabalho. Este compreende a simulação e medição do comportamento do caminho entre a saída da fonte de energia até o CI. Este caminho corresponde à PDN do circuito de interesse. A integridade de energia da PDN é um dos fatores que garantem a integridade do sinal e, por sua vez, a integridade de sinal garante a transmissão adequada da informação do transmissor para o receptor. Atualmente os projetos digitais de alta velocidade estão ultrapassando a barreira de 1 Gbps de troca de informação (comutação de bits) e exigem cada vez mais uma alimentação de baixo ruído. Os CIs de alto desempenho, responsáveis por esta alta taxa de transmissão de dados, estão atingindo *throughput* de 3,2 Tbps e necessitam de fontes de energia que gerem tensões abaixo de 1 V e correntes na ordem de centenas de Ampères. Neste trabalho a integridade de energia de uma Placa de Circuito Impresso (PCI) é avaliada com base no comportamento da queda de tensão e da impedância da PDN. Os resultados são validados através de simulações e medições realizadas em uma PCI de Estudo de Caso que utiliza um CI *Switch* Ethernet em uma aplicação com *throughput* de 2,4 Tbps onde também é realizada a análise para a possibilidade de extrapolação para um *throughput* de 3,2 Tbps. Este trabalho apresenta as simulações, as análises e os resultados obtidos e reforça a importância do uso de simuladores para prever ocorrências antes mesmo da fabricação dos protótipos. Apresenta também a medição PDN utilizando diferentes instrumentos, os cuidados e restrições da instrumentação, como por exemplo, o conjunto de instrumentos formado por um gerador de sinal e um osciloscópio que podem ser uma ótima alternativa à falta de um Analisador de Rede Vetorial (VNA), para realizar a caracterização qualitativa da impedância de determinados PDNs.

Palavras-Chaves: Integridade de Energia. Rede de Distribuição de Energia. Método de Medição *Shunt-Through*. Impedância Alvo. CI *Switch* Ethernet.

ABSTRACT

The importance of the Power Distribution Network (PDN) characterization, for high performance Integrated Circuits (IC), through simulation, is addressed in this work. This work comprises the simulation and measurement of the path behavior between the power source output and the IC. This path corresponds to the PDN of study case circuit. The PDN power integrity is one of the factors that guarantee the signal integrity and the signal integrity guarantees the information transmission from the transmitter to the receiver. Currently, high-speed digital projects are crossing the 1 Gbps information exchange barrier (bit switching) and increasingly demand for low-noise power. The high-performance ICs, responsible for this high data transmission rate, are reaching 3.2 Tbps throughput and require power sources with voltages below 1 V and currents in the order of hundreds of Amperes. In this work, the power integrity of a Printed Circuit Board (PCB) is evaluated based on the behavior of the PDN voltage drop and the PDN impedance. The results are validated with simulations and measurements performed on a PCB Case Study. The PCB uses an Ethernet Switch IC in a 2.4 Tbps throughput application. Is also, an analysis performed for until 3.2 Tbps throughput. The methodology adopted in this work for tasks execution was the appropriate engineering triangle, composed by the understanding, simulation and measurement. This work presents the simulations, analyzes and results obtained and reinforces the importance to use simulators to predict occurrences even before the manufacture of prototypes. It presents too the PDN measurement using different instruments, the care and restrictions of the instrumentation, as example, the set of instruments formed by a signal generator and an oscilloscope that can be a great alternative to the lack of a Vector Network Analyzer (VNA), to carry out the qualitative characterization of the impedance certain PDNs.

Key-words: Power Integrity. Power Distribution Network. Shunt-Through Measurement Method. Target Impedance. Ethernet Switch IC.

LISTA DE FIGURAS

Figura 1 – Placa de circuito impresso com multicamadas.....	29
Figura 2 – Representação do domínio da integridade de energia.....	34
Figura 3 – Efeito do SSN na Rede de Distribuição de Energia.....	35
Figura 4 – Impedâncias relacionadas à Rede de Distribuição de Energia.....	36
Figura 5 – Impedância em relação à frequência de uma PDN.	38
Figura 6 – Vista transversal e superior de um exemplo de uma PDN.	38
Figura 7 – Queda de tensão na PDN (IR drop).	39
Figura 8 – Representação gráfica da impedância alvo (Z_{target}).	42
Figura 9 – Desacoplamento em vários níveis usado para confinar a impedância....	44
Figura 10 – Modelo de impedância de um capacitor.	44
Figura 11 – Resposta em frequência de um capacitor de 100 μ F.....	45
Figura 12 – Comparativo de sensibilidade entre métodos de medida de impedância.	46
Figura 13 – Circuito de medição por método shunt-through.....	47
Figura 14 – PCI de alta velocidade projetado para comunicação entre CIs.	49
Figura 15 – Representação do interposer e do empilhamento de chips.....	52
Figura 16 – Triângulo da execução da engenharia adequada.....	55
Figura 17 – Fluxograma da metodologia das atividades a serem executadas.	58
Figura 18 – Fluxograma do método proposto.	59
Figura 19 – Demonstração dos conjuntos de instrumentos utilizados para realizar a medida shunt-through. (a) um conjunto composto por um gerador de sinais e um osciloscópio e outro (b) um conjunto sendo o analisador de rede vetorial (VNA).	60
Figura 20 – Circuito modelo para validação das simulações e medições práticas....	64
Figura 21 – PCI Artesanal para validação do método de medição shunt-through. ...	64
Figura 22 – Medida na PCI Artesanal utilizando gerador de sinais e osciloscópio. ..	67
Figura 23 – Medida na PCI Artesanal utilizando um VNA.	68
Figura 24 – PCI Protótipo (a) Layout e (b) com os componentes montados.....	71
Figura 25 – Circuito da PCI Protótipo com capacitores de desacoplamento.....	72
Figura 26 – Portas de referência para a análise DC da PCI Protótipo.	73
Figura 27 – Simulação na ferramenta Slwave [®] da queda de tensão no plano de alimentação Vcc da PCI Protótipo.	74
Figura 28 – Simulação na ferramenta Slwave [®] da queda de tensão no plano de referência GND da PCI Protótipo.	74
Figura 29 – Medição com VNA do comportamento da impedância da PCI Protótipo.	77
Figura 30 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI Protótipo.	79
Figura 31 – Divisor de sinal aplicado na instrumentação para medição utilizando conjunto gerador de sinais e osciloscópio.....	79
Figura 32 – Topologia da VRM do CI Switch Ethernet.....	82

Figura 33 – CI Switch Ethernet da PCI de Estudo de Caso com throughput máximo de 3,2 Tbps. Comparativo dimensional do CI Switch Ethernet com uma moeda de 1 Real (a) vista superior e (b) vista inferior.	82
Figura 34 – Layout da PCI de Estudo de Caso.	83
Figura 35 – Empilhamento das camadas no layout da PCI de Estudo de Caso.	83
Figura 36 – Queda de tensão nos planos de alimentação Vcc da PCI de Estudo de Caso. Queda de tensão (a) na camada superior (layer L1), (b) na camada interna (layer L8), (c) na camada interna (layer L9) e (d) na camada inferior (layer L16).	86
Figura 37 – Medição com VNA do comportamento da impedância da PCI de Estudo de Caso.	89
Figura 38 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI de Estudo de Caso.	90

LISTA DE GRÁFICOS

Gráfico 1 – Tendência de tensão de alimentação em CIs.	31
Gráfico 2 – Tendência de corrente de consumo em CIs.	31
Gráfico 3 – Queda da impedância alvo ao longo dos anos.	42
Gráfico 4 – Resposta em frequência do Circuito Conceito utilizando simulador SPICE.	66
Gráfico 5 – Resposta em frequência da PCI Artesanal utilizando gerador de sinais e osciloscópio.	67
Gráfico 6 – Refinamento na frequência de aquisição para observação do comportamento da magnitude (a) em torno da frequência de 17 MHz e (b) em torno da frequência de 30 MHz.	68
Gráfico 7 – Resposta em frequência da PCI Artesanal utilizando o VNA.	69
Gráfico 8 – Simulação em LTSpice® do comportamento da impedância da PCI Protótipo.	76
Gráfico 9 – Simulação em Slwave® do comportamento da impedância da PCI Protótipo.	76
Gráfico 10 – Medição com VNA do comportamento da impedância da PCI Protótipo.	77
Gráfico 11 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI Protótipo.	78
Gráfico 12 – Comparativo entre as respostas das simulações e medições da impedância da PCI Protótipo.	80
Gráfico 13 – Comparativo entre as respostas das medições de magnitude de tensão da PCI Protótipo com VNA e com o conjunto gerador de sinais e osciloscópio.	81
Gráfico 14 – Máscara do Z_{target} para o CI Switch Ethernet da PCI de Estudo de Caso.	84
Gráfico 15 – Simulação em Slwave® do comportamento da impedância da PCI de Estudo de Caso.	88
Gráfico 16 – Medição com VNA do comportamento da impedância da PCI de Estudo de Caso.	89
Gráfico 17 – Comparativo entre as respostas da simulação e medição da impedância da PCI de Estudo de Caso.	91
Gráfico 18 – Respostas da simulação e medição da impedância da PCI de Estudo de Caso com Z_{target} para 3,4 Tbps.	95

LISTA DE TABELAS

Tabela 1 – Faixa típica de frequência por região de impedância.....	37
Tabela 2 – Trabalhos relacionados.....	53

LISTA DE QUADROS

Quadro 1 – Frequências de ressonância predeterminadas.....	63
Quadro 2 – Comparativo entre as magnitudes obtidas nas diferentes formas de medidas.....	69
Quadro 3 – Valores para cálculo da Impedância Alvo (Z_{target}).....	84
Quadro 4 – Valor do Z_{target} para o throughput de 3,2 Tbps.....	94

LISTA DE SIGLAS

ASIC	<i>Application-Specific Integrated Circuit</i> (Circuito Integrado de Aplicação Específica)
CI	Circuito Integrado
DC	<i>Direct Current</i> (Corrente Direta)
DUT	<i>Device Under Teste</i> (Dispositivo Sob Teste)
ESL	<i>Effective Series Inductance</i> (Indutância Série Efetiva)
ESR	<i>Effective Series Resistance</i> (Resistência Série Efetiva)
IO	<i>Input-Output</i> (Entrada-Saída)
IOSR	<i>International Organization of Scientific Reserch</i>
JEEE	<i>Journals of Electrical and Electronics Engineering</i>
PCI	Placa de Circuito Impresso
PDN	<i>Power Distribution Network</i> (Rede de Distribuição de Energia)
PI	<i>Power Integrity</i> (Integridade de Energia)
SI	<i>Signal Integrity</i> (Integridade de Sinal)
SPIICE	<i>Simulation Program with Integrated Circuit Emphasis</i> (Programa de Simulação com Ênfase em Circuito Integrado)
Tbps	Terabit per second (Terabit por segundo)
VIA	<i>Vertical Interconnect Access</i> (Interconexão de Acesso Vertical)
VNA	<i>Vector Network Analyzer</i> (Analisador de Rede Vetorial)
VRM	<i>Voltage Regulator Module</i> (Módulo Regulador de Tensão)

SUMÁRIO

1 INTRODUÇÃO	23
2 REFERENCIAL TEÓRICO	27
2.1 EVOLUÇÃO DA ELETRÔNICA.....	27
2.1.1 A Placa de Circuito Impresso.....	27
2.1.1.1 PCI multicamadas	28
2.1.1.2 PCI de alto desempenho.....	29
2.1.1.3 Tendência de tensão e corrente de alimentação em dispositivos de alto desempenho	30
2.2 INTEGRIDADE DE SINAIS	32
2.3 INTEGRIDADE DE ENERGIA.....	33
2.4 REDE DE DISTRIBUIÇÃO DE ENERGIA	36
2.4.1 Queda de Tensão na PDN (<i>IR drop</i>).....	39
2.4.2 Impedância Alvo (Z_{target})	40
2.4.3 Capacitores de desacoplamento	43
2.4.4 Método de medição de impedância em PDN.....	45
2.5 TRABALHOS CORRELATOS.....	48
3 METODOLOGIA	55
3.1 MÉTODO PROPOSTO.....	59
4 ANÁLISE DOS RESULTADOS	63
4.1 ANÁLISE DO CIRCUITO CONCEITO	63
4.2 VALIDAÇÃO DO MÉTODO DE MEDIÇÃO PRÁTICA DA REDE DE DISTRIBUIÇÃO DE ENERGIA (PDN).....	65
4.3 ANÁLISE DO CIRCUITO CONCEITO EM PCI PROTÓTIPO	70
4.4 RESULTADOS DAS SIMULAÇÕES E MEDIÇÕES COM A PCI PROTÓTIPO	72
4.4.1 Análise DC da PCI Protótipo.....	73
4.4.2 Análise AC da PCI Protótipo	75
4.5 ANÁLISE DA PCI DE ESTUDO DE CASO.....	81
4.6 RESULTADOS DAS SIMULAÇÕES E MEDIÇÕES COM A PCI DE ESTUDO DE CASO	85
4.6.1 Análise DC da PCI de Estudo de Caso	85
4.6.2 Análise AC da PCI de Estudo de Caso	87
4.7 CONSIDERAÇÕES REFERENTE A MEDIÇÃO DA PDN DA PCI DE ESTUDO DE CASO.....	92

4.7.1 Cabos e conectores	92
4.7.2 Instrumento e instrumentação da medida	93
4.7.3 Calibração	93
4.8 EXTRAPOLAÇÃO PARA A CAPACIDADE MÁXIMA DE <i>THROUGHPUT</i> DO CI <i>SWITCH</i> ETHERNET	94
5 CONCLUSÃO	97
BIBLIOGRAFIA.....	101
APÊNDICE A – ARTIGO RELACIONADO.....	107

1 INTRODUÇÃO

Nos dias atuais, os projetos digitais de alta velocidade já ultrapassaram a barreira de 1 Gbps de troca de informação real (comutação de bits), desta forma os projetistas devem prover cuidados especiais para com a integridade de sinal e o desempenho elétrico do sistema. Nesta velocidade de operação, os principais fatores ao longo do caminho do sinal, como o encapsulamento dos componentes, os conectores, o material do substrato e do laminado da Placa de Circuito Impresso (PCI) e obviamente o traçado das linhas de sinais, não são eletricamente transparentes ou desprezíveis ao comportamento do sinal a ser transmitido. Então todo o cuidado com a integridade do sinal deve ser tomado, pois uma integridade pobre pode causar mau funcionamento de circuitos após a liberação do produto no mercado causando grandes perdas para a empresa (RAHMAN; YAN; ABUBAKAR; 2010).

A integridade de energia é um dos fatores que garante a integridade do sinal e por sua vez a transmissão adequada dos dados entre o transmissor e o receptor (RAHMAN; YAN; ABUBAKAR; 2010). Os problemas de integridade de energia são associados à impedância da Rede de Distribuição de Energia, do inglês *Power Distribution Network* (PDN), que compreende todo o caminho entre a saída da fonte de energia até o Circuito Integrado (CI) que demanda uma tensão de alimentação suficientemente limpa para seu funcionamento adequado (DIBENE, 2014). Uma mudança dramática que vem ocorrendo nas últimas três décadas são os requisitos de energia dos dispositivos de alto desempenho, na qual ocorre o declínio da tensão de alimentação e o aumento da corrente de consumo (DIBENE, 2014), exemplificando com valores, a tensão de alimentação destes dispositivos caiu de 5 Volts para próximo de 0,8 Volts, já a corrente de consumo vem aumentando consideravelmente, atingindo patamares de centenas de Ampères.

Então alguns requisitos da Rede de Distribuição de Energia devem ser garantidos para os dispositivos a ela conectados, como o fornecimento de tensão de alimentação suficientemente limpa, um caminho de baixo ruído quando utilizado como referência para os sinais de alta velocidade e também assegurar que os limites de radiação eletromagnética não sejam ultrapassados (NOVAK; MILLER,

2007). Conforme Popovich, Mezhiba e Friedman (2007), em se tratando de integridade de energia, uma análise preliminar é a verificação da queda de tensão ao longo do caminho, mais comumente chamada de *IR drop*, na qual assume-se que os requisitos de energia são constantes e estáticos, ou seja, uma análise em Corrente Contínua. A queda de tensão ao longo do caminho é, segundo Bogatin (2017), devido a corrente que flui para alimentar todos os CIs no sistema. Devido à resistência do caminho e à corrente que flui, ocorrerá uma queda de tensão ao longo da Rede de Distribuição de Energia. Essa queda de tensão deve ser compensada e assim manter a tensão de alimentação do CI dentro das margens especificadas pelo fabricante (DIBENE, 2014).

Outro ponto é que a Rede de Distribuição de Energia deve funcionar como uma fonte de baixa impedância em toda a largura de banda DC até uma determinada frequência de operação do sistema. Conforme Young (2001), esta baixa impedância é necessária para reduzir a geração de ruído e a emissão de energia eletromagnética resultante, então é utilizada a especificação de uma impedância alvo (Z_{target}) que corresponde à máxima impedância permitida para a PDN atender a um nível de flutuação de tensão (ruído) especificado. Em outras palavras, a tensão de alimentação do CI deve ser mantida estável dentro de uma faixa aceitável de ruído, para isto a impedância da PDN deve ser mantida abaixo de um valor alvo (BOGATIN, 2017). Por outro lado, se a impedância do caminho estiver muito abaixo da impedância alvo especificada, isso pode significar que o projeto está com um custo aplicado além do necessário.

Por ser um tema relativamente novo, devido ao crescimento rápido das tecnologias e da velocidade de transmissão dos dados, associado a demanda do mercado por uma maior capacidade de troca de informações, assim como novas tecnologias associadas, este tema começa a ser mais explorado e contextualizado dentro do projeto de um sistema eletrônico. Porém ainda há incertezas em ferramentas e métodos de análise referente a qualidade de uma Rede de Distribuição de Energia em um produto eletrônico.

Baseado nestas informações, o objetivo deste trabalho é avaliar a integridade de energia de uma Rede de Distribuição de Energia para um CI *Switch* Ethernet em uma aplicação com *throughput* de 2,4 Tbps e a possibilidade de extrapolação para um *throughput* máximo de 3,2 Tbps, avaliando o comportamento da magnitude de

sinais e impedância na Rede de Distribuição de Energia em função da frequência. Esta avaliação da integridade de energia será realizada pelo levantamento da magnitude de sinais e impedância da Rede de Distribuição de Energia em função da frequência de forma teórica e prática, através de simulações e medições. Será também avaliada a definição de um procedimento prático para a realização da medida da magnitude de sinais e impedância da Rede de Distribuição de Energia em relação à comparação dos resultados teóricos e prático.

Por fim, este trabalho está orientado a avaliar o *layout* de uma Rede de Distribuição de Energia de uma Placa de Circuito Impresso de um CI *Switch* Ethernet em uma aplicação com *throughput* de 2,4 Tbps com possibilidade de extrapolação para um *throughput* máximo de 3,2 Tbps, através do uso de ferramentas de software para realizar a análise teórica e através de instrumentação adequada para o levantamento do gráfico da resposta da magnitude de sinais e impedância em função da frequência.

Este trabalho está dividido em 5 capítulos, sendo o primeiro capítulo de introdução na qual são apresentadas as motivações e os objetivos que levaram ao desenvolvimento deste trabalho, um capítulo de referencial teórico onde são apresentados os conceitos para a contextualização dos assuntos que serão discutidos ao longo do trabalho. Um terceiro capítulo trata da metodologia adotada para a realização do trabalho, seguido pelo capítulo de análise dos resultados onde serão apresentadas as simulações e medições práticas referentes ao desenvolvimento do trabalho e por fim a conclusão que aborda as considerações sobre os resultados obtidos na execução do trabalho e algumas propostas de trabalhos futuros.

2 REFERENCIAL TEÓRICO

Neste capítulo são apresentados os principais conceitos necessários para a compreensão deste trabalho. Inicialmente é realizada uma contextualização no tempo dos produtos eletrônicos e então são relacionadas as definições básicas para o embasamento e fundamentação do principal assunto tratado, a Rede de Distribuição de Energia em uma placa de circuito impresso.

2.1 EVOLUÇÃO DA ELETRÔNICA

Um equipamento eletrônico consiste em um projeto que envolve a combinação entre componentes elétricos e eletrônicos que são interligados para realizar uma função determinada (KHANDPUR, 2005), ou seja, todos os componentes elétricos e eletrônicos devem ser interligados e posicionados de forma a criar um sistema funcional e operacional (COOMBS, 2007). No início da evolução da eletrônica, quando se utilizavam tubos de vácuo e ainda por um período mais tarde, os equipamentos eletrônicos eram interligados através de fios e unidos por solda do tipo ponto a ponto realizadas à mão (KHANDPUR, 2005). A evolução natural ocorreu em várias áreas da eletrônica, através do desenvolvimento de componentes menores e o uso da miniaturização em projetos de equipamentos eletrônicos, ainda conforme Khandpur (2005), este fato fez surgir uma nova técnica na interligação e montagem dos componentes, que hoje é popularmente conhecida como Placa de Circuito Impresso (PCI).

2.1.1 A Placa de Circuito Impresso

A Placa de Circuito Impresso desempenha um papel fundamental nos equipamentos eletrônicos, sendo ela responsável por fornecer tanto a estrutura física para a montagem e fixação dos componentes eletrônicos, quanto é essencial para a interligação elétrica entre estes componentes (KHANDPUR, 2005). Conforme Coombs (2007), desde o início dos anos de 1950, o bloco de construção básico de acondicionamento eletrônico é a PCI.

O final dos anos 1960, conforme afirma Khandpur (2005), testemunhou um crescimento fenomenal no campo da eletrônica de consumo, o que exigiu a introdução da automação na fabricação e no teste de PCIs. Logo após, nos anos 1970, as PCIs foram enraizadas em praticamente todas as áreas da eletrônica, como por exemplo, em equipamentos científicos, médicos, espaciais e de defesa e principalmente na eletrônica de consumo, que mais tarde culminou com a indústria de computadores pessoais.

A PCI é composta por dois componentes básicos, um deles é o material de base (substrato), que é, normalmente, uma combinação de um dielétrico isolante e um material de reforço. O outro elemento é a folha de metal, a qual a espessura é determinada por uma classificação de massa em onças por pé quadrado (Oz), normalmente de cobre, a partir do qual é formado o modelo de fiação para produzir os caminhos condutivos do circuito entre os componentes eletrônicos (MARKS; CATERINA, 2000).

Segundo Coombs (2007), a maioria das Placas de Circuito Impresso fabricadas no mundo são produzidas através de processo gráfico e existem, basicamente, três tipos alternativos para montagem, sendo placas com circuito impresso de um único lado, placas com circuito impresso em ambos os lados (comumente chamada de dupla face) e placas com múltiplas camadas de circuito impresso.

2.1.1.1 PCI multicamadas

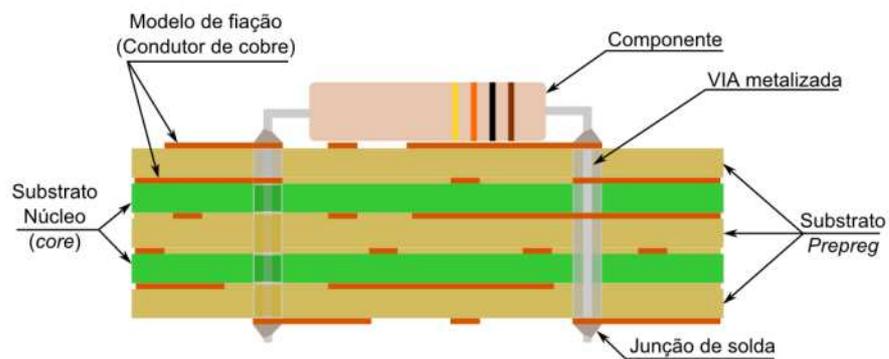
A PCI de múltiplas camadas ou multicamadas possui três ou mais camadas de modelo de fiação (KHANDPUR, 2005). Pode-se pensar em uma PCI multicamadas como sendo várias placas de face única, empilhadas e coladas uma sobre a outra. A ligação entre as camadas de cobre internas e externas ocorre por meio da perfuração de orifícios entre as camadas e a inserção de Interconexões de Acesso Vertical, do inglês *Vertical Interconnection Access* (VIA), (VERTERESIAN, 2002).

A PCI de multicamadas típica é formada por um empilhamento alternado entre laminados de substrato base, também chamado de núcleo, do inglês *core*, e esteiras de *prepreg* (*preimpregnated*). As esteiras *prepreg* são compostas por um

tecido de material fibroso (fios de fibra de vidro) pré-impregnado (motivo pelo qual é chamada de *prepreg*) com uma resina sintética curada parcialmente (THIERAUF, 2004).

Conforme Thierauf (2004), para formar a estrutura da PCI multicamada (*core* + *prepregs*), uma pilha de esteiras *prepreg* e laminados de núcleo são aquecidos e submetidos a uma pressão, fazendo com que o *prepreg* seja totalmente curado e cole nos laminados de núcleo. Então toda a estrutura é resfriada, formando assim a PCI com multicamadas de cobre. A Figura 1 a seguir representa uma placa de circuito impresso multicamadas.

Figura 1 – Placa de circuito impresso com multicamadas.



Fonte: Adaptada de Thierauf (2004).

Segundo Khandpur (2005), a utilização de PCI multicamadas se dá quando existe a necessidade de um controle cuidadoso da impedância das linhas de condução do sinal e de mínimas distorções na propagação do sinal para satisfazer os requisitos de qualidade do sinal, ou quando, é necessário o acoplamento ou proteção das linhas de sinais, neste caso, a capacitância distribuída entre as diferentes camadas fornece um desacoplamento da fonte de energia, o que permite a operação satisfatória dos circuitos de alto desempenho e transmissão de dados em alta velocidade.

2.1.1.2 PCI de alto desempenho

Em PCI de alto desempenho, as características físicas e elétricas dos materiais do substrato e dos condutores podem ter efeito sobre como o conjunto

executa a sua função pretendida. Além disso, a seleção adequada de materiais pode determinar a produtividade e desempenho do projeto (MARKS; CATERINA, 2000). Em se tratando de desempenho em PCI, a velocidade de propagação do sinal é inversamente proporcional à raiz quadrada da constante dielétrica do material de substrato, exigindo assim que os projetistas estejam cientes das propriedades dielétricas do substrato que pretendem utilizar. Da mesma forma que, a propagação do sinal no substrato entre as camadas é diretamente proporcional ao comprimento da fiação condutora, assim estas devem ser mantidas curtas para assegurar o melhor desempenho elétrico do sistema que opera em altas velocidades (COOMBS, 2007).

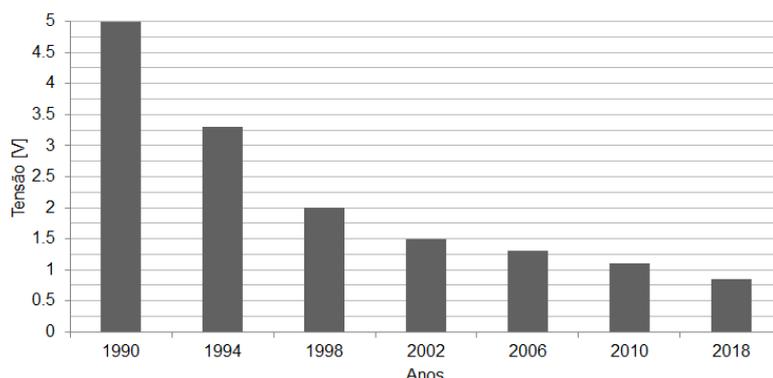
A tendência contínua da alta funcionalidade e alta velocidade de Circuitos Integrados (CI) e componentes com maior quantidade de pinos de Entrada-Saída, do inglês *Input-Output* (IO) resultou em um aumento da demanda por PCI com modelo de fiação mais finos, principalmente as linhas de sinais, dando origem às estruturas de interligação de alta densidade (KHANDPUR, 2005).

A velocidade na qual o sistema eletrônico opera é um fator técnico muito importante no desenho das interligações entre os componentes. Atualmente, muitos sistemas digitais operam em 100 MHz, mas já estão indo muito além desta frequência. O aumento da velocidade do sistema exige uma menor ingenuidade dos engenheiros de projeto dos equipamentos eletrônicos (COOMBS, 2007), principalmente em relação aos requisitos mais rigorosos de tensão e corrente interna de dispositivos de alto desempenho (DIBENE, 2014).

2.1.1.3 Tendência de tensão e corrente de alimentação em dispositivos de alto desempenho

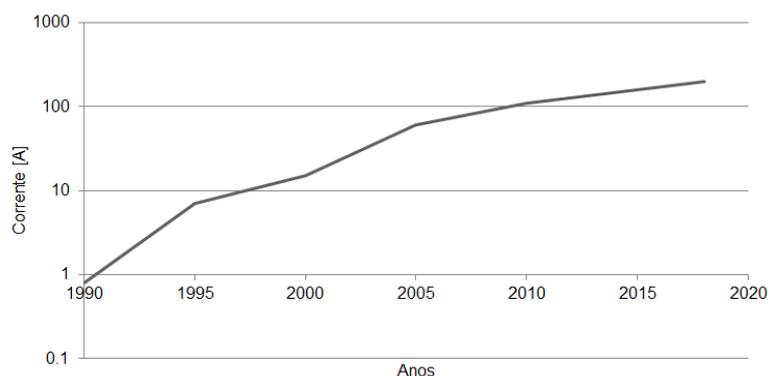
Uma mudança dramática que vem ocorrendo nas últimas três décadas são os requisitos de energia dos dispositivos de alto desempenho, na qual ocorre o declínio da tensão de alimentação e o aumento da corrente de consumo (DIBENE, 2014). Conforme pode ser observado no Gráfico 1, a tensão de alimentação destes dispositivos caiu de 5 Volts para próximo de 0,8 Volts, já o Gráfico 2 demonstra que a corrente de consumo vem aumentando consideravelmente, atingindo patamares de centenas de Ampères.

Gráfico 1 – Tendência de tensão de alimentação em CIs.



Fonte: Adaptado de DiBene (2014).

Gráfico 2 – Tendência de corrente de consumo em CIs.



Fonte: Adaptado de DiBene (2014).

Este fato relacionado à tensão e corrente de alimentação de dispositivos de alto desempenho acompanha a tendência da Lei de Moore, que diz que o número de transistores em um silício duplica a cada 18 meses. À medida que a densidade de transistores aumenta, necessita também uma menor tensão devido à redução das dimensões de isolamento internas do silício e necessita um aumento de corrente devido ao maior número de *gates* transicionando. Assim as margens de ruído encolhem devido a necessidade de fornecimento de uma energia de alta qualidade para garantir o funcionamento correto de tais dispositivos, aumentando a importância da Rede de Distribuição de Energia perante as questões de integridade de sinais e obviamente integridade de energia em projetos de alto desempenho.

2.2 INTEGRIDADE DE SINAIS

A Integridade de Sinais, do inglês *Signal Integrity* (SI), segundo Li (2007), é qualquer desvio da forma de onda ideal transmitida e Thierauf (2010) complementa que essa integridade passa por análise, projeto e validação de todo o caminho necessário para o êxito da transmissão de sinais digitais. Deste modo a integridade de sinais é de fundamental importância para pesquisadores e projetistas da área de engenharia elétrica e eletrônica, com aplicação em todos os circuitos eletrônicos (RAHMAN; YAN; ABUBAKAR, 2010).

A validação da integridade de um sinal percorre teorias e práticas de várias áreas da engenharia elétrica, principalmente a eletrônica analógica, eletrônica digital, lógica programável e programação. Ainda conforme Thierauf (2010) a maioria dos trabalhos de integridade de sinais é realizada no domínio do tempo, e neste caso o osciloscópio é o instrumento prático mais indicado para o uso, enquanto que na teoria, o software SPICE, do inglês *Simulation Program with Integrated Circuit Emphasis* (Programa de Simulação com Ênfase no Circuito Integrado) é uma ferramenta adequada para a simulação dos circuitos, que também apresenta o resultado no domínio do tempo. Porém, as características elétricas da linha de sinal e por sua vez a linha de transmissão se alteram conforme a frequência de operação, então a realização do estudo da integridade de sinais com base no domínio da frequência é o mais apropriado quando se deseja avaliar como as perdas nas linhas de transmissão distorcem o sinal e interferem no alinhamento dos pulsos digitais. Neste caso um Analisador de Rede Vetorial, do inglês *Vector Network Analyzer* (VNA), que exhibe o comportamento da impedância de uma linha de transmissão ao longo de uma faixa de frequência é um exemplo de um instrumento prático indicado para análise no domínio da frequência (THIERAUF, 2010).

Para simulação, Chen (2010) sugere o uso do algoritmo de análise de sinal do software Protel (atualmente denominado Altium®), o qual através de cálculos assegura a credibilidade dos resultados. Esse algoritmo de análise está baseado em algumas regras, como por exemplo, o diagrama de fase, a resistência da linha e reflexão do sinal, que são inseridas antes do início do *layout* da PCI, assim a ferramenta possibilita a verificação de conflitos em relação às regras para integridade de sinal pré-estabelecidas, e então realizar o diagnóstico para que o

projetista atue em correção ou melhorias ainda na etapa de projeto da PCI (CHEN, 2010).

Em projetos, principalmente projetos de alta velocidade de transmissão de dados, a análise de integridade de energia também deve ser observada e avaliada ainda no estágio inicial do projeto, pois o modo como a distribuição de energia é realizada na PCI entre o circuito da fonte de energia e os Circuitos Integrados de Aplicação Específica, do inglês *Application-Specific Integrated Circuit* (ASIC) e de dispositivos alto desempenho, está diretamente relacionado com a qualidade da integridade de sinais (CANIGGIA; MARADEI, 2008).

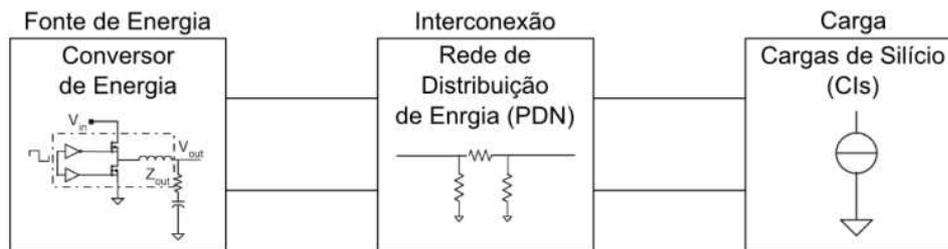
2.3 INTEGRIDADE DE ENERGIA

A Integridade de Energia, do inglês *Power Integrity* (PI) é definida por DiBene (2014) como sendo o estudo da eficácia da energia fornecida a partir da fonte de alimentação para a carga em um sistema eletrônico. Porém esta definição pode parecer um pouco simplista, visto que o estudo da integridade de energia não se limita apenas à análise de conversão e distribuição de energia, mas também abrange a análise do circuito eletrônico em relação aos componentes de desacoplamento, do encapsulamento destes componentes, análise do comportamento da PCI, suas propriedades (substrato e laminado) e seu *layout*, e também das impedâncias distribuídas ao longo de todo o caminho (DIBENE, 2014).

A Figura 2 demonstra de forma simplificada o esquema de ligação entre uma fonte de energia e um componente de carga (ASIC), na qual o conversor de energia, também chamado de Módulo Regulador de Tensão, do inglês *Voltage Regulator Module* (VRM) é responsável por gerar a tensão e corrente para a operação do circuito e presume-se que o mesmo possua desacoplamento para filtrar e armazenar energia adequada para a carga. Já o bloco central é a Rede de Distribuição de Energia, mais conhecida pela sigla PDN, do inglês *Power Distribution Network*, compreende todos os elementos críticos para o adequado funcionamento do sistema, consistindo no caminho entre a saída da fonte de energia até o CI de aplicação específica. A carga do circuito é representada de forma genérica, pois a modelagem do comportamento real destes componentes de alto desempenho em todas as condições possíveis torna-se praticamente impossível. No entanto, o

conhecimento do comportamento da carga é necessário para a realização de análises, seja para a análise de integridade de sinais ou de integridade de energia (DIBENE, 2014).

Figura 2 – Representação do domínio da integridade de energia.



Fonte: Adaptada de DiBene (2014).

Os problemas de integridade de energia são tipicamente associados a impedância de entrada do sistema de alimentação, ruído gerado por comutação simultânea (SSN, do inglês *Simultaneous Switching Noise*), ressonâncias na PCI e falta de desacoplamento entre planos (sinal e retorno). Para que estes problemas sejam reduzidos é importante que a queda de tensão entre o ponto de fornecimento de energia e o ponto de entrega de energia ao CI específico, assim como a queda de tensão no plano de retorno entre o CI específico e a fonte de fornecimento de energia, seja a menor possível (CANIGGIA; MARADEI, 2008).

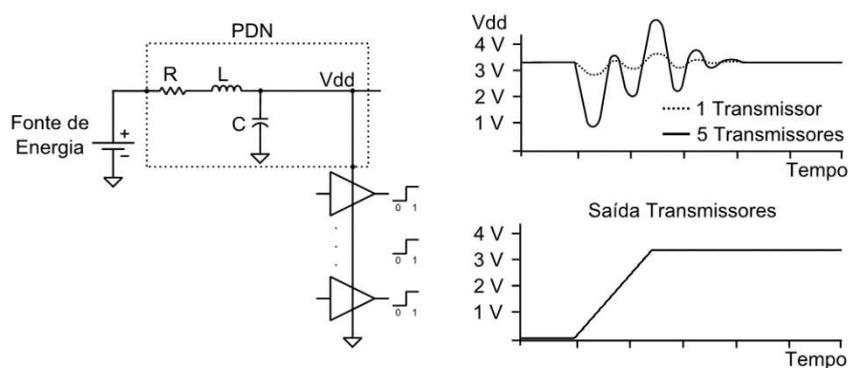
O projeto e validação da PDN em circuitos eletrônicos, principalmente em equipamentos digitais de alta velocidade, está se tornando um desafio cada vez maior, pois para uma adequada integridade de sinais e uma adequada integridade de energia a PDN deve atender a três requisitos básicos. Um requisito é garantir o fornecimento de tensão de alimentação suficientemente limpa para o circuito eletrônico, principalmente para os CIs de alto desempenho. Outro requisito é ser um caminho de baixo ruído quando utilizado como referência para os sinais de alta velocidade. E o terceiro requisito é assegurar que os limites de radiação eletromagnética não sejam ultrapassados (NOVAK; MILLER, 2007).

Estes três requisitos podem ser observados e avaliados por meio de simulação ou por meio de medidas e são importantes, pois o ruído gerado na PDN pode se propagar por toda a placa e assim afetar o funcionamento de outros dispositivos ativos, bem como podem, em casos extremos, gerar radiação

eletromagnética e violar exigências regulatórias (CANIGGIA; MARADEI, 2008). A referência para sinais não é uma função da PDN, mas segundo Novak e Miller (2007) o plano de retorno da PDN é assim é utilizado em muitos modelos, deste modo, Caniggia e Maradei (2008), reforçam que o uso de PCI multicamada é o mais adequado, pois resulta em uma baixa indutância associada com o caminho de entrega de carga dos planos para os elementos ativos, assim permitindo uma melhor dissociação do ruído devido ao caminho de retorno.

Um fator crítico para a integridade de energia é a flutuação de tensão ou também chamada de ruído transiente, a qual deve ser mantida abaixo de um limite pré-definido, de modo que não interfira com a sinalização analógica ou digital do circuito (NOVAK; MILLER, 2007). Essa flutuação de tensão ocorre devido ao ruído de comutação simultânea (SSN), ou seja, ocorre quando vários transmissores mudam simultaneamente e demandam corrente de uma fonte de energia. A intensidade deste ruído é determinada pela impedância da PDN, assim o ruído SSN é ocasionado devido à variação na corrente da fonte de energia, que por sua vez gera o ruído na tensão da Rede de Distribuição de Energia (vide Figura 3). Este fato enfatiza que a indutância da PDN é a causa principal do ruído SSN visto que a variação de corrente através da impedância é o que determina a queda de tensão ao longo da PDN (THIERAUF, 2010).

Figura 3 – Efeito do SSN na Rede de Distribuição de Energia.



Fonte: Adaptada de Thierauf (2010).

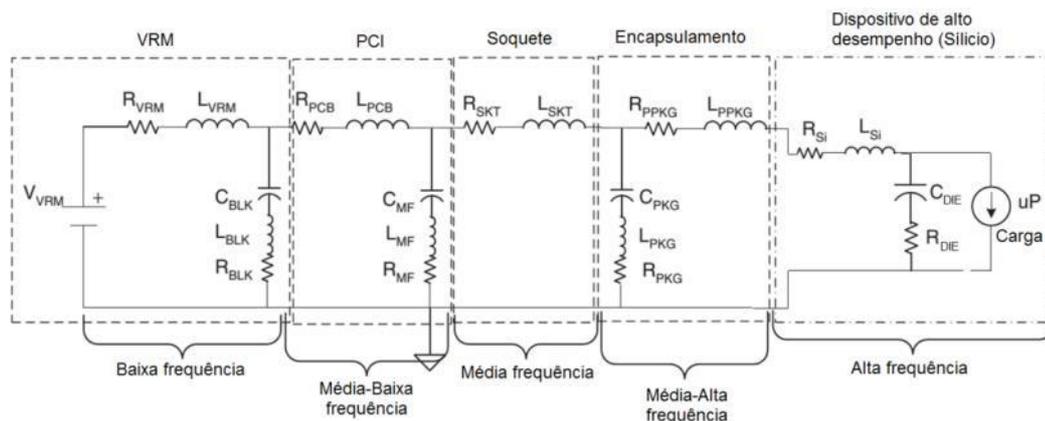
Uma vez que os níveis lógicos digitais são definidos pela tensão no domínio do tempo, pode parecer óbvio também caracterizar o comportamento da PDN no domínio do tempo. Porém uma dificuldade prática da medida da PDN no domínio do

tempo é a aquisição de dados, pois, normalmente neste caso não há um sinal de disparo limpo para coletar amostras únicas em janelas bem definidas de tempo, logo o osciloscópio engatilhado a partir de um sinal com muito ruído está propenso a captar ruído erroneamente do ambiente, principalmente quando é necessário medir níveis de ruído na faixa de tensão de milivolts. Desta forma, uma grande vantagem da utilização de medidas no domínio da frequência no processo de caracterização da PDN em vez de domínio de tempo é que o ruído aleatório do ambiente pode ser facilmente suprimido, tornando a caracterização mais objetiva (NOVAK; MILLER, 2007).

2.4 REDE DE DISTRIBUIÇÃO DE ENERGIA

Conforme mencionado anteriormente e representada pela Figura 2, a PDN compreende todos os elementos críticos para o adequado funcionamento do sistema, consistindo no caminho entre a saída da fonte de energia até o silício do CI específico, incluindo assim as impedâncias internas do CI. A Figura 4 demonstra a representação das impedâncias e das faixas de frequência que estão relacionadas com a PDN e seus respectivos caminhos.

Figura 4 – Impedâncias relacionadas à Rede de Distribuição de Energia.



Fonte: Adaptada de DiBene (2014).

Analisando a Figura 4, o módulo regulador de tensão (VRM), representado mais à esquerda, é responsável pelo fornecimento de energia, sendo tipicamente um conversor DC-DC composto por um elemento chaveador (*mosfet*), um indutor e

capacitores de massa (*bulk*) e normalmente está associado às respostas em baixas frequências. Este regulador de tensão é tipicamente representado por um circuito LR (indutor-resistor) simples, junto com a rede de capacitores em massa. A parte intermediária, composta pela PCI, soquete e encapsulamento, consiste no caminho principal da PDN, sendo representada por uma rede passiva de resistores, indutores e capacitores que interligam o VRM à carga, que por sua vez está representada por uma rede LR relativa ao silício e outra RC (resistor-capacitor) relativa ao desacoplamento do núcleo (*die*) do CI específico.

A Tabela 1 demonstra a faixa de frequência típica para região de impedância da PDN. Como pode ser observado, os valores não são absolutos, pois há sobreposição entre as faixas das regiões próximas.

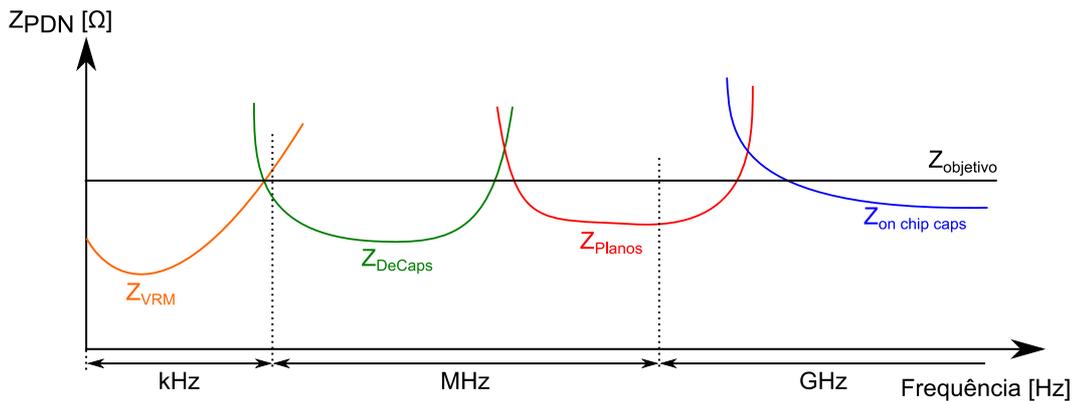
Tabela 1 – Faixa típica de frequência por região de impedância.

Região de Impedância	Banda de Frequência Efetiva
VRM	10 kHz a 500 kHz
PCI	100 kHz a 750 kHz
Soquete	500 kHz a 5 MHz
Encapsulamento	1 MHz a 15 MHz
Dispositivo de alto desempenho (silício)	10 MHz a 100 MHz

Fonte: Adaptada de DiBene (2014).

Fizesan e Pitica (2012) também reforçam a ideia de divisão do espectro de frequência em faixas de acordo com a resposta de cada componente da PDN. Na Figura 5 é apresentado um gráfico do comportamento da impedância da PDN em relação à frequência e a influência de cada parte do circuito. Nesta figura a impedância do bloco regulador de tensão está representado por Z_{VRM} , a impedância dos capacitores de desacoplamento está representada por Z_{DeCaps} e está compreendida entre a faixa de MHz até alguns GHz. Já Z_{Planos} representa a impedância dos planos de alimentação de terra de referência e por fim $Z_{on\ chip\ caps}$ representa a impedância interna do CI.

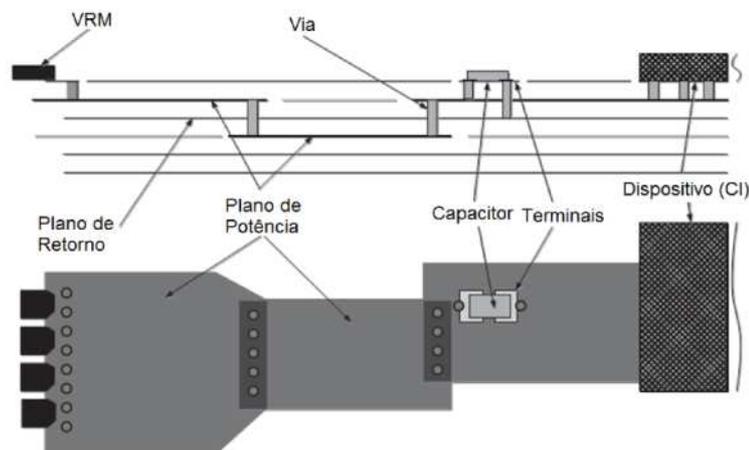
Figura 5 – Impedância em relação à frequência de uma PDN.



Fonte: Adaptada de Fizesan e Pitica (2012).

Em um equipamento eletrônico de alto desempenho a PDN envolve modelos complexos, pois, tipicamente a Rede de Distribuição de Energia atravessa várias camadas de cobre em uma PCI desde a saída do VRM até a chegada no CI específico. A Figura 6 demonstra uma vista transversal e outra superior de uma PDN aproximada do real, onde as trocas de planos são necessárias devido ao roteamento de sinais prioritários, como por exemplo, sinais de alta velocidade (*high speed*). Esse roteamento normalmente gera estrangulamento e conseqüentemente aumentam impedância do caminho e a densidade de corrente, gerando assim pontos críticos de queda de tensão ao longo da PDN.

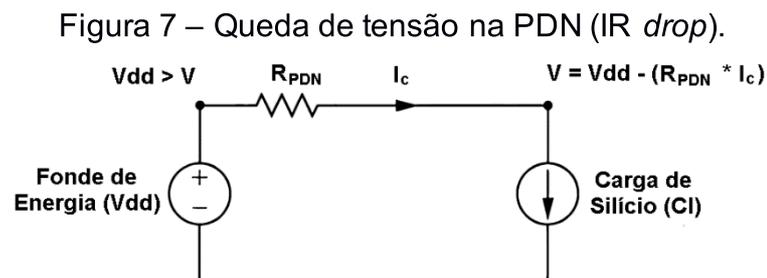
Figura 6 – Vista transversal e superior de um exemplo de uma PDN.



Fonte: Adaptada de DiBene (2014).

2.4.1 Queda de Tensão na PDN (IR drop)

Conforme Popovich, Mezhiba e Friedman (2007), em se tratando de integridade de energia, uma análise preliminar é a verificação da queda de tensão na PDN, mais comumente chamada de *IR drop*, na qual assume-se que os requisitos de energia são constantes e estáticos, ou seja, uma análise em Corrente Contínua, do inglês *Direct Current* (DC). A Figura 7 demonstra a queda de tensão da PDN e conforme Bogatin (2017), uma quantidade de corrente flui para alimentar todos os CIs no sistema e devido à resistência da Rede de Distribuição de Energia, uma queda de tensão ocorrerá à medida que a corrente flui, desta forma a tensão gerada na fonte de energia deve ser superior à tensão de alimentação da carga de silício ($V_{dd} > V$) com a intenção de compensar as perdas estáticas existentes ao longo do caminho da PDN (DIBENE, 2014).



Fonte: Adaptado de Popovich, Mezhiba e Friedman (2007).

Desta forma a PDN deve ser projetada buscando manter a tensão de alimentação do CI dentro das margens especificadas pelo fabricante. Convencionalmente, conforme DiBene (2014), utilizam-se camadas mais grossas de metal para a distribuição de energia, pois com mais metal a resistência será menor e consequentemente a queda de tensão na PDN também será mais baixa. Porém, como visto anteriormente, a PDN não é formada somente por resistências, a PDN é também possui uma impedância devido a presença de indutores e capacitores. Bogatin (2017) reforça que, para corrente DC, a impedância de um indutor é quase zero, mas a impedância real depende da forma de onda da corrente que circula através dele, ou seja, a impedância é diretamente dependente da frequência, assim o indutor terá uma alta impedância quando a corrente através dele mudar, se a

corrente através de um indutor aumentar rapidamente, a impedância deste indutor será grande.

Conforme mencionado anteriormente, a frequência tem influência na queda de tensão da PDN devido às impedâncias dos elementos que a compõem, desta forma, uma abordagem amplamente utilizada é o controle da impedância da PDN ao longo de toda faixa de frequência de operação do CI, esta impedância é denominada como Impedância Alvo (Z_{target}) e é tida como a máxima impedância admissível para que o desempenho e confiabilidade do circuito e principalmente do CI seja atingido (FIZESAN; PITICA, 2012).

2.4.2 Impedância Alvo (Z_{target})

A Rede de Distribuição de Energia deve funcionar como uma fonte de baixa impedância em toda a largura de banda DC até uma determinada frequência do relógio do sistema (*clock*). Conforme Young (2001), esta baixa impedância é necessária para reduzir a geração de ruído e a emissão de energia eletromagnética resultante. Desta forma é utilizada a especificação de uma impedância alvo (Z_{target}) que corresponde à máxima impedância permitida para a PDN atender a um nível de flutuação de tensão (ruído) especificado. Em outras palavras, a tensão de alimentação do CI deve ser mantida estável dentro de uma faixa aceitável de ruído, para isto a impedância da PDN deve ser mantida abaixo de um valor alvo (BOGATIN, 2017).

Na prática, segundo Bogatin (2017), não é a corrente DC que interfere na definição da impedância alvo da PDN, mas sim a corrente transitória. O consumo de corrente no estado estacionário é compensado pela VRM de forma a manter a tensão de alimentação no valor de tensão especificada, porém quando ocorre a demanda de corrente por chaveamento dos IOs, aumentando ou diminuindo, em frequências na qual a VRM não responde, é que ocorrerá a interação com a impedância da PDN, por este motivo é que é utilizada a corrente transitória ($I_{transient}$) como denominador para determinação do Z_{target} , desta forma a impedância máxima para a PDN é determinada com base na maior impedância cuja a queda de tensão ainda será abaixo da especificação de ruído aceitável, conforme demonstrado nas equações (1) e (2) a seguir.

$$Z_{PDN} * I_{transient} = V_{noise} < V_{dd} * ripple\% \quad (1)$$

$$Z_{target} < \frac{V_{dd} * ripple\%}{I_{transient}} \quad (2)$$

Onde: V_{dd} = tensão de alimentação

$I_{transient}$ = corrente transiente

Z_{PDN} = impedância da PDN

Z_{target} = impedância alvo da PDN

V_{noise} = tensão de ruído na alimentação do CI

$ripple\%$ = ondulação permitida

Em relação a corrente transiente ($I_{transient}$), conforme especificado por Bogatin (2017), ela depende da função e aplicação de cada CI, podendo variar de 1% a 99%. Então se não houver um conhecimento ou definição do comportamento da corrente transiente no CI da aplicação, o projetista deve considerar a estimativa da metade da corrente máxima do CI, conforme equação (3).

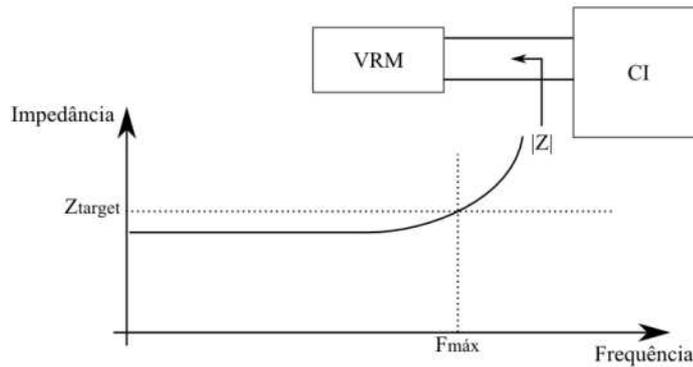
$$I_{transient} \sim 1/2 * I_{max} \quad (3)$$

Onde: $I_{transient}$ = corrente transiente de pior caso para o CI

I_{max} = corrente máxima total do CI

Conforme Young (2001), a PDN é projetada de forma a apresentar a menor impedância do ponto de vista do CI para a VRM até uma largura de banda especificada. A Figura 8 exemplifica a definição de impedância alvo. A indutância do encapsulamento do CI é o fator limitante desta largura de banda em relação à frequência limite que na qual o CI irá perceber em relação ao nível da PCI. Esse limite, representado na Figura 8 por $F_{m\acute{a}x}$, geralmente, está no intervalo de 10 MHz a 100 MHz (BOGATIN, 2017).

Figura 8 – Representação gráfica da impedância alvo (Z_{target}).

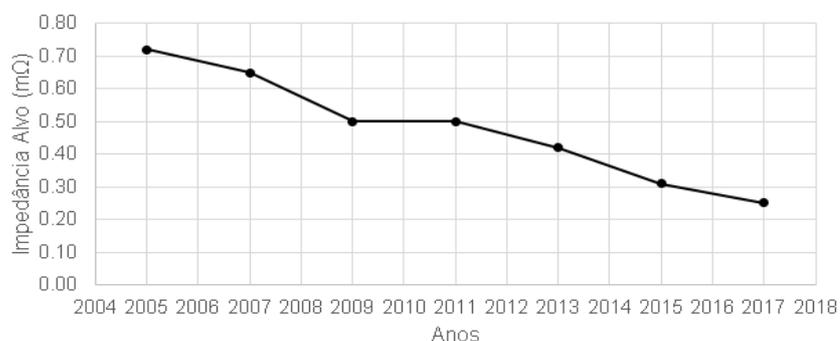


Fonte: Adaptado de Young (2001).

Ainda segundo Bogatin (2017), a impedância da PDN deve ser mantida abaixo da impedância alvo (Z_{target}) em todas as frequências para que o pior caso de ruído gerado na PDN devido a corrente transiente ($I_{transient}$) que flui através dela, seja menor que a especificação de ruído para o CI. Por outro lado, se a impedância da PDN estiver muito abaixo da impedância alvo especificada, isso pode significar que o projeto está com um custo aplicado além do necessário.

Seguindo a Lei de Moore, estima-se que as tecnologias de CIs sejam escalonadas por no mínimo mais uma década. O resultado disso são que as correntes médias e transitórias provenientes da PDN continuarão a subir, como já apresentado pela Gráfico 2, do mesmo modo a tensão de alimentação está sendo reduzida, vide Gráfico 1. Assim sendo, a impedância alvo de uma PDN para CIs de alta velocidade e de alto desempenho continuará a cair, atingindo valores inferiores a $250 \mu\Omega$, conforme ilustrado a seguir no Gráfico 3 (POPOVICH, 2007).

Gráfico 3 – Queda da impedância alvo ao longo dos anos.



Fonte: Adaptada de Popovich (2007).

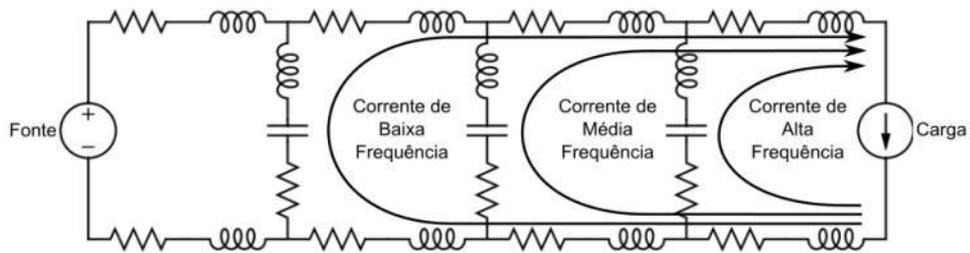
Uma forma de reduzir a impedância em uma Rede de Distribuição de Energia (PDN) é uso de capacitores de desacoplamento, pois eles fornecem a energia necessária aos circuitos de comutação, diminuindo o ruído da fonte de alimentação. Desta forma os capacitores de desacoplamento tornam-se componentes vitais para satisfazer a impedância alvo em uma ampla faixa de frequência. Normalmente a VRM é eficaz até em torno de 500 kHz, já os capacitores de *bulk* respondem na faixa de 100 kHz a 1 MHz, então os capacitores de alta frequência, também ditos capacitores de desacoplamento, respondem na faixa de 1 MHz a algumas centenas de MHz, sendo mais efetivos quando quanto mais próximos dos pinos de alimentação do CI (POPOVICH, 2007).

2.4.3 Capacitores de desacoplamento

A impedância de alta frequência é efetivamente reduzida quando os capacitores são colocados entre os condutores de energia e de terra. Como dito anteriormente, os capacitores de desacoplamento são utilizados para reduzir a impedância da PDN na faixa de 1 MHz até algumas centenas de MHz, sendo os mesmos mais efetivos em mais altas frequências quando posicionados próximos aos pinos de alimentação do CI, pois a energia é fornecida diretamente nos pinos, sem a necessidade de demandar corrente de outros pontos da PDN quando ocorre a comutação dos circuitos.

Os capacitores de desacoplamento quando posicionados o mais próximo possível dos pinos de alimentação do CI permitem a terminação do loop de corrente de alta frequência, ou seja, corrente fornecida ignora a interconexão indutiva existente ao longo da PDN e assim efetivamente “desacoplam” as partes de alta impedância da Rede de Distribuição de Energia (POPOVICH, 2007). A Figura 9, a seguir, demonstra como o desacoplamento em vários níveis é normalmente usado para confinar a impedância de saída do ponto de vista do CI, na qual é utilizada a abordagem de posicionar os estágios hierárquicos de capacitores progressivamente menores mais próximos da carga.

Figura 9 – Desacoplamento em vários níveis usado para confinar a impedância.



Fonte: Adaptada de Popovich (2007).

Atualmente é comum encontrar em CIs de alto desempenho um tempo de comutação de portas na ordem de algumas dezenas de picos segundos, gerando assim correntes transitórias de alta frequência na Rede de Distribuição de Energia. Nestas altas frequências, conforme Popovich (2007), somente os capacitores de desacoplamento internos ao CI e com uma Resistência Série Efetiva, do inglês *Effective Series Resistance* (ESR) e uma Indutância Série Efetiva, do inglês *Effective Series Inductance* (ESL) baixos localizados nas proximidades do circuito de comutação podem efetivamente fornecer a energia necessária para a demanda de carga dentro do tempo apropriado e assim efetivamente manter uma baixa impedância no sistema de distribuição de energia.

Conforme demonstrado na Figura 9 e para evitar resultados excessivamente otimistas, os capacitores de desacoplamento não devem ser modelados como sendo puramente uma capacitância, mas sim modelados com base em um circuito RLC (resistor-indutor-capacitor) em série, conforme apresentado na Figura 10.

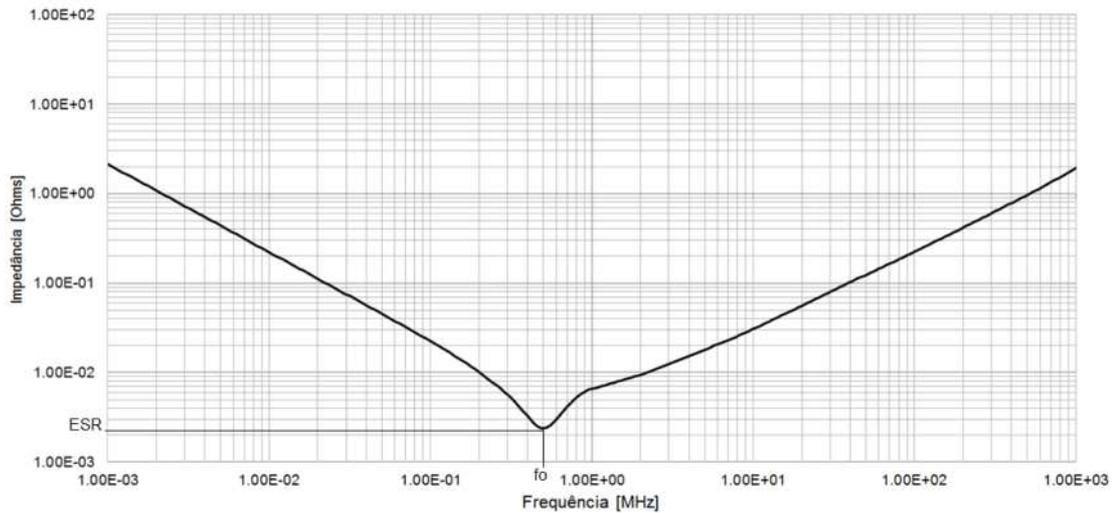
Figura 10 – Modelo de impedância de um capacitor.



Fonte: Adaptado de Young (2001).

Ainda conforme Young (2001), os capacitores reais possuem uma resposta em frequência semelhante da Figura 11, na qual a indutância e a resistência série provêm do contato e das dimensões espaciais das placas do capacitor, além dos terminais de fixação e montagem que são significativos, por isso devem incluídos no modelo do capacitor.

Figura 11 – Resposta em frequência de um capacitor de 100 µF.



Fonte: Adaptado de Young (2001).

Capacitor de dimensões menores possui também menor indutância, juntamente com menor capacitância resulta em uma frequência de ressonância maior, conforme demonstrado na equação (4).

$$f_o = \frac{1}{2\pi\sqrt{LC}} \quad (4)$$

Onde: fo = frequência de ressonância

L = indutância do capacitor

C = capacitância do capacitor

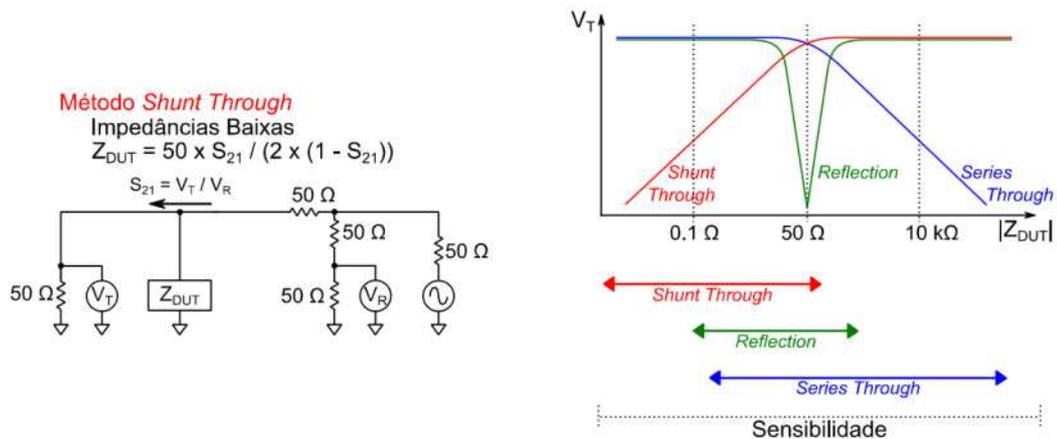
Portanto, capacitores de encapsulamento pequenos são mais efetivos e úteis para a redução da impedância da Rede de Distribuição de Energia nas frequências mais altas. Por se tratar de um valor de impedância e não de resistência, é necessário que a medição seja realizada através de um método adequado. Este método será apresentado a seguir.

2.4.4 Método de medição de impedância em PDN

Conforme relatado anteriormente no item 2.4.2, a PDN é projetada de forma a apresentar a menor impedância do ponto de vista do CI para a VRM em uma largura

de banda especificada. Esta menor impedância, definida por Z_{target} , conseqüentemente acarreta na definição de um processo sistemático de validação por medição. Conforme relatado por Tisujii (2011), a medição da impedância da PDN é difícil de ser realizada para uma extensa faixa de frequência e, o autor, avalia as diferenças dos métodos *shunt-through*, *series-through* e *Reflection*, destacando que o método *shunt-through* tem uma ótima sensibilidade em impedâncias baixas. Este fato é reforçado no trabalho de Chua (2014) que conclui que o método *shunt-through* tem o melhor desempenho e maior precisão para a medição da impedância na ordem da faixa de milliohms. A Figura 12 demonstra o método de medição *shunt-through* e a sua comparação com outros métodos de medida de impedâncias. Ainda conforme Chua (2014), com o dimensionamento da impedância da PDN na escala de miliohms a precisão da medida é limitada pela incerteza inevitável do instrumento de medição.

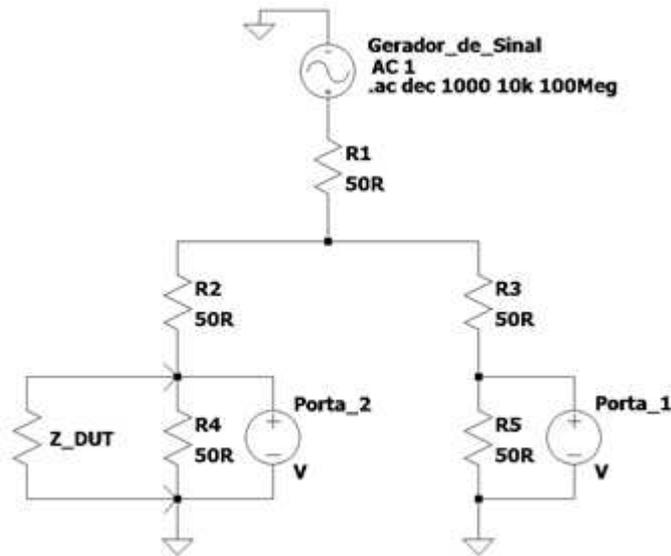
Figura 12 – Comparativo de sensibilidade entre métodos de medida de impedância.



Fonte: Adaptada de Tisujii (2011).

O método de medição de impedância por *shunt-through* consiste, basicamente, em aplicar a faixa de frequência desejada e medir a razão de tensão entre o sinal sobre a entrada do Dispositivo Em Teste, do inglês *Device Under Test* (DUT) e a saída do DUT, funcionando exatamente como a medição Kelvin de quatro fios, afirma Novak (2020). A medição pelo método *shunt-through* trata de uma medição de duas portas, conforme mostrado na Figura 13.

Figura 13 – Circuito de medição por método *shunt-through*.



Fonte: Elaborado pelo Autor.

Conforme relatado por Walker (2019), o coeficiente de reflexão complexo, denominado parâmetro S_{21} , medido em configuração de duas portas está relacionado à impedância complexa DUT (Z_{DUT}), de acordo com a equação (5).

$$S_{21} = \frac{2 * Z_{DUT}}{Z_0 + 2 * Z_{DUT}} \quad (5)$$

Da mesma forma, Z_{DUT} pode ser definido a partir do coeficiente de reflexão complexo (S_{21}), conforme demonstrando na equação (6).

$$Z_{DUT} = \frac{Z_0 * S_{21}}{2(1 - S_{21})} \quad (6)$$

Nas equações (5 e (6, Z_0 corresponde à impedância característica da linha, no caso da Figura 12 e Figura 13, a impedância característica é 50Ω . Cabe ressaltar a respeito da equação (6 que a tensão real incidente no DUT, transmitida pela porta 1, não é a tensão da fonte, mas sim a metade da tensão da fonte. Como S_{21} é a razão entre a tensão medida e a tensão incidente, é usado um fator 2. Isso resulta no relacionamento final que define a impedância do DUT como $Z_0/2$ vezes S_{21} dividido por 1 menos S_{21} . Essa é uma relação exata e é válida para qualquer valor

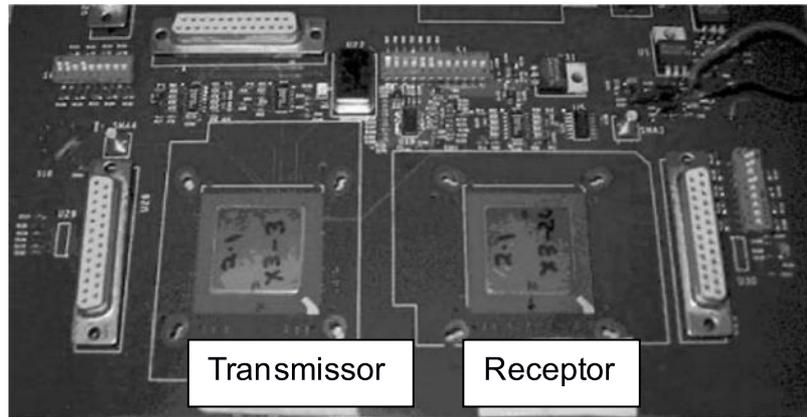
da impedância do DUT (KEYSIGHT TECHNOLOGIES, 2014). Os conceitos apresentados acima servirão como base para um melhor entendimento e compreensão dos trabalhos apresentados a seguir, os quais possuem alguma relação com a dissertação em questão.

2.5 TRABALHOS CORRELATOS

Nesta sessão serão abordados estudos que possuem relação com o trabalho em questão. Estes estudos estão dispostos em ordem de sua relevância com o trabalho, tendo como fundamentação todo o capítulo 2 que fornece a base para o entendimento dos estudos abordados a seguir.

Choi (2003) apresenta no seu trabalho uma proposta para modelagem, simulação e caracterização da PDN em uma PCI de alta velocidade projetada para comunicação entre CIs a uma taxa de dados de 3,2 Gbps. Foi utilizada uma placa de teste, conforme apresentada na Figura 14, que consiste em um transmissor e um receptor conectados entre si em uma PCI de seis camadas, na qual duas são camadas de alimentação, outras duas de terra e outras duas camadas de sinais. O trabalho demonstra que já em 2003 havia preocupação em uso de técnicas de modelagem e uso de capacitores de desacoplamento para o controle da impedância da PDN para sistemas de alta velocidade além do uso da instrumentação VNA para realização de medidas de impedâncias no plano de alimentação. O trabalho de Choi (2003) é reforçado pelo estudo realizado por Sjiariel (2015) o qual discute os aspectos importantes da simulação de PI em uma PDN usando a ferramenta de simulação 3D de ondas completas, concluindo que o ruído da PDN provém principalmente da indutância parasitária da PCI, sendo esta a principal preocupação à medida que a frequência do *clock* do sistema em questão aumenta.

Figura 14 – PCI de alta velocidade projetado para comunicação entre CIs.



Fonte: Adaptada de Choi (2003).

Em relação aos ruídos mencionados por Sjiariel (2015), o trabalho elaborado por Zhang (2009) apresenta métodos para projeto, análise e diagnóstico de ruído aceitável em uma PDN através do fornecimento de energia de forma contínua para a carga quando ocorrer uma demanda de consumo, mantendo um nível de ruído de energia aceitável independentemente da frequência. No trabalho também é apresentada a regra de seleção de capacitores de desacoplamento para manter a impedância plana ao longo da faixa de frequência de interesse, na qual os capacitores são escolhidos semilogaritmicamente, ou seja, na ordem de grandeza múltiplas de 1, 2,2, 4,7 e 10, tornando a eficácia de entrega de energia basicamente contínua. Além dos valores dos capacitores, o trabalho também aborda o posicionamento destes elementos, no qual é considerado o atraso de entrega de energia e a velocidade de entrega relacionada à capacidade de fornecimento de carga dos capacitores de desacoplamento, caracterizadas pelas suas constantes de tempo. Já no trabalho de Li-xin (2010) é demonstrado que o SSN pode ser efetivamente reduzido através do uso de capacitores de desacoplamento, visto que estes capacitores fornecem um caminho de retorno de baixa impedância ao ruído. Khaoula (2015) também apresentou um método para calcular o ruído de comutação simultânea (SSN) de uma PDN no domínio do tempo. O método consiste em aproximar a impedância da PDN no domínio da frequência por uma função racional baseada no princípio do ajuste do vetor e nas características da corrente de chaveamento no domínio do tempo.

É sabido que é praticamente impossível eliminar o ruído ocasionado pela SSN, desta forma o trabalho elaborado por Takahashi (2009) realiza a análise de uma PDN de um microprocessador de última geração trazendo o conceito da impedância alvo (Z_{target}), na qual há uma preocupação em estabelecer uma impedância máxima para a PDN, por sua vez garantindo que o SSN não ultrapasse limites indesejáveis. Neste trabalho são consideradas as impedâncias e capacitâncias do encapsulamento de um CI e ressalta que se houver a necessidade de um controle mais rígido da impedância alvo, o modelo da PDN deve levar em consideração as informações detalhadas do projeto do CI, porém reconhece que em um projeto real de desenvolvimento, as informações do modelo de impedância do encapsulamento do CI são difíceis de obter devido a se tratar de informações confidenciais do fabricante. Alinhado com Takahashi (2009), o estudo de Chang Fei (2016) apresenta as vantagens em relação a integridade de energia e integridade de sinal quando implementadas capacitâncias de desacoplamento embutidas em PCIs de alta velocidade. Em seu trabalho, Chang Fei (2016) destaca que a tecnologia de capacitância embutida tem a capacidade de substituir os capacitores de desacoplamento discretos e assim exigindo menor área em PCI alocada para capacitores de desacoplamento.

O trabalho de Carrió (2011) caracteriza a influência das partes que compõem a PDN no espectro da frequência, passando pela VRM, capacitores, planos de alimentação e de terra e as interconexões. Como referência é utilizando um FPGA com 12 *transceivers high speed* com taxa de 6,375 Gbps e reúne técnicas usadas em PDN para preservar a integridade de energia em projetos de PCI ao transmitir dados acima de 6 Gbps através de módulos óticos. Já no trabalho de Fizesan e Pitica (2012) é realizada a avaliação da eficácia e a importância dos capacitores de desacoplamento em uma PDN e, também é discutido a importância do posicionamento dos capacitores, tendo maior efetividade o posicionamento dos capacitores de alta frequência mais próximos ao CI. Seguindo na linha de estudo de Carrió (2011) e Fizesan e Pitica (2012), o estudo de Zhang (2014) relaciona os diferentes estágios de capacitores de desacoplamento com o nível de ruído na PDN e a sua impedância. Ainda em relação a capacitores de desacoplamento, Yang (2018) realiza em seu estudo a análise de diferentes formas de conexão de capacitores de desacoplamento com os planos de alimentação e de terra

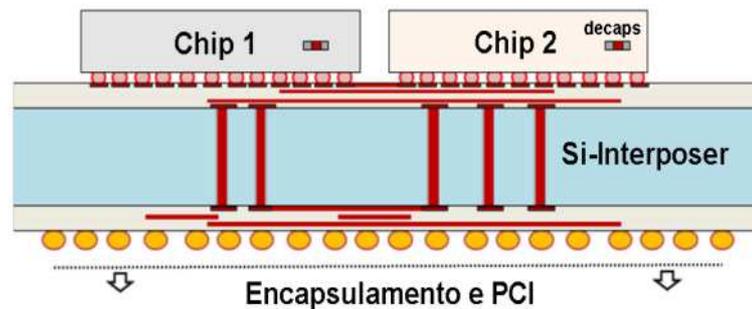
relacionando a impedância com o posicionamento de vias e dimensional do encapsulamento dos capacitores.

Com relação à medição da impedância na PDN, Tsujii (2011) demonstra em seu trabalho como estimar a ondulação da tensão da fonte a partir da medição da impedância da PDN no domínio da frequência e correlacionar os dados entre medição e simulação de forma a projetar a PDN adequadamente e o trabalho de Chua (2014) investiga os efeitos da incerteza em três métodos de medição de impedância usando uma abordagem de análise de erros, o qual comprovou, tanto utilizando simulação, quanto utilizando uma PCI de teste como estudo de caso, que o método de medida de duas portas baseado no parâmetro S_{21} apresenta o melhor desempenho, em relação à maior precisão, para medir a impedância da PDN na ordem miliohms. Seguindo a linha de simulações e medições da PDN, o trabalho de Mokhtaari (2017) ressalta que os cuidados no projeto da PDN devem ser ainda maiores devido as tecnologias recentes e suporte a alta taxa de dados, como 28 Gbps no padrão NRZ (Sem Retorno ao Zero, do inglês *Non Return to Zero*) e 56 Gbps PAM4 (Modulação em Amplitude de Pulso, do inglês *Pulse Amplitude Modulation*). No seu trabalho, Mokhtaari (2017) foca no excesso de *jitter* e ruído existente no caminho de transmissão de dados devido a PDN ser um caminho comum entre o transmissor e o receptor em sistemas de transmissão de altas taxas de dados. As análises foram realizadas em placas de teste, as quais e foram desenvolvidas aplicações e comparadas com o desempenho de projeto pós-*layout* e aplicado melhorias em outras duas placas adicionais, assim dando confiança aos resultados e ao projeto da PDN evitando não apenas problemas de *jitter* e ruído, mas também de reprojeção das placas. Novak (2020) ressalta o porquê que as medições de baixa impedância de 2 portas ainda são importantes e reforça que a correlação entre simulações e medições é importante, mas nas simulações não somos limitados pelo efeito colateral prático que afeta as medições.

O trabalho de Paulis (2018) verifica o impacto do empilhamento de *chips* e o impacto da PDN no *interposer* (vide Figura 15) em canais de alta velocidade. Também é realizada uma análise destacando o impacto do posicionamento do capacitor de desacoplamento embutido e sua indutância parasita correspondente no nível de ondulação da tensão de alimentação e no diagrama de olho de saída nos receptores de sinal. Já o estudo de Smith, Sandler e Bogatin (2019) destaca que o

desafio do projeto da PDN somente no âmbito de atender uma impedância alvo já não é suficiente, sendo desejável para o projeto da PDN uma impedância plana (*flat PDN impedance*), ou seja, manter os picos de impedâncias abaixo da impedância alvo não é um critério suficiente para uma PDN totalmente robusta. Estes trabalhos demonstram que a preocupação com PDN ultrapassa os limites da PCI, adentrando ao encapsulamento dos CIs de alto desempenho utilizados atualmente na transmissão de sinais de alta velocidade e em uma análise de robustez da PDN na qual é necessário considerar a combinação de todas as fontes de ruído, seja ruído de autoagressão ou ruído de agressão mútua, e assim realizar o equilíbrio do desempenho da PDN entre custo, riscos do desempenho e cronograma.

Figura 15 – Representação do *interposer* e do empilhamento de *chips*.



Fonte: Adaptado de Paulis (2018).

A Tabela 2 demonstra um consolidado dos trabalhos que foram mencionados acima e a principal relação com o trabalho em questão.

Tabela 2 – Trabalhos relacionados.

Ano	Autores	Trabalho Realizado	Relação com o Trabalho
2003	Choi, J. et al.	Modelagem e análise de Redes de Distribuição de Energia para aplicações gigabit	Uso de ferramentas para simulações e medições da PDN
2015	Sjariel, R.	Simulação de integridade de energia do sistema de Rede de Distribuição de Energia	
2009	Zhang, M. et al.	Um método eficiente de entrega de energia para o projeto de Redes de Distribuição de Energia em sistemas digitais de alta velocidade	Análise do ruído de comutação simultânea (SSN) em PDN.
2010	Li-xin, Wang et al.	Análise de integridade de energia para PCI de alta velocidade	
2015	Khaoula, A. B., et al.	Análise e cálculo do ruído de chaveamento simultâneo em PDN para CIs de alta velocidade em sistemas embarcados	
2009	Takahashi, N. et al.	Análise completa e otimização por co-projeto da Rede de Distribuição de Energia	Conceito de impedância alvo (Z_{target}) aplicado à PDN.
2016	Chang Fei Y.	Vantagens da capacitância de desacoplamento embutida no projeto de placa compacta de alta velocidade	
2011	Carrió, F. et al.	Conceitos básicos do projeto de Rede de Distribuição de Energia para transmissão de alta velocidade	Caracterização e influência de cada parte de um PDN no espectro de frequência e importância dos capacitores de desacoplamento.
2012	Fizesan R. e Pitica D.	Dicas de projeto de integridade de energia para minimizar os efeitos da indutância de montagem de capacitores de desacoplamento	
2014	Zhang, X et al.	Relação do pior caso de ruído com a impedância da Rede de Distribuição de Energia	
2018	Yang, S. et al.	Biblioteca pré- <i>layout</i> para PDN relativo à indutância e modelo equivalente para capacitores de desacoplamento	
2011	Tsujii, O.	A caracterização e simulação de uma Rede de Distribuição de Energia	Métodos de medição de impedância aplicados em PDN.
2014	Chua, E. et al.	Medição da impedância da Rede de Distribuição de Energia usando abordagem de análise de erro	
2017	Mokhtaari, M. et al.	Análise da PDN de um sistema de alta velocidade	
2020	Novak, I.	Porquê as medições de baixa impedância de 2 portas ainda são importantes	
2018	Paulis, F. et al.	Impacto do <i>Chip</i> e da PDN <i>Interposer</i> no Diagrama de Olho em canais de alta velocidade	Aplicação dos conceitos e desafios atuais no âmbito PDN.
2019	Smith, L., Sandler, S. e Bogatin, E.	Impedância alvo não é suficiente	

Fonte: Elaborado pelo autor.

Todos os trabalhos mencionados acima possuem as suas particularidades de aplicação à projetos que exigem um cuidado mínimo com a Rede de Distribuição de Energia (PDN). Alguns dos trabalhos são mais superficiais, outros mais profundos

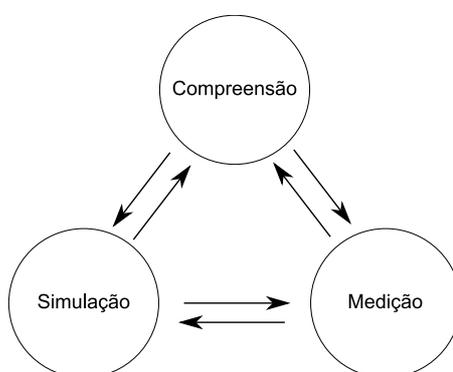
nos conceitos, porém todos demonstram preocupação com a evolução da eletrônica e a importância a qual deve ser dada para o projeto da PDN em um sistema de com altas taxas velocidade de transmissão de dados. Desta forma é possível afirmar que um projeto de PDN deve ser composto por simulações do caminho de alimentação e de terra, desde a saída do VRM até as entradas de tensões do CI de transmissão de dados, passando por uma análise crítica dos resultados obtidos, pois a PDN pode estar subdimensionada, gerando impacto direto sobre a integridade de sinais do projeto ou pode estar superdimensionada, gerando um custo demasiado ao produto. Além da realização de medições diretas na PDN, verificando que o que foi simulado condiz com o resultado prático apresentado.

O capítulo a seguir irá tratar das questões de como aplicar os conceitos necessários para que tanto as simulações, quanto as medições, possam ser criticadas, além das ferramentas que se deseja utilizar para simular e medir a PDN e assim avaliar e validar corretamente os requisitos de uma Rede de Distribuição de Energia de um CI *Switch Ethernet* de alta taxa de *throughput*.

3 METODOLOGIA

Neste capítulo será apresentada a metodologia adotada e o método proposto para o desenvolvimento deste trabalho, o qual é baseado no triângulo da execução da engenharia adequada, apresentada por Novak e Miller (2007) e representada a seguir na Figura 16.

Figura 16 – Triângulo da execução da engenharia adequada.



Fonte: Adaptada de Novak e Miller (2007).

A abordagem deste método é tratada como boa prática, na qual os três elementos (compreensão, simulação e medição) andam lado a lado e devem atingir os mesmos resultados ou resultados suficientemente próximos, na qual as diferenças sejam aceitáveis e suas razões sejam compreendidas. Estes três elementos são correlacionados para garantir resultados com a maior qualidade, sendo a simulação muito importante para sustentar as medições tendo como base a compreensão dos conceitos relativos ao estudo, além de ser fundamental na redução dos custos de protótipos e de produto. Em um cenário ideal os três elementos são igualmente fortes, no entanto, no cenário real é comum algum destes elementos ficar desatendido, desta forma se um dos três elementos está insuficiente ou ausente, os outros dois elementos devem receber esforços com a intenção de compensar a fraqueza existente (NOVAK e MILLER, 2007).

O elemento da compreensão, do triângulo da execução da engenharia adequada, será baseado em literaturas como livros e estudos, alguns já citados e utilizados neste trabalho, outros terão que ser buscados ou mesmo aprofundados de

forma a suprir eventuais detalhes e dúvidas que, naturalmente, venham a surgir durante a realização das simulações e medições. Para a realização das simulações será utilizado o software ANSYS SIwave[®], que é uma ferramenta dedicada para análise elétrica de PCI, cujo interesse neste trabalho é a análise de integridade de energia do *layout* do projeto no domínio de tempo e frequência. O SIwave[®] realiza tanto as simulações de queda de tensão ao longo do plano (*IR drop*), como verificação do dimensionamento de VIAs entre camadas da PCI e principalmente a simulação de impedância dos planos de alimentação e de terra, demonstrando o comportamento da Rede de Distribuição de Energia ao longo da frequência. A análise de integridade de energia DC é relativamente simples, pois calcula apenas a queda de tensão estática entre os pontos de fornecimento e entrega com base na resistência em série dos planos e VIAs. Porém, em altas frequências, analisar a impedância entre a alimentação e o terra requer cálculos bastante complexos. A análise integridade de energia AC calcula a impedância para as cargas de corrente do CI em uma ampla faixa de frequência. Isso ajuda a identificar se a PDN fornece um caminho de baixa impedância do VRM para o CI, ou seja, a análise AC é realizada para descobrir a impedância da PDN vista pelo CI.

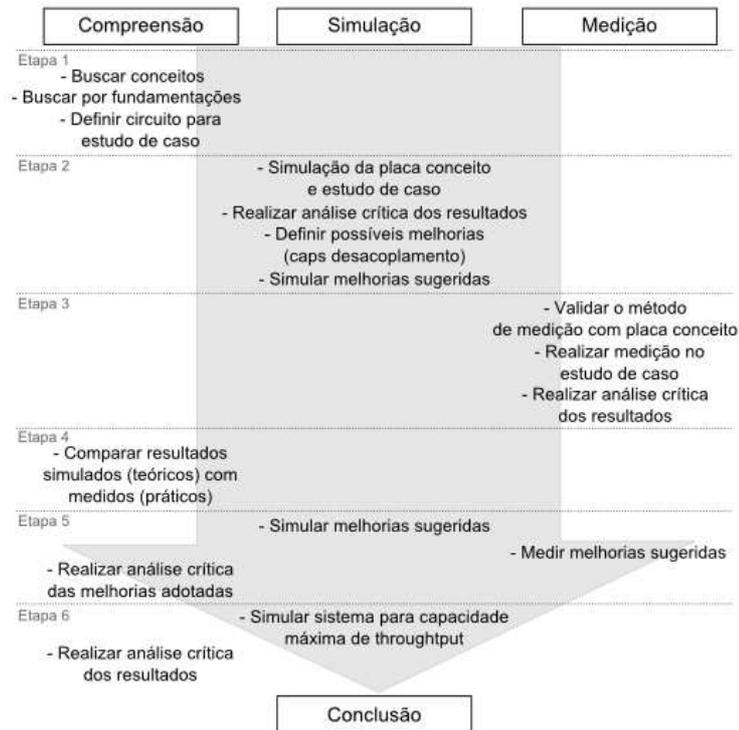
A validação da metodologia será realizada através de um Circuito Conceito aplicado em uma PCI Protótipo, cujo modelo seja conhecido, ou seja, um circuito composto por indutores e capacitores que apresentam impedâncias e frequências de ressonância predeterminadas. O objetivo desta PCI Protótipo é utilizá-la para comparar o modelo de uma PDN simples com os resultados de simulação. A modelagem será realizada em um Programa de Simulação com Ênfase Circuito Integrado, do inglês, *Simulation Program with Integrated Circuits Emphasis* (SPICE), o qual é um simulador de uso geral, mas muito utilizado para simulação de circuitos em nível de pré-projeto, e assim verificando a integridade e previsões de comportamento do circuito. A PCI protótipo utilizará o mesmo Circuito Conceito modelado em SPICE, porém aplicado em uma PCI simples feita em uma prototipadora, a qual também dará condições para que sejam realizadas simulações com o SIwave[®] e medições.

O estudo de caso será aplicado sobre uma PDN específica de um CI *Switch Ethernet* montado em uma PCI que atualmente está dimensionada para um *throughput* de 2,4 Tbps, na qual será possível realizar a análise pré-*layout* com base

nos requisitos do CI e informações disponibilizadas pelo fabricante do mesmo, e as simulações em tempo de *layout* com o intuito de verificação da impedância com base nos capacitores de desacoplamentos aplicados ao projeto. Desta forma será possível verificar a influência da impedância da PDN na alimentação do CI, de modo que a impedância da PDN deve atender o limite desejável em toda a faixa de frequência que o CI possa demandar, para então sugerir melhorias ou concluir que a projeto em questão apresenta uma impedância em sua PDN que não causará uma variação de tensão devido a demanda de corrente em uma determinada frequência a ponto de tornar o funcionamento do CI instável. E então realizar as medidas pós-layout já na PCI montada com todos os componentes conforme projeto, comparando e validando os resultados de simulação (*pré-layout*) com as medidas práticas (*pós-layout*).

E por fim, com base nos resultados da etapa de validação com a PCI protótipo e a da etapa de comprovação com a PCI de Estudo de Caso, será realizada uma etapa somente de simulação na qual o sistema será extrapolado para a capacidade máxima de *throughput* do CI *Switch* Ethernet, que é de 3,2 Tbps. Nesta etapa serão realizados alguns cenários que ajudarão em tomada de decisão quanto a uma possível atualização de produto, migrando o *throughput* do CI *Switch* Ethernet de 2,4 Tbps para 3,2 Tbps. As atividades deste trabalho foram divididas em etapas, as quais foram enquadradas em um fluxograma previsto para orientar cronologicamente as execuções das tarefas. A Figura 17 representa a ordem da aplicação da metodologia, conforme descrito nos parágrafos anteriores para a compreensão, simulação e medição.

Figura 17 – Fluxograma da metodologia das atividades a serem executadas.



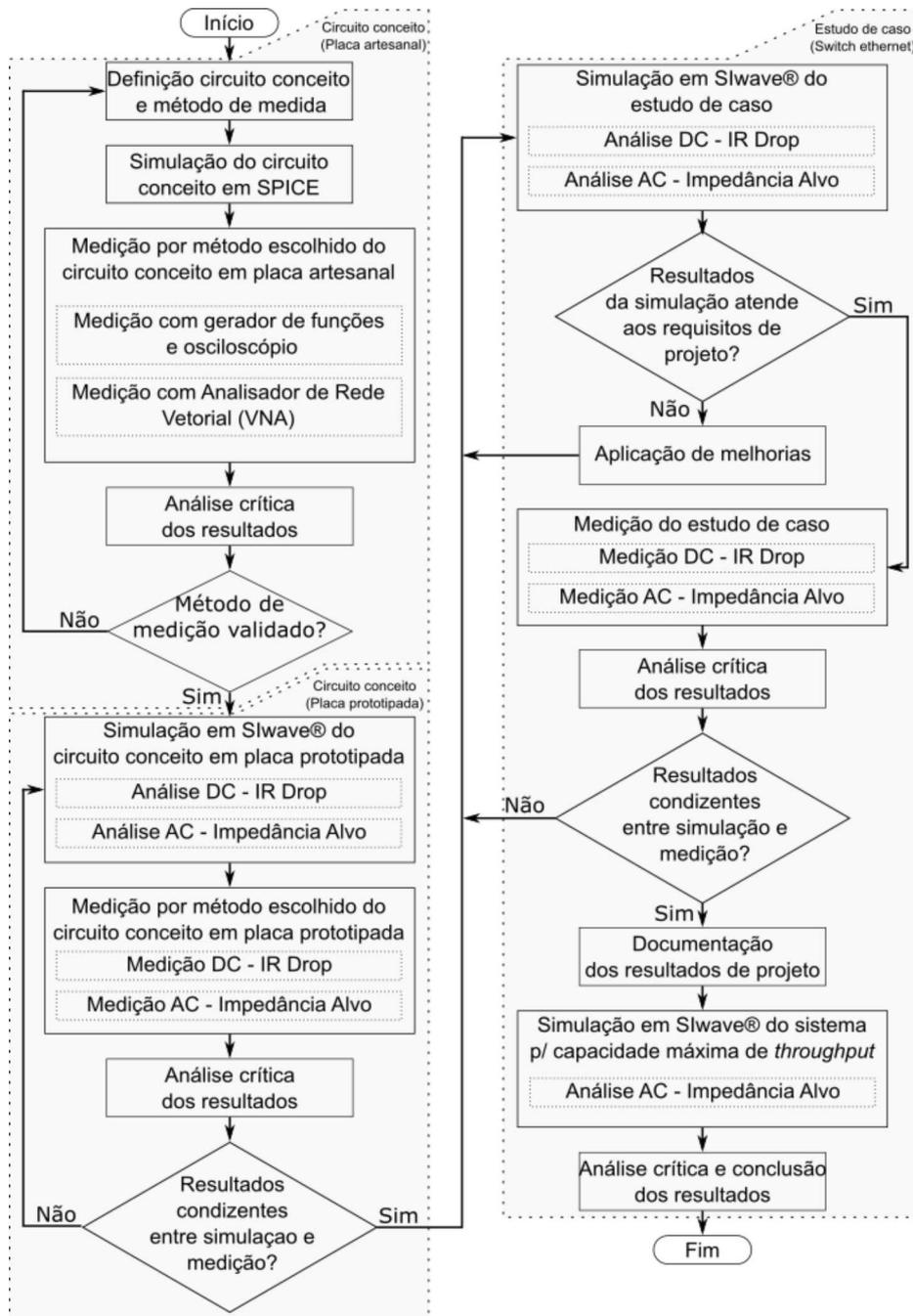
Fonte: Elaborado pelo autor.

Como mencionado anteriormente, em um projeto de alto nível é importante realizar o equilíbrio do desempenho da PDN entre custo, riscos do desempenho e cronograma. Conforme Smith, Sandler e Bogatin (2019) em produtos de consumo, o custo é o fator mais determinante e alguns riscos são aceitos, já em produtos de alta confiabilidade, o baixo risco é o fator mais determinante. No caso da aplicação do estudo de caso em questão, estando no intermediário entre custo e confiabilidade, a impedância alvo é um ponto de partida com critério suficiente para basear o projeto. Conforme trabalho realizado por Pandey (2016) na qual foi realizada a análise de integridade de energia da PDN de uma placa de um FPGA de alta velocidade, foram utilizados os critérios de análise DC a queda de tensão máxima aceitável pelo FPGA, realizada por IR_{drop} e o critério de análise AC foram utilizadas a tensão de alimentação do FPGA, a tolerância desta tensão e a corrente de consumo transiente do FPGA para determinar a impedância alvo e a alocação entre alimentação e terra dos capacitores de desacoplamento. Na sessão a seguir será apresentado o método proposto para o desenvolvimento deste trabalho, abordando os passos a serem seguidos em forma de fluxograma.

3.1 MÉTODO PROPOSTO

O método proposto, que é representado pela Figura 18, tem como objetivo detalhar em forma de fluxograma a metodologia apresentada anteriormente e por sua vez, prever as atividades a serem executadas durante o desenvolvimento do trabalho em questão.

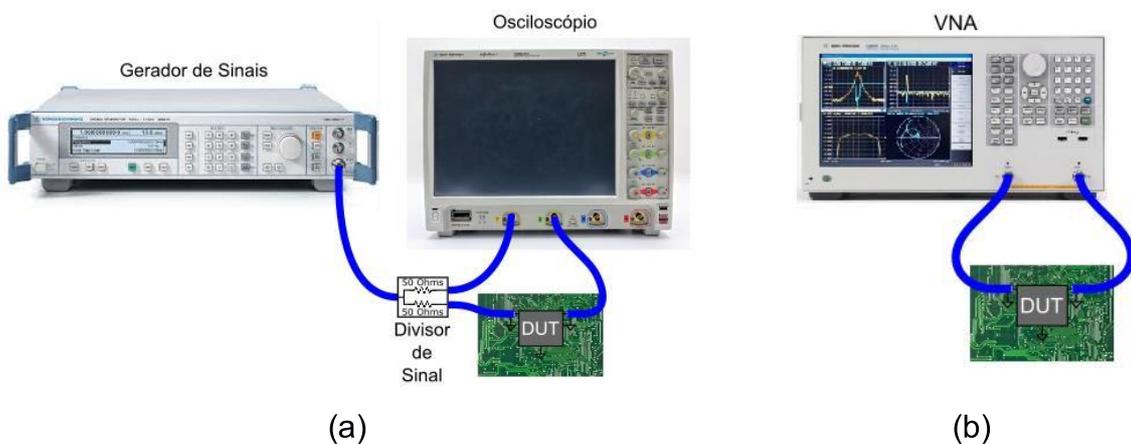
Figura 18 – Fluxograma do método proposto.



Fonte: Elaborado pelo autor.

Inicialmente será definido um Circuito Conceito que será utilizado para validação do método de medição. Este Circuito Conceito será simulado em SPICE e verificado se a sua resposta condiz com as frequências de ressonância previamente determinadas através do cálculo do indutor e capacitor. Após esta etapa, o Circuito Conceito será montado em uma PCI Artesanal para a validação do método de medição. A validação da medição será realizada através do método de medições *shunt-through*, para tal serão utilizados dois conjuntos de instrumentos, conforme demonstrado na Figura 19 (a) um conjunto composto por um gerador de sinais e um osciloscópio e outro (b) um conjunto sendo o analisador de rede vetorial (VNA). Obtendo a validação do método de medição com base na análise crítica dos resultados, será possível evoluir para o projeto da criação de uma PCI Protótipo com o Circuito Conceito.

Figura 19 – Demonstração dos conjuntos de instrumentos utilizados para realizar a medida *shunt-through*. (a) um conjunto composto por um gerador de sinais e um osciloscópio e outro (b) um conjunto sendo o analisador de rede vetorial (VNA).



Fonte: Elaborado pelo Autor.

Com o Circuito Conceito montado em uma PCI Protótipo será possível realizar a simulação da mesma em software SIwave®, ou seja, a análise DC, obtendo a queda de tensão (*IR drop*) e a análise AC, obtendo a impedância da PDN. Após simulada, será medida na PCI protótipo o *IR drop* e a impedância da PDN, para então comparar novamente os resultados entre a simulação e a medição. Até este ponto do trabalho estará fundamentada toda a base necessária, entre

simulações e métodos de medição, para a aplicação em um circuito real de um produto, ou seja, um CI *Switch* Ethernet de alta taxa de *throughput*, que é o estudo de caso deste trabalho.

Continuando com o método proposto, apresentado na Figura 18, a análise do estudo de caso deste trabalho será, assim como nos casos anteriores, iniciando pela simulação, primeiramente a análise DC, obtendo o IR *drop* no caminho entre a fonte de alimentação e os pinos de alimentação do CI, e posteriormente a análise AC, obtendo a impedância do mesmo caminho e então verificado se os resultados das análises atendem os requisitos de projeto para o CI *Switch* Ethernet. Caso os resultados estejam aquém dos requisitos ou houver oportunidade de melhorias, as alterações serão aplicadas e será realizada uma nova rodada de simulação, essa interação permanecerá até que os requisitos de projeto sejam atendidos por simulação. Uma vez atendendo os requisitos de projeto, a PCI será liberada para fabricação e então a mesma poderá ser submetida à medição. Tanto os resultados de análise DC quanto os resultados da análise AC serão comparados e criticados, verificando se os resultados obtidos na simulação e medição estão condizentes. Estando os resultados condizentes e atendendo aos requisitos de projeto, os resultados poderão ser liberados para produção em série.

Após esta etapa de análise dos requisitos de projeto para a aplicação do CI *Switch* Ethernet com *throughput* de 2,4 Tbps, será realizada uma etapa somente de simulação na qual o *throughput* será extrapolado para a capacidade máxima do CI *Switch* Ethernet, que é de 3,2 Tbps. Nesta etapa serão realizados alguns cenários de simulação de impedância alvo que ajudarão na tomada de decisão quanto a uma possível atualização de produto, migrando o *throughput* do CI *Switch* Ethernet de 2,4 Tbps para 3,2 Tbps. Com base nisso, no capítulo a seguir serão apresentados os resultados preliminares obtidos através da simulação e medições com o Circuito Conceito e com a PCI Artesanal com o intuito de validação do método de medição prática da Rede de Distribuição de Energia.

4 ANÁLISE DOS RESULTADOS

Neste capítulo serão apresentados os resultados obtidos ao longo do desenvolvimento do trabalho. As análises dos resultados foram separadas em subcapítulos, inicialmente é realizada a análise do Circuito Conceito, juntamente com a validação do método de medição prática da Rede de Distribuição de Energia. Na sequência é realizada a análise do Circuito Conceito em PCI Artesanal e PCI Protótipo e são apresentados os resultados das simulações e medições práticas. Por fim, é apresentada a PCI de Estudo de Caso e demonstrado os seus resultados nas simulações e medições.

4.1 ANÁLISE DO CIRCUITO CONCEITO

Esta seção trata de abordar os resultados preliminares deste trabalho, correspondendo à validação do método de medição *shunt-through* realizada em um circuito cujo modelo seja conhecido. O Circuito Conceito utilizado para validação é composto por indutores e capacitores que apresentassem frequências de ressonância predeterminadas. O Quadro 1 apresenta os valores dos componentes, indutor (L) e capacitor (C), que resultam em uma frequência de ressonância (F0) para cada par de componentes.

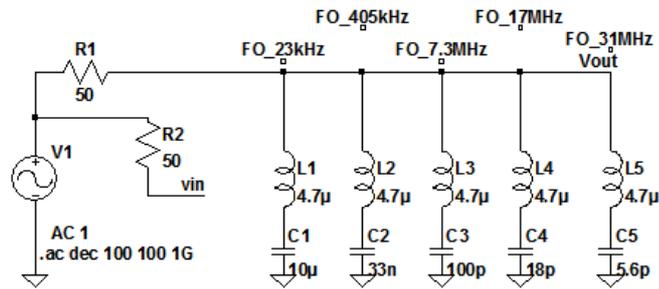
Quadro 1 – Frequências de ressonância predeterminadas.

C (Capacitância)	L (Indutância)	F0 (Freq. Ressonância)
10 μ F	4,7 μ H	23 kHz
33 nF	4,7 μ H	405 kHz
100 pF	4,7 μ H	7,3 MHz
18 pF	4,7 μ H	17 MHz
5,6 pF	4,7 μ H	31 MHz

Fonte: Elaborado pelo Autor.

A Figura 20, a seguir, demonstra o Circuito Conceito utilizado para validar a simulação em SPICE e o método de medição *shunt-through* com os componentes predeterminados e suas respectivas frequências de ressonância.

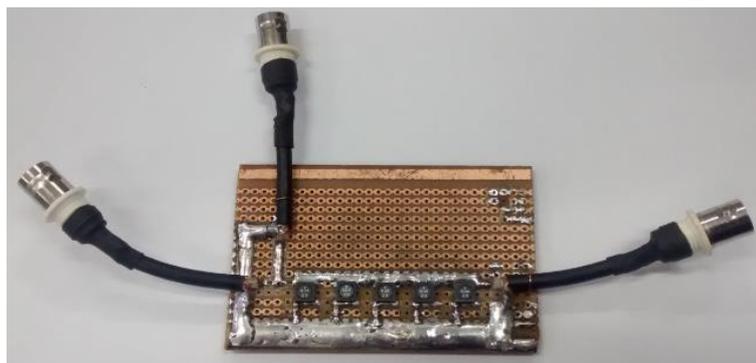
Figura 20 – Circuito modelo para validação das simulações e medições práticas.



Fonte: Elaborado pelo Autor.

O objetivo deste Circuito Conceito, montado em uma PCI Artesanal, conforme demonstrado na Figura 21, é utilizá-lo para comparar os resultados de simulação e medição. A modelagem foi realizada em uma ferramenta SPICE, o qual é um simulador de uso geral, utilizado para simulação de circuitos em nível de pré-projeto. A PCI Artesanal, utilizada para validação inicial, é composta pelo mesmo Circuito Conceito modelado em SPICE, porém montado em uma PCI simples. Posteriormente a PCI será redesenhada e manufaturada em uma prototipadora, utilizando o mesmo Circuito Conceito, dando assim condições para que sejam realizadas e simulações em Slwave® e comparar os resultados com as medições, ou seja a PCI Protótipo será utilizada como prova de conceito.

Figura 21 – PCI Artesanal para validação do método de medição *shunt-through*.



Fonte: Elaborado pelo Autor.

A sessão a seguir trata dos resultados obtidos com o Circuito Conceito e com a PCI Artesanal, na qual foram realizadas simulações em ferramenta SPICE, e medições através do método *shunt-through* utilizando dois tipos de instrumentação, sendo um tipo o conjunto composto por um gerador de sinais Rohde&Schwarz®

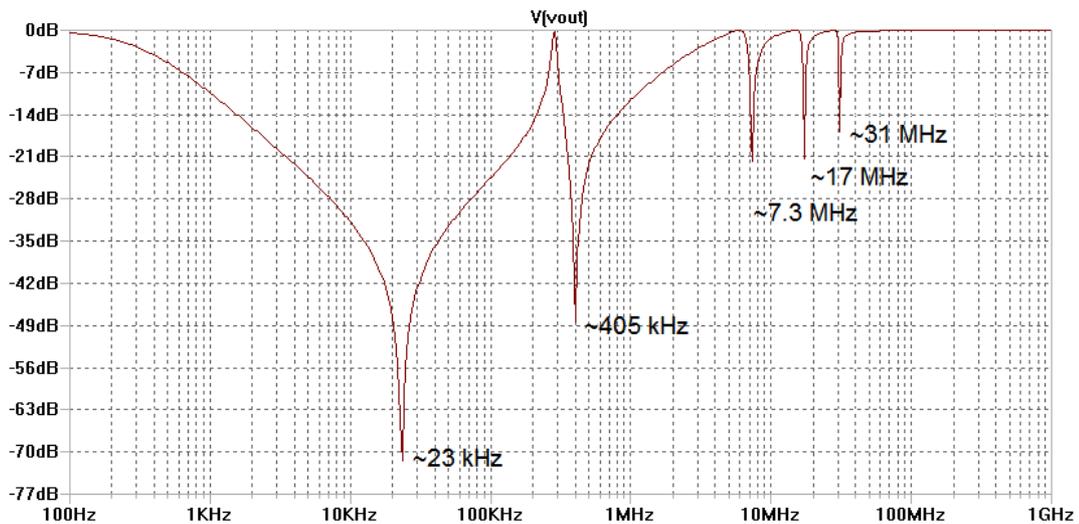
modelo SML01 e um osciloscópio Agilent® modelo MSO9064A e outro tipo um analisador de rede vetorial (VNA) Keysight® modelo FiledFox N9913A.

4.2 VALIDAÇÃO DO MÉTODO DE MEDIÇÃO PRÁTICA DA REDE DE DISTRIBUIÇÃO DE ENERGIA (PDN)

A etapa de aplicação inicial desta pesquisa deu-se pela análise de alguns simuladores SPICE, entre os diversos simuladores SPICE disponíveis no mercado, foram avaliados três em específico, sendo eles o Altium Designer®, o MicroCap® e o LTSpice®. Todos são simuladores de uso geral e muito utilizados para simulação de circuitos analógicos em nível de circuito, verificações de integridade de projeto e previsões de comportamento de circuitos. Nestes simuladores foram realizadas as modelagens dos componentes do Circuito Conceito para validação do método de medida *shunt-through*. Esta validação inicial é importante, pois segundo Hall e Heck (2011), os projetos digitais de alta velocidade requerem simulações de integridade de sinais e energia para avaliar o desempenho elétrico do sistema antes da fabricação de protótipos, servindo estas simulações como garantia e embasamento de resultados mais precisos do protótipo. Entre os simuladores mencionados, optou-se pelo uso do LTSpice®, visto que após a modelagem e testes de alguns circuitos, o Altium Designer® mostrou-se limitado e carente de algumas análises, não sendo muito prático em termos de alterações de parâmetros e manipulação dos componentes. Já o MicroCap® não se mostrou intuitivo quanto a sua análise para a aplicação em questão, visto que com o LTSpice® foram obtidos resultados mais conclusivos e coerentes com a análise desejada.

Desta forma, o Gráfico 4 demonstra os resultados obtidos com o LTSpice®, apresentando os pontos de ressonância e o comportamento da magnitude na faixa de frequência de 100 Hz a 1 GHz para o Circuito Conceito modelado em SPICE.

Gráfico 4 – Resposta em frequência do Circuito Conceito utilizando simulador SPICE.

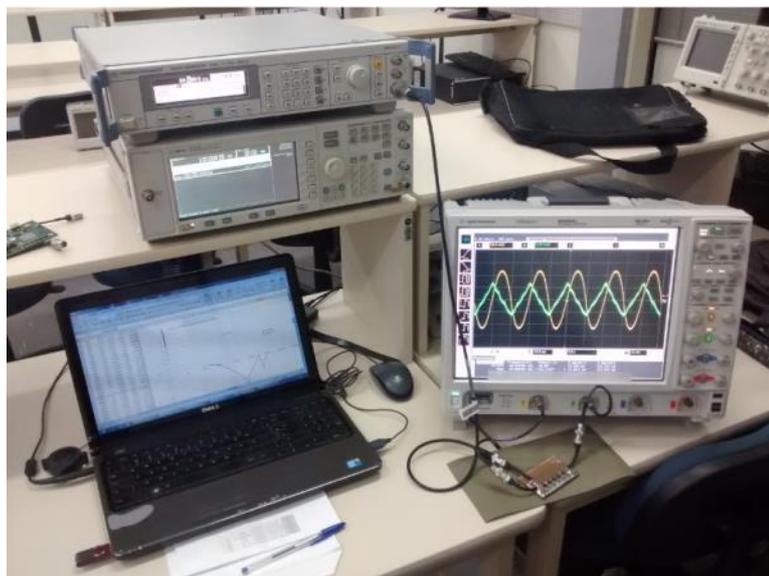


Fonte: Elaborado pelo Autor.

As medidas práticas foram realizadas no domínio da frequência, utilizando o método *shunt-through* conforme demonstrado no item 2.4.4. Para tal, foram utilizados dois tipos de instrumentação, uma delas composta por um gerador de sinais e um osciloscópio e a outra instrumentação um analisador de rede vetorial (VNA). Desta forma será possível verificar a influência da impedância da PCI Artesanal através da magnitude medida pela instrumentação. A resposta deve ser adequada em toda a faixa de frequência que o CI possa demandar, assim não causando variação de tensão devido a demanda de corrente em uma determinada frequência a ponto de tornar instável o funcionamento do CI.

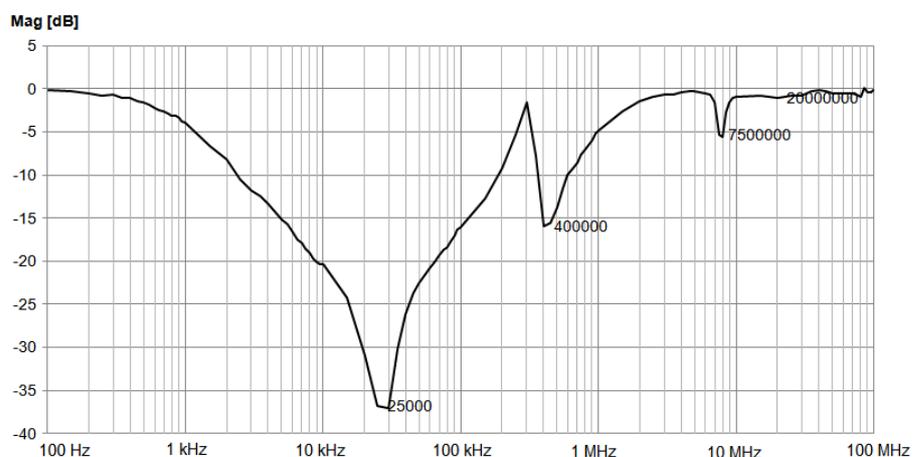
A medida utilizando gerador de sinais e osciloscópio é apresentada na Figura 22 e o seu respectivo resultado no Gráfico 5, na qual foi realizada uma medida ponto a ponto em escala logarítmica da frequência de 100 Hz até 100 MHz. Nesse gráfico é possível verificar que o comportamento se assemelha significativamente com o comportamento do Gráfico 4 simulado em SPICE, principalmente ao em torno das frequências de ressonância. Como o Gráfico 5 foi traçado a partir de medidas ponto a ponto em escala logarítmica, a resolução ficou comprometida, mas foi possível identificar o comportamento da resposta em frequência ao longo da faixa de frequência medida.

Figura 22 – Medida na PCI Artesanal utilizando gerador de sinais e osciloscópio.



Fonte: Elaborado pelo Autor.

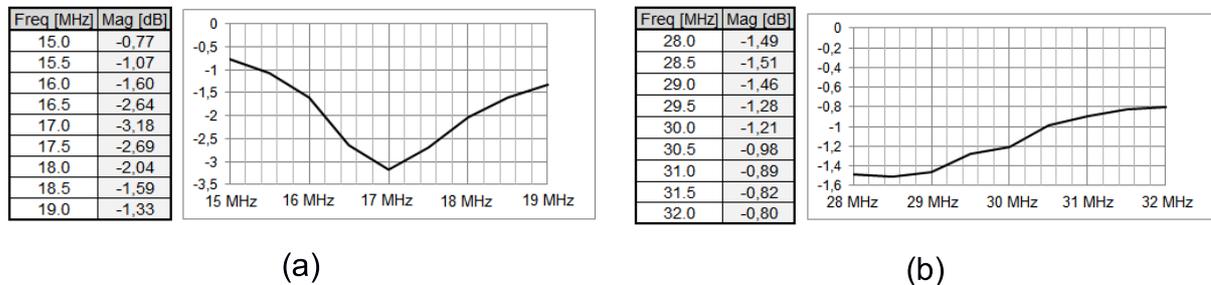
Gráfico 5 – Resposta em frequência da PCI Artesanal utilizando gerador de sinais e osciloscópio.



Fonte: Elaborado pelo Autor.

Devido ao fato da faixa de frequência acima de 10 MHz ter ficado comprometida por causa da resolução da aquisição logarítmica, foi necessário refinar a faixa de medida para ser possível observar o comportamento da magnitude em faixas de frequências mais altas, o Gráfico 6 (a) e (b) demonstram o refinamento entre as aquisições para observação do comportamento da magnitude, sendo o Gráfico 6 (a) em torno da frequência de 17 MHz e o Gráfico 6 (b) em torno da frequência de 30 MHz.

Gráfico 6 – Refinamento na frequência de aquisição para observação do comportamento da magnitude (a) em torno da frequência de 17 MHz e (b) em torno da frequência de 30 MHz.



Fonte: Elaborado pelo autor.

Deste modo fica mais claro o comportamento da magnitude em toda a faixa de frequência e percebe-se a necessidade de uma observação em escala refinada ao em torno de frequências consideradas críticas.

Também foi realizada medida na PCI Artesanal com o Circuito Conceito utilizando um VNA, a qual é apresentada na Figura 23.

Figura 23 – Medida na PCI Artesanal utilizando um VNA.

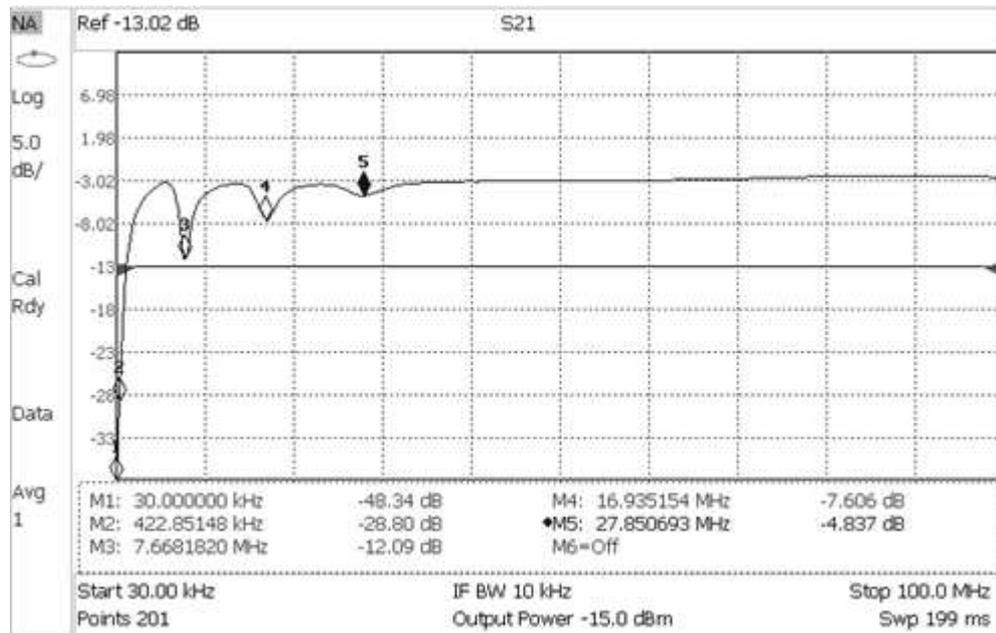


Fonte: Elaborado pelo Autor.

O Gráfico 7 demonstra o resultado obtido utilizando o VNA, onde os marcadores apontam as frequências de ressonâncias, as quais pode-se observar que coincidem tanto com o Gráfico 4, referente a resposta em frequência do Circuito Conceito utilizando o simulador SPICE, quanto com o Gráfico 5, referente a resposta em frequência do Circuito Conceito em PCI Artesanal utilizando o conjunto de instrumentação gerador de sinais e osciloscópio. No Gráfico 7 é importante destacar

que a resposta no eixo da frequência apresentada pelo VNA é linear e não em logarítmica e o VNA possui uma limitação de escala, na qual tem início em 30 kHz, por isso a ressonância em aproximadamente 23 kHz não é claramente apresentada na resposta do VNA.

Gráfico 7 – Resposta em frequência da PCI Artesanal utilizando o VNA.



Fonte: Elaborado pelo Autor.

O Quadro 2 demonstra o comparativo das magnitudes medidas pela simulação, pelo método *shunt-through* utilizando o gerador de sinais e osciloscópio e pelo método *shunt-through* utilizando o VNA.

Quadro 2 – Comparativo entre as magnitudes obtidas nas diferentes formas de medidas.

F0	Magnitude [dB]		
	Simulação	Gerador de Sinais e Osciloscópio	Analizador de Rede Vetorial (VNA)
23 kHz	-71,0	-37,0	-
405 kHz	-49,0	-16,0	-28,8
7,3 MHz	-22,5	-6,0	-12,09
17 MHz	-21,5	-3,2	-7,6
31 MHz	-17,0	-1,5	-4,84

Fonte: Elaborado pelo Autor.

Comparando o Gráfico 4, o Gráfico 5 e o Gráfico 7, pode-se observar que todos apresentaram a resposta em frequência muito próximas em relação as frequências de ressonância, destoando um do outro na magnitude do sinal, conforme é destacado no Quadro 2, o que é justificável devido ao fato do simulador considerar componentes ideais, sem perdas associadas, tendo assim a maior magnitude de atenuação. No caso da simulação foram utilizados componente ideais e não modelos reais, visto que a ideia é o uso de um modelo geral para verificação de forma qualitativa e não quantitativa. Já a medida utilizando gerador de sinais e osciloscópio pelo método *shunt-through* apresenta um erro associado à varredura do espectro de frequência, que não é linear e foi realizado com um espaçamento relativamente grande para viabilizar a coleta de dados em todo o espectro de frequência desejado (100 Hz a 100 MHz), ou detalhe é referente à calibração dos meios de medição (cabos), que diferentemente do VNA, neste método o *shunt* altera um pouco a medida em termos de amplitude. Neste caso a fase entre o sinal de saída em relação ao sinal de entrada pode carregar informações importantes. Utilizando o VNA temos uma medida contínua em todo o espectro desejado, apresentando claramente as magnitudes e as frequências de ressonância. Desta forma, pode-se considerar como validado o método de medição *shunt-through* para aplicação na PDN.

Outro ponto importante a ser ressaltado é que para a caracterização de uma PDN o VNA é a instrumentação indicada para a realização de medidas qualitativas ou quantitativas e tomadas de uma decisão definitiva em relação à alteração de projetos, visto que o uso de instrumentação gerador de sinais e osciloscópio não é adequada para toda a faixa de frequência, sendo utilizada apenas para uma qualificação quantitativa e alternativa à falta de uma instrumentação como o VNA.

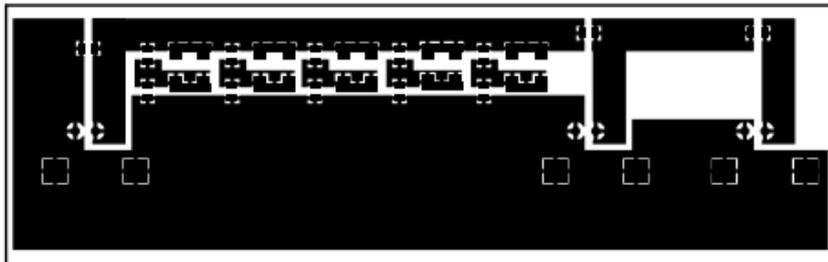
4.3 ANÁLISE DO CIRCUITO CONCEITO EM PCI PROTÓTIPO

Esta seção abordará o resultado obtido com o Circuito Conceito aplicado em uma PCI Protótipo. Foi aplicada a mesma abordagem do circuito conceito em PCI Artesanal, porém na PCI Protótipo o *layout* do plano de alimentação e do plano de referência são desenhados de forma controlada possibilitando a simulação utilizando

a ferramenta Slwave®, além de utilizar componentes com suas características reais nesta simulação, deste modo a PCI Protótipo será utilizada como prova de conceito.

Para análise da PCI Protótipo foi utilizada a mesma metodologia adotada na validação do método de medição *shunt-through* descrito no item 4.2 e o circuito utilizado possui as mesmas frequências de ressonância do Circuito Conceito, conforme apresentado no quadro 1, ou seja, um circuito composto por indutores e capacitores que apresentam impedâncias e frequências de ressonância predeterminadas. A Figura 24 (a) demonstra o *layout* da PCI Protótipo e (b) a PCI Protótipo com os componentes montados conforme o quadro 1.

Figura 24 – PCI Protótipo (a) *Layout* e (b) com os componentes montados.



(a)



(b)

Fonte: Elaborado pelo autor.

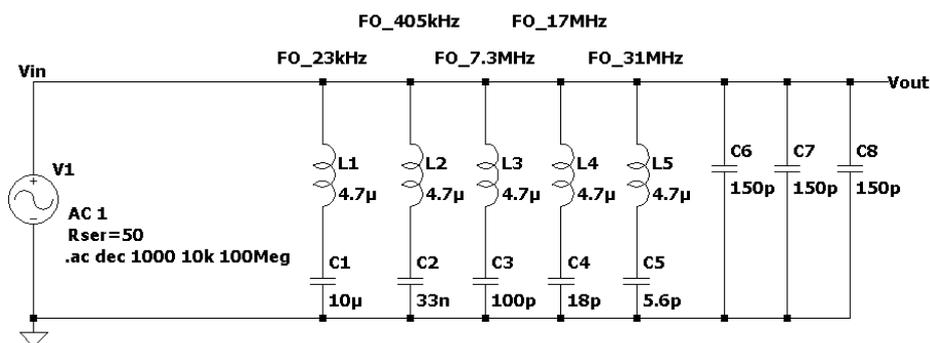
O objetivo desta PCI Protótipo, demonstrada na Figura 24, é utilizá-la para comparar os resultados de simulação em Slwave® com as medições práticas. A modelagem foi realizada na ferramenta Slwave®, que é um simulador de uso específico para análise de integridade de sinal e integridade de energia.

A sessão a seguir trata dos resultados obtidos com a PCI Protótipo. Para análise AC, referente à da resposta em frequência da PDN, foram realizadas simulações em ferramenta Slwave® e também LTSpice®. As medições através do método *shunt-through* foram realizadas utilizando dois tipos de instrumentação, sendo um tipo o conjunto composto por um gerador de sinais Rohde&Schwarz® modelo SML01 e um osciloscópio Agilent® modelo MSO9064A e outro tipo um VNA Agilent® modelo E5061B-235. Para análise DC, referente à queda de tensão (*IR drop*), foi utilizada também a ferramenta Slwave® e para a medição foi utilizado um multímetro Fluke® modelo 289.

4.4 RESULTADOS DAS SIMULAÇÕES E MEDIÇÕES COM A PCI PROTÓTIPO

Os resultados obtidos nas simulações e medições realizadas com a PCI Protótipo são abordados nesta seção. Durante as medições foi observado uma componente na faixa de 10 MHz a 100 MHz que não estavam sendo considerados nas simulações no LTSpice® e no Slwave®. A componente na faixa de frequência mencionada é referente ao acoplamento entre o plano de alimentação e o plano de referência, que resulta em uma capacitância em torno de 100 pF. Esta capacitância é significativa na faixa de 10 MHz a 100 MHz por estar justamente na região de atuação de um capacitor desta magnitude e devido ao Circuito Conceito da PCI Protótipo gerar uma região de alta impedância nesta faixa. Para minimizar os efeitos da capacitância entre os planos, o circuito da PCI Protótipo foi revisado e recebeu três capacitores de 150 pF em paralelo com as malhas ressonantes. O circuito resultante é apresentado na Figura 25.

Figura 25 – Circuito da PCI Protótipo com capacitores de desacoplamento.



Fonte: Elaborado pelo autor.

A seguir serão apresentados os resultados da análise DC e da análise AC com a PCI Protótipo.

4.4.1 Análise DC da PCI Protótipo

A análise DC resulta em uma queda de tensão medida na carga de silício em relação à fonte de energia, conforme demonstrado na Figura 7. Na PCI Protótipo, a porta de entrega desejada corresponde à carga de silício e a porta de geração corresponde à fonte de energia, conforme apresentado na Figura 26. Para realização da análise DC foi aplicada uma tensão de 1 V na porta de geração e uma carga de 1 A na porta de entrega desejada.

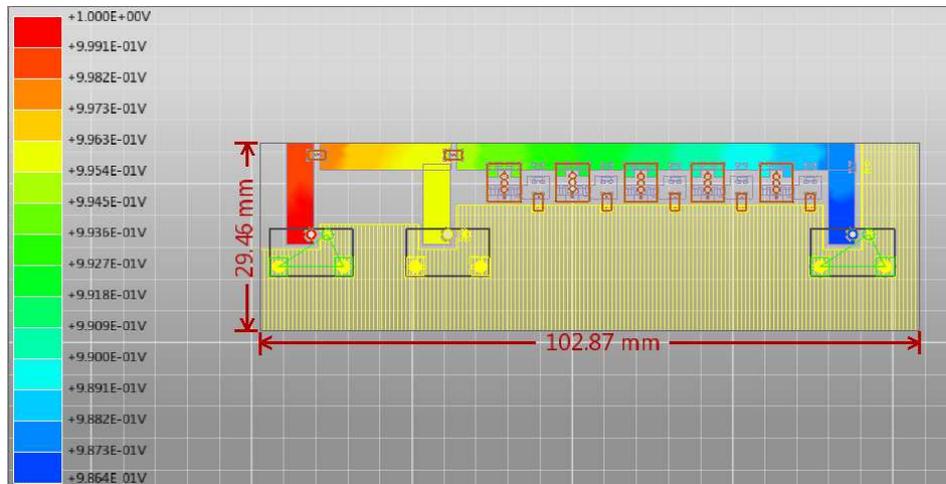
Figura 26 – Portas de referência para a análise DC da PCI Protótipo.



Fonte: Elaborado pelo autor.

Para facilitar a análise visual, a verificação do IR *drop* na ferramenta Slwave® é dividida em duas etapas, sendo realizada a verificação da queda de tensão no plano de alimentação Vcc na primeira etapa e na segunda etapa a verificação da queda de tensão no plano de referência GND. Na Figura 27 é demonstrada a representação visual da distribuição da queda de tensão ao longo do plano de alimentação Vcc da PCI Protótipo. Da porta de geração até a porta de entrega desejada, o plano de alimentação Vcc apresentou uma diferença de tensão (Delta V(vcc)) de 0,0136 V.

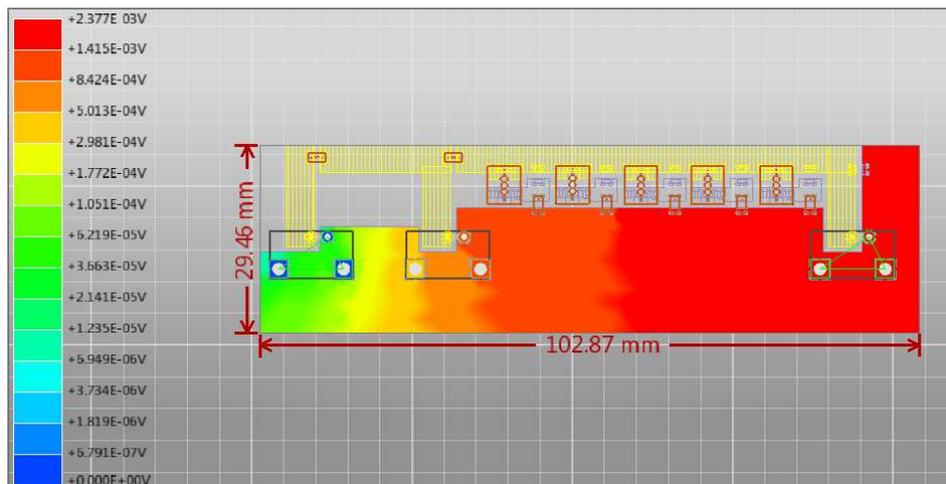
Figura 27 – Simulação na ferramenta Slwave® da queda de tensão no plano de alimentação Vcc da PCI Protótipo.



Fonte: Elaborado pelo autor.

Na Figura 28 é demonstrada a representação visual da distribuição da queda de tensão ao longo do plano de referência GND da PCI Protótipo. Da porta de geração até a porta de entrega desejada, o plano de referência GND (Delta V(gnd)) apresentou uma diferença de tensão de 0,002377 V.

Figura 28 – Simulação na ferramenta Slwave® da queda de tensão no plano de referência GND da PCI Protótipo.



Fonte: Elaborado pelo autor.

O IR *drop* representa a queda de tensão no caminho completo da fonte de energia até a carga de silício, desta forma, o IR *drop* da PCI Protótipo é a diferença

entre a tensão na porta de geração e a tensão na porta de entrega desejada, conforme representado na equação (7).

$$IR\ Drop = \Delta V(vcc) + \Delta V(gnd) \quad (7)$$

Desta forma, o *IR drop* simulado da PCI Protótipo é de 0,015977 V. Em valores percentuais o *IR drop* simulado da PCI Protótipo é de 1,598 %.

Realizando a medida prática do *IR drop* na PCI Protótipo, sendo aplicada nos mesmos pontos da simulação a mesma tensão (1 V) e mesma carga (1 A), foram medidos os valores de 0,0143 V para $\Delta V(vcc)$ e 0,0025 V para $\Delta V(gnd)$, totalizando um *IR drop* de 0,0168 V. Em valores percentuais o *IR drop* medido na PCI Protótipo é de 1,68 %.

Comparando o resultado entre o valor simulado e o valor medido, a diferença foi de aproximadamente 4,9% da medida em relação à simulação. Esta diferença está associada às tolerâncias dos componentes e à própria manufatura da PCI Protótipo, sendo considerada uma diferença aceitável.

4.4.2 Análise AC da PCI Protótipo

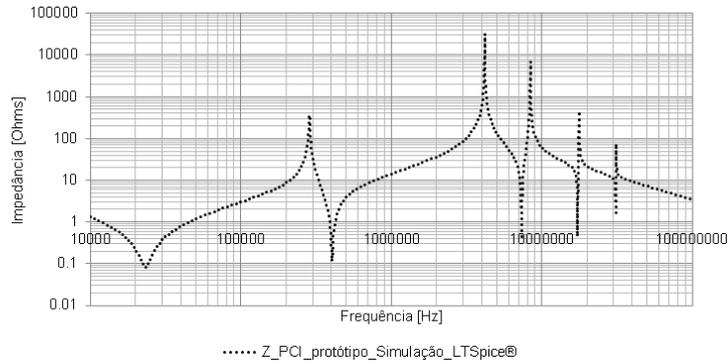
A análise AC consiste na verificação do comportamento da impedância da PDN em função da frequência. Para análise da PCI Protótipo foi definida a faixa de frequência de 10 kHz à 100 MHz. A seguir será apresentado os resultados da análise AC para a PCI Protótipo utilizando as ferramentas de simulação LTSpice® e Slwave® e as medições utilizando VNA e o conjunto de gerador de sinais com osciloscópio.

4.4.2.1 Resposta da simulação da PCI Protótipo com LTSpice®

O comportamento da impedância em função da frequência da PCI Protótipo simulado em LTSpice® é apresentado no Gráfico 8. Este gráfico demonstra os pontos de ressonância bem definidos e os pontos de inversões sem amortecimento, sendo característico desta ferramenta de simulação. Esta característica é devido a,

neste caso, não considerar as perdas no caminho e as propriedades reais dos componentes, além de tratar os dados de forma puramente matemática.

Gráfico 8 – Simulação em LTSpice® do comportamento da impedância da PCI Protótipo.

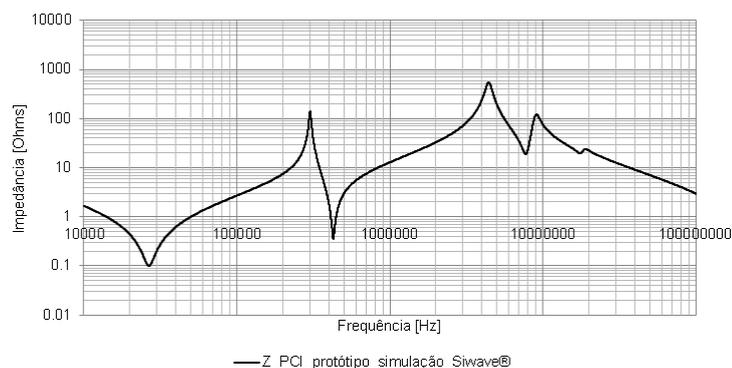


Fonte: Elaborado pelo autor.

4.4.2.2 Resposta da simulação da PCI Protótipo com Slwave®

O comportamento da impedância em função da frequência da PCI Protótipo simulado em Slwave® é apresentado no Gráfico 9. Este gráfico demonstra os pontos de ressonância definidos e os pontos de inversões com amortecimento. Esta resposta já se aproxima muito do comportamento real da impedância, pois nesta ferramenta de simulação todas as perdas no caminho e as propriedades reais dos componentes são consideradas, além de considerar a distribuição dos componentes ao longo da PDN.

Gráfico 9 – Simulação em Slwave® do comportamento da impedância da PCI Protótipo.

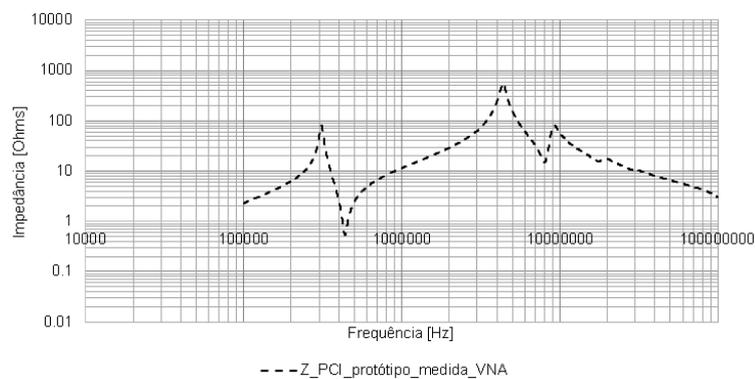


Fonte: Elaborado pelo autor.

4.4.2.3 Resposta da medição da PCI Protótipo com VNA

O comportamento da impedância em função da frequência da PCI Protótipo medido com VNA é apresentado no Gráfico 10. Este gráfico demonstra os pontos de ressonância definidos conforme as simulações apresentadas anteriormente. Por limitação do instrumento VNA, a medição inicia em 100 kHz.

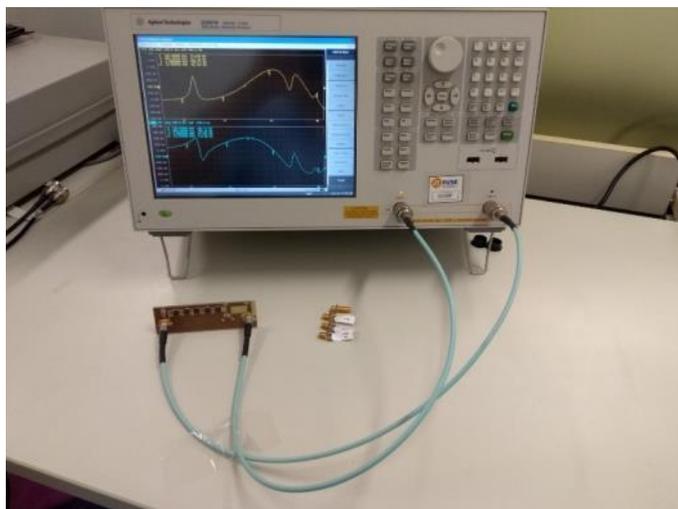
Gráfico 10 – Medição com VNA do comportamento da impedância da PCI Protótipo.



Fonte: Elaborado pelo autor.

A Figura 29 demonstra a realização da medição do comportamento da impedância em função da frequência na PCI Protótipo utilizando o VNA.

Figura 29 – Medição com VNA do comportamento da impedância da PCI Protótipo.



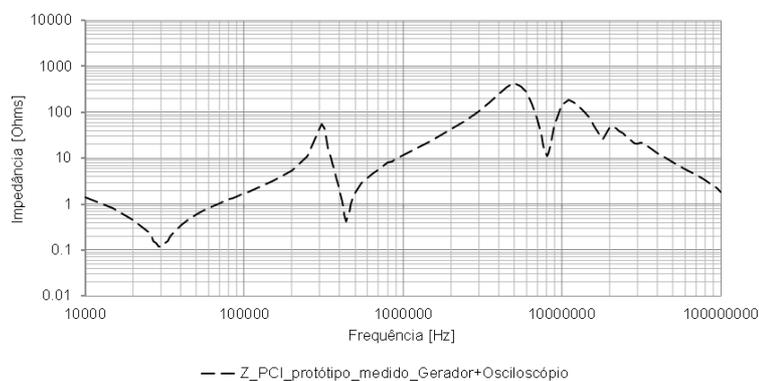
Fonte: Elaborado pelo autor.

Na Figura 29 é possível observar que a PCI Protótipo está com conectores SMA, diferente da Figura 24 que demonstra a PCI Protótipo com conectores BNC. Os conectores do tipo BNC apresentaram perdas significativas em frequências na ordem de Mega Hertz. Desta forma adotou-se o uso de conectores do tipo SMA que são mais propícios e indicados para este tipo de medida de frequências na ordem de Mega Hertz, este tipo de conector possui uma perda menor e consequentemente uma impedância de acoplamento mais próxima da ideal.

4.4.2.4 Resposta da medição da PCI Protótipo com gerador de sinais e osciloscópio

O comportamento da impedância em função da frequência da PCI Protótipo medido com gerador de sinais e osciloscópio é apresentado no Gráfico 11. Este gráfico demonstra os pontos de ressonância, porém com uma atenuação na resposta em frequências mais altas em comparação com a medição com VNA e as simulações.

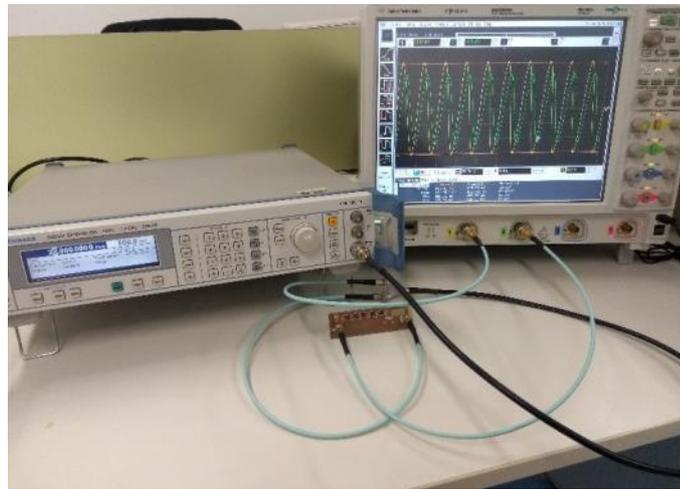
Gráfico 11 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI Protótipo.



Fonte: Elaborado pelo autor.

A Figura 30 demonstra o conjunto de instrumentação composto pelo gerador de sinais e o osciloscópio utilizado para a realização da medição do comportamento da impedância em função da frequência na PCI Protótipo.

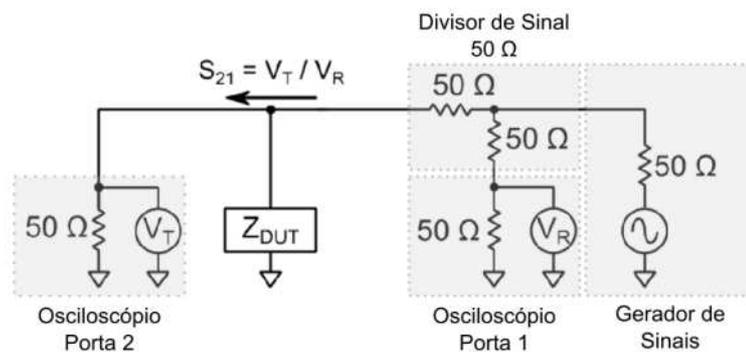
Figura 30 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI Protótipo.



Fonte: Elaborado pelo autor.

Para realizar a medição com o conjunto de instrumentação composto pelo gerador de sinais e o osciloscópio, diferente da medição com o VNA, é necessário utilizar um divisor de sinal conforme demonstrado na Figura 31.

Figura 31 – Divisor de sinal aplicado na instrumentação para medição utilizando conjunto gerador de sinais e osciloscópio.



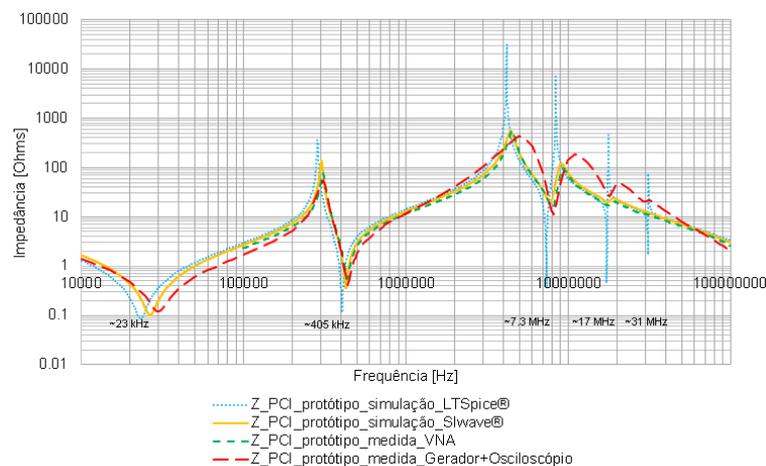
Fonte: Elaborado pelo autor.

A instrumentação VNA já possui este divisor internamente, porém para o uso da instrumentação composto pelo gerador de sinais e o osciloscópio é necessário adota-lo na medição. Este divisor de sinal consiste em dois resistores de 50 Ω . Além deste divisor de sinal, as portas do osciloscópio devem estar configuradas com impedância de 50 Ω .

4.4.2.5 Comparativo entre as respostas das simulações e medições da impedância da PCI Protótipo

O comparativo entre as respostas das simulações e medições da impedância da PCI Protótipo é apresentado no Gráfico 12, na qual demonstra que, apesar de os picos de ressonância não estarem todos exatamente nas mesmas frequências conforme o Quadro 1, as amplitudes estão bem próximas e principalmente a forma de onda entre simulações e medições estão aderentes. Em particular a resposta da medição com gerador de sinais e osciloscópio apresenta um “descolamento” da medida com o VNA e das simulações. Este descolamento ocorre, pois a resposta em impedância com esta instrumentação ser uma resposta indireta. Já o VNA realiza uma medida à 4 fios, similar à medida Kelvin, proporcionando assim uma medida com resposta direta da impedância.

Gráfico 12 – Comparativo entre as respostas das simulações e medições da impedância da PCI Protótipo.

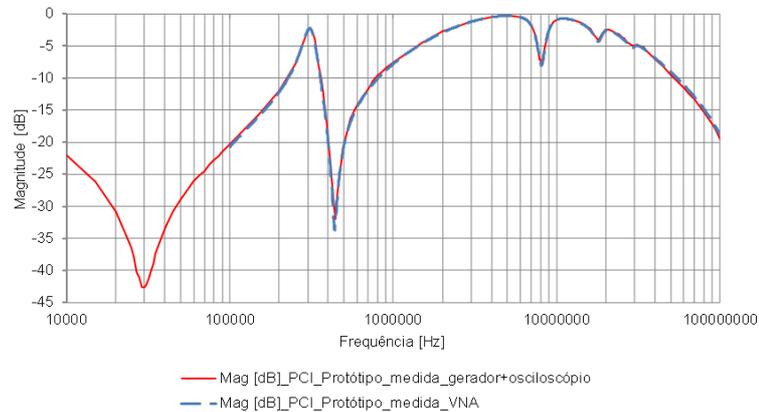


Fonte: Elaborado pelo autor.

Para corroborar a aderência da resposta do conjunto gerador de sinais e osciloscópio com a medida do VNA e das simulações, o Gráfico 13 compara duas medidas diretas realizadas com os instrumentos utilizados. Neste caso é demonstrado que a magnitude da tensão na PCI Protótipo medida com o conjunto

gerador de sinais e osciloscópio casa perfeitamente com a magnitude medida com o VNA.

Gráfico 13 – Comparativo entre as respostas das medições de magnitude de tensão da PCI Protótipo com VNA e com o conjunto gerador de sinais e osciloscópio.



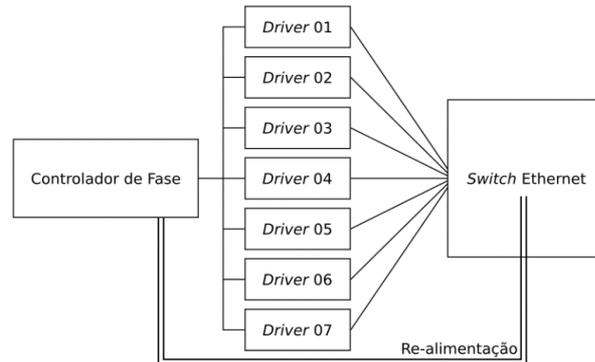
Fonte: Elaborado pelo autor.

Com base nos resultados apresentados acima está validado que as medições estão aderentes às simulações e vice-versa. A instrumentação VNA apresenta uma medida mais precisa devido às suas características de medição, porém o conjunto gerador de sinais e osciloscópio pode ser utilizado com conjunto de instrumento de resposta indireta alternativo ao VNA.

4.5 ANÁLISE DA PCI DE ESTUDO DE CASO

A PCI de Estudo de Caso consiste em uma análise do *layout* da PDN para um CI *Switch* Ethernet em uma aplicação com *throughput* de 2,4 Tbps. O CI *Switch* Ethernet é alimentado por uma VRM composta por 7 *drivers* com capacidade de 36 A cada fase, acionados por um controlador de fase. A topologia da VRM é demonstrada na Figura 32.

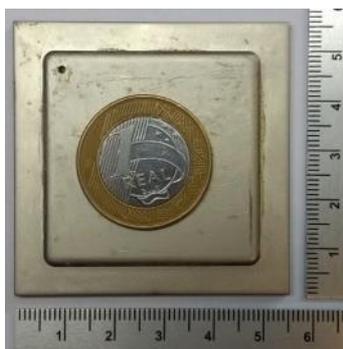
Figura 32 – Topologia da VRM do CI *Switch Ethernet*.



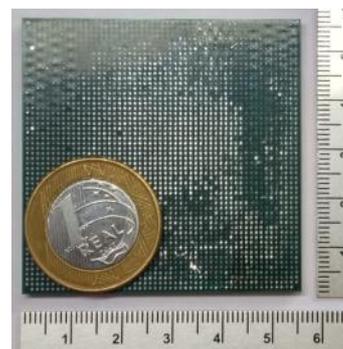
Fonte: Elaborado pelo Autor.

Conforme informações da folha técnica, o CI *Switch Ethernet* deve ser alimentado com uma tensão de 0,8875 V com variação máxima de 2% e o consumo foi estimado em 202,8 A para a aplicação com *throughput* de 2,4 Tbps. A Figura 33 (a) e (b) demonstram o CI *Switch Ethernet* da PCI de Estudo de Caso e um comparativo dimensional com uma moeda de 1 Real.

Figura 33 – CI *Switch Ethernet* da PCI de Estudo de Caso com *throughput* máximo de 3,2 Tbps. Comparativo dimensional do CI *Switch Ethernet* com uma moeda de 1 Real (a) vista superior e (b) vista inferior.



(a)

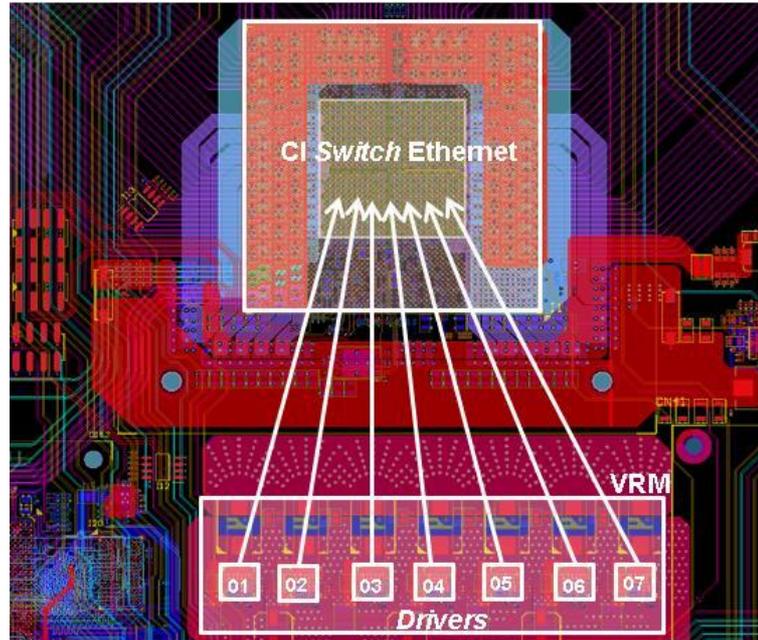


(b)

Fonte: Elaborado pelo Autor.

Por se tratar de um CI de alto desempenho e possuir uma exigência rigorosa de tensão, o controle da tensão de alimentação é realizado através de realimentação. É neste ponto de realimentação que será garantida a tensão de 0,8875 V. A Figura 34 apresenta as posições dos *drivers* e do CI *Switch Ethernet* no *layout* da PCI de Estudo de Caso.

Figura 34 – Layout da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

Para realizar todas as ligações dos *drivers* da fonte de alimentação ao CI *Switch Ethernet* foi utilizada mais de uma camada no *layout*, tanto para o plano de alimentação (Vcc), quando para o plano de referência (GND). A Figura 35 apresenta a distribuição do empilhamento das camadas no *layout* da PCI de Estudo de Caso.

Figura 35 – Empilhamento das camadas no *layout* da PCI de Estudo de Caso.

	Color	Name	Type	Thickness (mils)	Material	Conductivity (S/m)	Dielectric Fill	Dielectric constant	Loss tangent
Vcc		DIELECTRIC-1	CONFORMAL	0.67	SolderMask_SCC	0	SolderMask_SCC	4	0.025
		L1 -top	METAL	2	copper	5.8E+07			
		Dielectric_1	DIELECTRIC	3.34646	EM891_PP_1078_RC69	0		2.96	0.0036
GND		L2 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_1078_RC69	2.96	0.0036
		Dielectric_2	DIELECTRIC	5	EM891_Core_2x1078_RC57	0		3.26	0.0039
		L3 -mid1	METAL	0.590551	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
GND		Dielectric_3	DIELECTRIC	4.13386	EM891_PP_2x1035_RC71	0		2.92	0.0035
		L4 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_4	DIELECTRIC	5	EM891_Core_2x1078_RC57	0		3.26	0.0039
		L5 -mid2	METAL	0.590551	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
GND		Dielectric_5	DIELECTRIC	4.13386	EM891_PP_2x1035_RC71	0		2.92	0.0035
		L6 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_6	DIELECTRIC	4.01575	EM891_Core_1x3313_RC57	0		3.56	0.0039
		L7 -mid4	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1080_RC69	2.96	0.0035
		Dielectric_7	DIELECTRIC	5.55118	EM891_PP_2x1080_RC69	0		2.96	0.0035
Vcc		L8 -GND 3oz	METAL	3.66142	copper	5.8E+07	EM891_PP_2x1080_RC69	2.96	0.0035
Vcc		Dielectric_8	DIELECTRIC	5.90551	EM891_Core_2x1080_RC65	0		3.1	0.0037
		L9 -GND 3oz	METAL	3.66142	copper	5.8E+07	EM891_PP_2x1080_RC69	2.96	0.0035
		Dielectric_9	DIELECTRIC	5.55118	EM891_PP_2x1080_RC69	0		2.96	0.0035
		L10 -mid5	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1080_RC69	2.96	0.0035
GND		Dielectric_10	DIELECTRIC	4.01575	EM891_Core_1x3313_RC57	0		3.56	0.0039
		L11 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_11	DIELECTRIC	4.13386	EM891_PP_2x1035_RC71	0		2.92	0.0035
		L12 -mid6	METAL	0.590551	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_12	DIELECTRIC	5	EM891_Core_2x1078_RC57	0		3.26	0.0039
GND		L13 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_13	DIELECTRIC	4.13386	EM891_PP_2x1035_RC71	0		2.92	0.0035
		L14 -mid7	METAL	0.590551	copper	5.8E+07	EM891_PP_2x1035_RC71	2.92	0.0035
		Dielectric_14	DIELECTRIC	5	EM891_Core_2x1078_RC57	0		3.26	0.0039
GND		L15 -GND	METAL	1.22047	copper	5.8E+07	EM891_PP_1078_RC69	2.96	0.0036
		Dielectric_15	DIELECTRIC	3.34646	EM891_PP_1078_RC69	0		2.96	0.0036
Vcc		L16 -bottom	METAL	2	copper	5.8E+07	SolderMask_SCC	4	0.025
		DIELECTRIC-2	CONFORMAL	0.67	SolderMask_SCC	0	SolderMask_SCC	4	0.025

Fonte: Elaborado pelo Autor.

O requisito para a queda de tensão (*IR drop*) na PDN é dado pelo controlador de fase da VRM, pois será este controlador que fará a compensação da queda de tensão ao longo da PDN. Neste caso o *IR drop* entre os *drivers* e o *CI Switch Ethernet* não pode ser maior que 2,5%. O requisito para impedância alvo (Z_{target}), conforme apresentado no capítulo 2.4.2 na equação 2, é definido pela tensão de alimentação do *CI Switch Ethernet*, a ondulação permitida (*ripple%*) e a corrente transiente. Estes valores, juntamente com o valor do Z_{target} resultante são apresentados no Quadro 3.

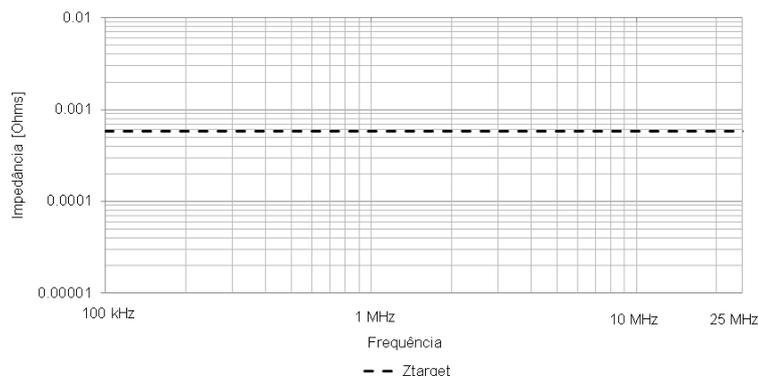
Quadro 3 – Valores para cálculo da Impedância Alvo (Z_{target}).

Grandeza	Valor	Unidade
Tensão de alimentação =	0,8875	[V]
Ondulação máxima =	2	[%]
Corrente máxima =	202,8	[A]
Corrente transiente =	15	[%]
Z_{target} =	583,50	[μOhms]

Fonte: Elaborado pelo Autor.

A faixa de frequência desejada para atender ao requisito de Z_{target} é de 100 kHz à 25 MHz, esta faixa foi definida com base nas informações da folha técnica do próprio *CI Switch Ethernet*. O Gráfico 14 demonstra a máscara do Z_{target} para o *CI Switch Ethernet* da PCI de Estudo de Caso.

Gráfico 14 – Máscara do Z_{target} para o *CI Switch Ethernet* da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

A sessão a seguir trata dos resultados obtidos com a PCI de Estudo de Caso. Para análise AC, referente à resposta da impedância em função da frequência da

PDN, foram realizadas simulações em ferramenta Slwave[®]. As medições através do método *shunt-through* foram realizadas utilizando dois tipos de instrumentação, sendo um tipo o conjunto composto por um gerador de sinais Rohde&Schwarz[®] modelo SML01 e um osciloscópio Agilent[®] modelo MSO9064A e outro tipo um VNA Agilent[®] modelo E5061B-235. Para análise DC, referente à queda de tensão (*IR drop*), foi utilizada também a ferramenta Slwave[®] e para a medição foi utilizado um multímetro Fluke[®] modelo 289.

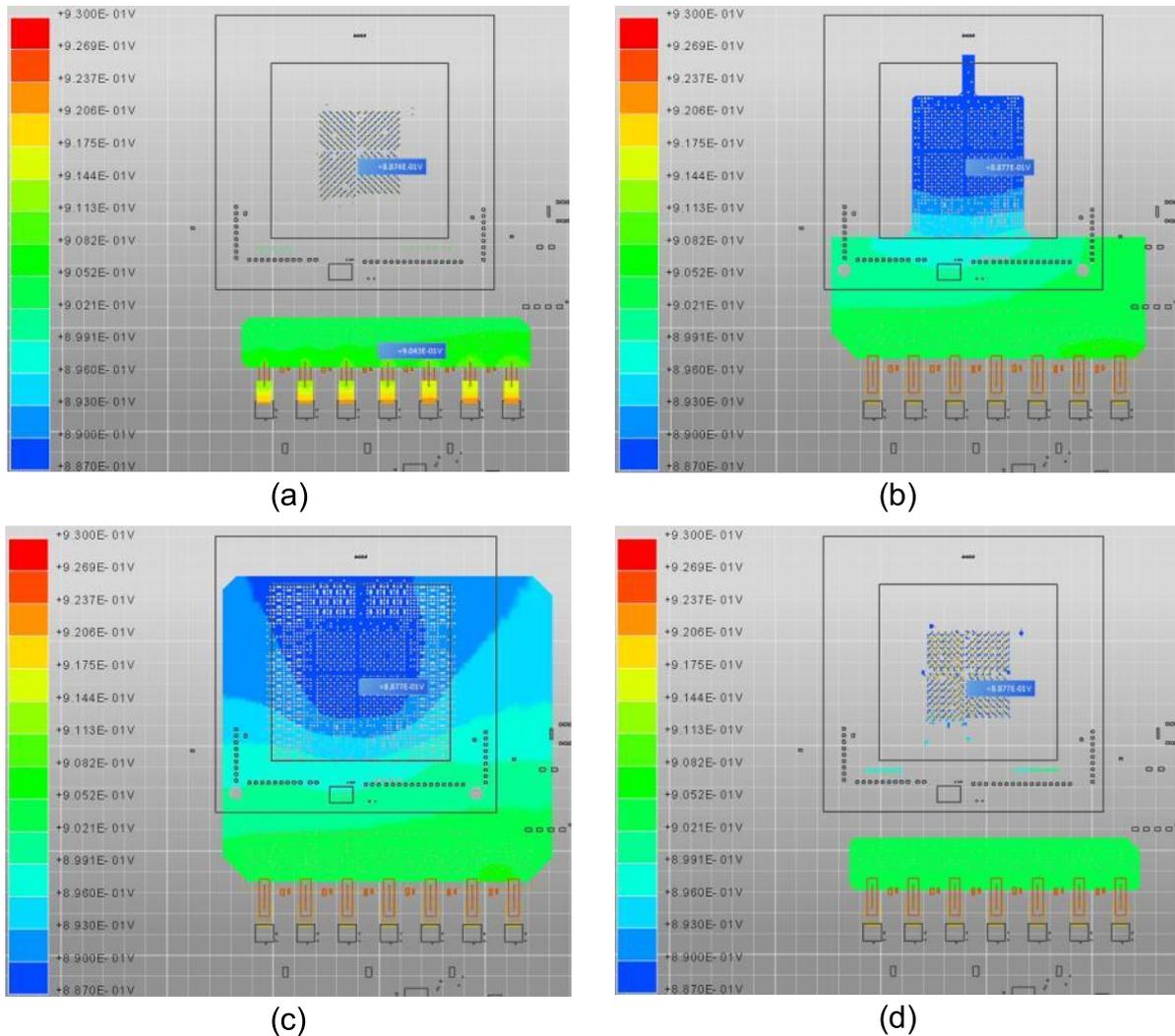
4.6 RESULTADOS DAS SIMULAÇÕES E MEDIÇÕES COM A PCI DE ESTUDO DE CASO

Esta seção aborda os resultados obtidos nas simulações e medições realizadas com a PCI de Estudo de Caso. Na análise DC serão comparados os resultados da simulação com o resultado da medição. Do mesmo modo, na análise AC serão comparados os resultados encontrados na simulação com o Slwave[®] e a medição utilizando o VNA, além de justificar os resultados encontrados com a medição utilizando o conjunto de instrumentação composto pelo gerador de sinais e osciloscópio.

4.6.1 Análise DC da PCI de Estudo de Caso

Como mencionado anteriormente, a análise DC resulta em uma queda de tensão medida entre a carga e a fonte de energia, conforme demonstrado na Figura 7. Na PCI de Estudo de Caso, a carga corresponde ao CI *Switch* Ethernet e a fonte de energia corresponde à VRM, conforme apresentado na Figura 34. Por se tratar de uma fonte com compensação baseada na referência (V_{sense}), a própria VRM compensa a queda de tensão ao longo do plano de alimentação Vcc e no plano de referência GND. Desta forma foi aplicada uma tensão de 0,8875 V no ponto de realimentação do CI *Switch* Ethernet (V_{sense}) e uma carga de 202,8 A dividida entre os pinos de alimentação do CI *Switch* Ethernet. A Figura 36 Figura 27 é demonstra a representação visual da distribuição da queda de tensão ao longo do plano de alimentação Vcc da PCI de Estudo de Caso.

Figura 36 – Queda de tensão nos planos de alimentação Vcc da PCI de Estudo de Caso. Queda de tensão (a) na camada superior (*layer L1*), (b) na camada interna (*layer L8*), (c) na camada interna (*layer L9*) e (d) na camada inferior (*layer L16*).



Fonte: Elaborado pelo Autor.

Na PCI de Estudo de Caso a compensação total da VRM foi de 1,869%, ou seja, a VRM elevou a tensão na sua saída em 0,0169 V para garantir a tensão de alimentação em 0,8875 V no ponto de realimentação do CI *Switch Ethernet*. Essa compensação realizada pela VRM corresponde ao *IR drop* da PCI de Estudo de Caso. Desta forma, o *IR drop* simulado da PCI de Estudo de Caso é de 0,0169 V, em valores percentuais o *IR drop* simulado da PCI de Estudo de Caso é de 1,869 %.

A medida do *IR drop* da PCI de Estudo de Caso foi obtida medindo a saída da VRM e o ponto de realimentação do CI *Switch Ethernet* (V_{sense+} e V_{sense-}).

Neste caso, o IR *drop* medido na PCI de Estudo de Caso é o resultado da equação (8). A tensão medida na saída da VRM ($V_{saída_{VRM}}$) foi de 0,9027 V e a tensão medida no ponto de realimentação do CI *Switch Ethernet* foi de 0,8873 V, resultando em um IR *drop* medido na PCI de Estudo de Caso de 0,0154 V. Em valores percentuais o IR *drop* medido na PCI de Estudo de Caso é de 1,706 %.

$$IR\ drop = V_{saída_{VRM}} - V_{realimentação_{VRM}} \quad (8)$$

A diferença do resultado da medida do IR drop na PCI de Estudo de Caso em relação à simulação foi de aproximadamente 8,7 %, porém a medida da PCI de Estudo de Caso foi realizada utilizando aproximadamente 70% da capacidade do CI *Switch Ethernet* devido às condições da aplicação utilizada no momento da medição.

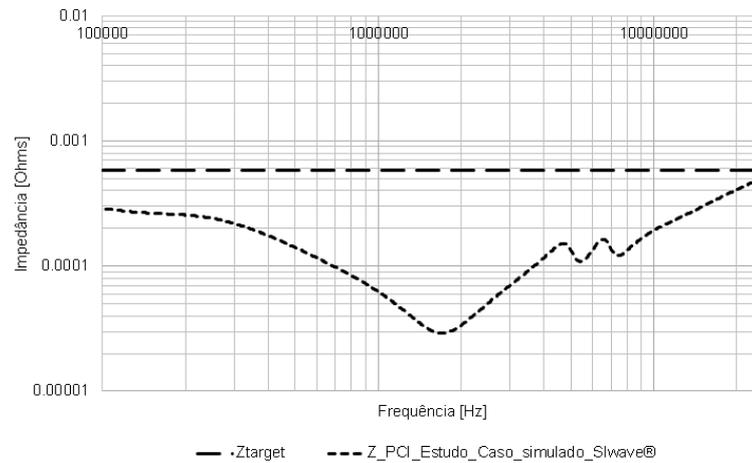
4.6.2 Análise AC da PCI de Estudo de Caso

Como mencionado anteriormente, a análise AC consiste na verificação do comportamento da impedância da PDN em função da frequência. Para análise da PCI de Estudo de Caso foi definida a faixa de frequência de 100 kHz à 25 MHz com base em informações da folha técnica do próprio CI *Switch Ethernet*. A seguir será apresentado os resultados da análise AC para a PCI de Estudo de Caso utilizando a ferramenta de simulação Slwave® e as medições utilizando VNA e o conjunto de gerador de sinais com osciloscópio.

4.6.2.1 Resposta da simulação da PCI de Estudo de Caso com Slwave®

O comportamento da impedância em função da frequência da PCI de Estudo de Caso simulado em Slwave® é apresentado no Gráfico 15. Esta resposta considera todas as resistências, capacitâncias e impedâncias existentes ao longo do caminho entre a VRM e o CI *Switch Ethernet*. Não está sendo considerada na simulação a influência da VRM e a influência do próprio CI devido aos modelos não serem disponibilizados pelos fabricantes.

Gráfico 15 – Simulação em Slwave® do comportamento da impedância da PCI de Estudo de Caso.



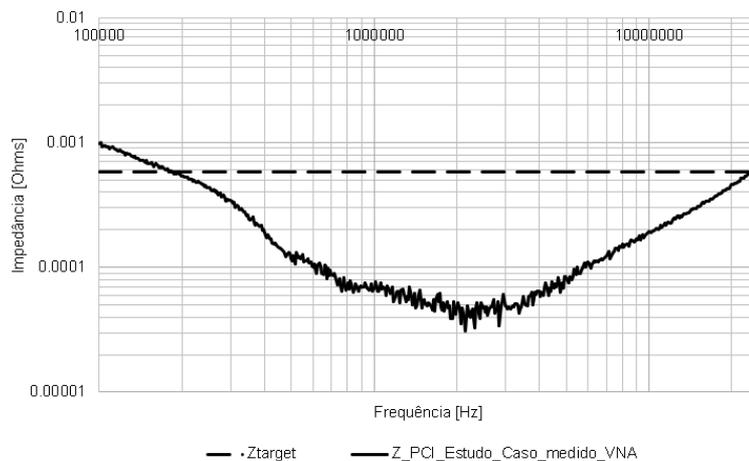
Fonte: Elaborado pelo Autor.

Na resposta da simulação em Slwave® pode ser observado que a impedância da PCI de Estudo de Caso está abaixo do Z_{target} em toda a faixa de frequência desejada.

4.6.2.2 Resposta da medição da PCI de Estudo de Caso com VNA

O comportamento da impedância em função da frequência da PCI de Estudo de Caso medido com VNA é apresentado no Gráfico 16. A medida demonstra que a impedância da PDN atende ao Z_{target} somente após os 200 kHz. Para a PCI de Estudo de Caso este fato não é crítico, pois a VRM utilizada em projeto responde plenamente as demandas do CI *Switch* Ethernet até a frequência de 500 kHz.

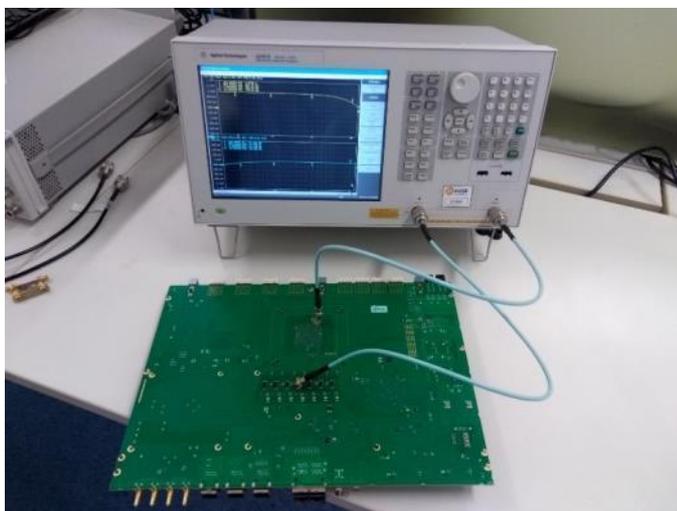
Gráfico 16 – Medição com VNA do comportamento da impedância da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

A Figura 37 demonstra a realização da medição do comportamento da impedância em função da frequência na PCI de Estudo de Caso utilizando o VNA.

Figura 37 – Medição com VNA do comportamento da impedância da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

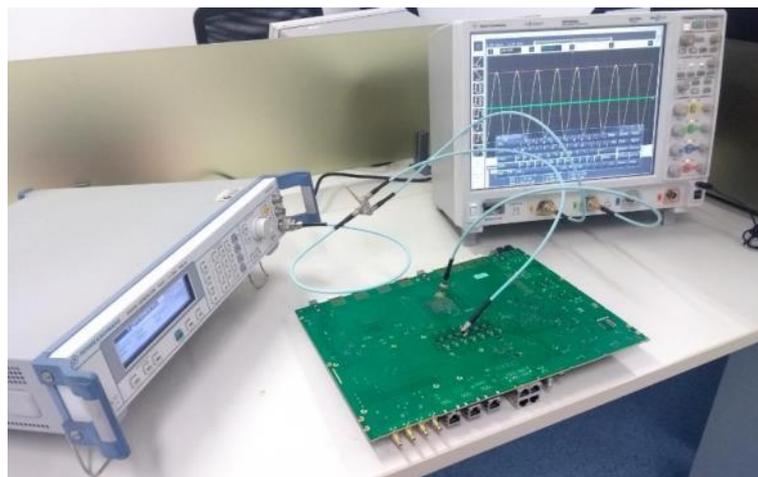
Na Figura 37 é possível observar a PCI de Estudo de Caso está instrumentada com conectores SMA. Os conectores do tipo SMA são mais propícios e indicados para este tipo de medida na ordem de megahertz. Este tipo de conector possui uma perda menor e conseqüentemente uma impedância de acoplamento

mais próxima da ideal. Além do conector, o cabo utilizado também apresenta impacto na resposta da medição. Neste caso foram utilizados cabos SMA com baixa perda (60 dB). Também é importante ressaltar que o ponto de instrumentação tem impacto sobre a resposta da impedância, ou seja, a resposta da impedância observada na medição será a impedância relativa ao ponto na qual a PCI de Estudo de Caso foi instrumentada.

4.6.2.3 Resposta da medição da PCI de Estudo de Caso com gerador de sinais e osciloscópio

Da mesma forma como realizado com a PCI Protótipo, foi realizada a medição do comportamento da impedância da PCI de Estudo de Caso. Para realizar a medição com o conjunto de instrumentação composto pelo gerador de sinais e o osciloscópio, diferente da medição com o VNA, é necessário utilizar um divisor de sinal conforme demonstrado na Figura 31. A Figura 38 demonstra a medição na PCI de Estudo de Caso utilizando o conjunto de instrumentação gerador de sinais e osciloscópio.

Figura 38 – Medição com gerador de sinais e osciloscópio do comportamento da impedância da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

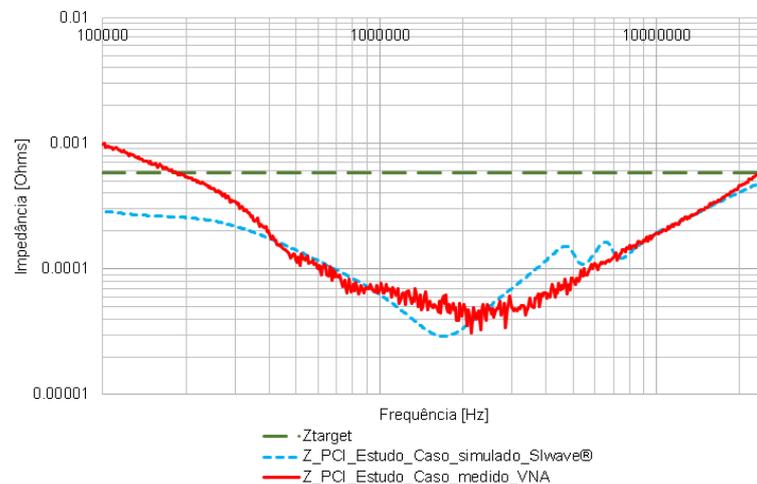
Utilizando o conjunto de instrumentação composto pelo gerador de sinais e o osciloscópio aplicado na PCI de Estudo de Caso não foi possível observar uma

resposta condizente da impedância da PDN com os resultados da simulação em Slwave® e com a medição com VNA. O fato de não se conseguir medir a impedância da PDN da PCI de Estudo de Caso está atribuído à limitação do conjunto de instrumentação. O osciloscópio não possui fundo de escala suficiente para medir a magnitude desejada. Em outras palavras, a impedância da PDN da PCI de Estudo de Caso é tão baixa que o conjunto de instrumentação não possui faixa dinâmica suficiente para realizar a medição.

4.6.2.4 Comparativo entre a resposta da simulação e medição da impedância da PCI de Estudo de Caso

O comparativo entre a resposta da simulação e medição da impedância da PCI de estudo de caso é apresentado no Gráfico 17, na qual demonstra a adesão entre os resultados da simulação em Slwave® com a medição com VNA.

Gráfico 17 – Comparativo entre as respostas da simulação e medição da impedância da PCI de Estudo de Caso.



Fonte: Elaborado pelo Autor.

Apesar da adesão entre os resultados, algumas considerações são importantes de serem realizadas em relação à resposta da medição em relação à simulação, como o fato de que a medição foi realizada em um ponto específico, ou seja, foi realizada sobre um capacitor mais próximo possível no meio da PDN e em camada inferior do *layout*. Este fato é importante ressaltar, pois a simulação monta

uma porta a partir de todos os pinos de alimentação do CI na camada superior do *layout*, o que é inviável do ponto de vista prático para a medição. Outra consideração importante é que a PCI de Estudo de Caso não foi devidamente preparada para a instrumentação, com isso tiveram que ser aplicados conectores em pontos de medidas não ideais e que adicionam impedâncias indesejadas, acarretando em distorções no resultado da medição. O capítulo a seguir irá descrever mais detalhadamente as considerações referentes à simulação e medição na PDN da PCI de Estudo de Caso.

4.7 CONSIDERAÇÕES REFERENTE A MEDIÇÃO DA PDN DA PCI DE ESTUDO DE CASO

O resultado medido na PCI de Estudo de Caso foi satisfatório do ponto de vista prático, mas para chegar à tal resultado percorreu-se um caminho não tão simples. Antes de detalhar as dificuldades encontradas na realização da medição da impedância da PDN da PCI de Estudo de Caso, cabe ressaltar que a magnitude da impedância do Z_{target} é na ordem de algumas centenas de microohms, porém a impedância a ser medida na PDN da PCI de Estudo de Caso é na ordem de algumas dezenas de microohms. Esta magnitude impõe uma limitação muito grande em termos de instrumentação e principalmente impõe cuidados que devem ser observados durante a preparação da medição para que o impacto da instrumentação sobre o resultado da medida seja o menor possível.

4.7.1 Cabos e conectores

Os cabos e conectores utilizados na instrumentação possuem impacto significativo no resultado da medição e podem distorcer e divergir totalmente o resultado esperado. Inicialmente foram previstos o uso de conectores do tipo BNC para a instrumentação, porém os resultados das medições não apresentaram convergência em nenhum ponto. Os conectores do tipo BNC utilizados apresentaram perdas significativas em frequências na ordem de megahertz. Desta forma adotou-se o uso de conectores do tipo SMA que são mais propícios e

indicados para este tipo de medida de frequências na ordem de megahertz, este tipo de conector possui uma perda menor e conseqüentemente uma impedância de acoplamento mais próxima da ideal. Além do conector, o cabo utilizado também apresenta impacto na resposta da medição. O uso de cabos de baixa qualidade acarretam em um alto ruído de modo comum reduzindo significativamente a faixa dinâmica do instrumento de medição VNA. Neste caso foram utilizados cabos SMA com baixa perda (60 dB).

4.7.2 Instrumento e instrumentação da medida

Conforme relatado no item 4.6.2.3, não foi possível realizar a medição da PDN da PCI de Estudo de Caso utilizando o conjunto de instrumentação gerador de sinais e osciloscópio devido à magnitude da impedância a ser medida, ou seja, este conjunto de instrumentação não possui fundo de escala suficiente para medir a magnitude de dezenas de microohms, sendo assim o VNA o instrumento indicado para esta magnitude. Porém, também não são todos os VNAs que apresentam fundo de escala suficiente para esta magnitude. O VNA utilizado neste trabalho possui uma faixa dinâmica mínima (*dynamic range*) de 120 dB.

4.7.3 Calibração

A calibração é outro fator fundamental para o resultado da medição. A calibração realizada no VNA foi a calibração completa de 2 portas, ou seja, a porta 1 e a porta 2 foram calibradas com o cabo SMA e com o conector SMA utilizados na instrumentação da PCI de Estudo de Caso. Para a calibração foram utilizadas as terminações aberta (*open*), curto circuito (*short*) e carga de 50 Ohms (*load*). Cada modo foi realizado individualmente e repetido para cada porta. Por fim foi realizada a calibração direta (*shunt*), na qual a porta 1 é conectada diretamente na porta 2. Somente ao final destes passos o instrumento e a instrumentação estavam aptos a realizar uma medição. O ideal é que a calibração seja realizada a cada uso, pois fatores como temperatura e acoplamento dos cabos podem influenciar no resultado da calibração e por sua vez no resultado da medição.

4.8 EXTRAPOLAÇÃO PARA A CAPACIDADE MÁXIMA DE *THROUGHPUT* DO CI SWITCH ETHERNET

Todo o trabalho realizado até aqui foi na busca do objetivo de avaliar a integridade de energia de uma Rede de Distribuição de Energia para um CI *Switch* Ethernet em uma aplicação com *throughput* de 2,4 Tbps. Porém, nos objetivos também era previsto a avaliação da integridade de energia da mesma Rede de Distribuição de Energia do CI *Switch* Ethernet perante a possibilidade de extrapolação para um *throughput* máximo de 3,2 Tbps.

Conforme informações da folha de técnica do CI *Switch* Ethernet utilizado na PCI de Estudo de Caso, a extrapolação para o *throughput* máximo de 3,2 Tbps acarreta no aumento do consumo de corrente da alimentação, aumentando para 235 A. Desta forma o valor do Z_{target} para o *throughput* de 3,2 Tbps, assim como os demais parâmetros para o cálculo conforme a equação (2), são apresentados no Quadro 4, resultando em um Z_{target} de 503,55 $\mu\Omega$.

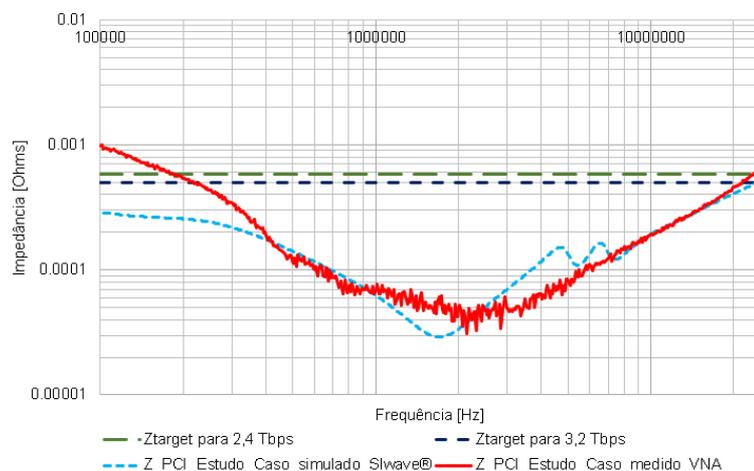
Quadro 4 – Valor do Z_{target} para o *throughput* de 3,2 Tbps.

Grandeza	Valor	Unidade
Tensão de alimentação =	0,8875	[V]
Ondulação máxima =	2	[%]
Corrente máxima =	235	[A]
Corrente transiente =	15	[%]
Z_{target} =	503,55	[μOhms]

Fonte: Elaborado pelo Autor.

O aumento do *throughput* de 2,4 Tbps para 3,2 Tbps resulta em uma redução do Z_{target} em aproximadamente 80 $\mu\Omega$. Esta diferença entre os valores do Z_{target} juntamente com as respostas da simulação em SIwave® e a resposta da mediação com o VNA são apresentadas no Gráfico 18.

Gráfico 18 – Respostas da simulação e medição da impedância da PCI de Estudo de Caso com Z_{target} para 3,4 Tbps.



Fonte: Elaborado pelo Autor.

A extrapolação para o *throughput* máximo de 3,2 Tbps tem impacto direto no Z_{target} , porém, como pode ser observado no Gráfico 18 o impacto sobre a impedância medida e impedância simulada é apenas nos extremos da faixa de frequência. No extremo inferior, conforme já relatado no item 4.6.2.2, para a PCI de Estudo de Caso o cruzamento entre a impedância medida e o Z_{target} até 500 kHz não é crítico, pois a VRM utilizada no projeto responde plenamente as demandas do CI *Switch* Ethernet até a frequência de 500 kHz. Já no extremo superior da faixa de frequência a impedância medida cruza o Z_{target} em aproximadamente 20 MHz, porém analisando a resposta da medição nota-se que, diferente da resposta da simulação, a impedância medida já cruzava com o Z_{target} antes dos 25 MHz de requisito do CI *Switch* Ethernet. Entretanto, do ponto de vista de técnico para a aplicação do Estudo de Caso, não há necessidade de revisar o *layout*, pois uma revisão agrega outros riscos ao projeto que, além de atraso, podem ser mais graves que o não atendimento ao Z_{target} neste caso em específico e nesta grandeza da faixa de frequência. Em resumo, a impedância simulada e medida para um *throughput* de 2,4 Tbps atendem, do ponto de vista técnico, a extrapolação para o *throughput* máximo de 3,2 Tbps do CI *Switch* Ethernet da PCI de Estudo de Caso.

5 CONCLUSÃO

Este trabalho se constituiu na avaliação e validação dos requisitos de uma Rede de Distribuição de Energia (PDN) para um CI *Switch* Ethernet cujo *throughput* máximo é de 3,2 Tbps. Para realizar tais objetivos foi necessário o uso de ferramentas de simulação e de medição e instrumentos de medição. Para simulação foram utilizadas as softwares LTSpice[®] e, principalmente, o Slwave[®], na qual foram realizadas análises de comportamento DC, que corresponde a queda de tensão entre a fonte de energia e a carga (*IR drop*) e análises de comportamento AC, que corresponde à impedância em função da frequência da Rede de Distribuição de Energia (PDN). Em se tratando de medições foram utilizados instrumentos específicos conforme as análises realizadas, no caso do *IR drop* foi utilizando um multímetro Fluke[®] modelo 289 para medir a queda de tensão existente entre a fonte de energia e a carga e no caso da impedância da PDN as medições foram realizadas utilizando dois tipos de instrumentação, sendo um tipo o conjunto composto por um gerador de sinais Rohde&Schwarz[®] modelo SML01 e um osciloscópio Agilent[®] modelo MSO9064A e outro conjunto sendo um VNA Agilent[®] modelo E5061B-235. As medições da impedância foram realizadas utilizando o método *shunt-through*.

Os objetivos propostos foram atendidos e os resultados obtidos, baseado nas análises e considerações realizadas, atenderam aos requisitos estabelecidos para a PDN do CI *Switch* Ethernet. A utilização de uma PCI Protótipo para validação do método de medição proposto, mostrou-se fundamental para atingir os resultados na PCI de Estudo de Caso. A PCI Protótipo permitiu validar os resultados entre as simulações e as medições, através da análise e do entendimento dos desafios e das dificuldades para atingir os resultados. Em se tratando de dificuldades encontradas no desenvolvimento do trabalho, a medição de impedâncias na ordem de microohms se mostrou bastante desafiadora, sendo realizados testes e estudos sobre os instrumentos, como por exemplo, a faixa dinâmica (*dynamic range*) de operação dos instrumentos e a forma correta de calibração do VNA, que deve ser realizada a cada uso, pois fatores como temperatura e acoplamento dos cabos influenciam no resultado da medição. Além disso, a forma correta de instrumentação para a

realização da medição, como a utilização de conectores do tipo SMA que são mais propícios e indicados para o tipo de medição realizada e o uso de cabos de baixas perdas para não gerarem um alto ruído de modo comum reduzindo significativamente a faixa dinâmica do instrumento de medição.

Em se tratando do aumento do *throughput* do CI *Switch* Ethernet de 2,4 Tbps para 3,2 Tbps acarretou num aumento da corrente de consumo, conseqüentemente gerando uma redução do Z_{target} em aproximadamente $80 \mu\Omega$. Esta redução da impedância, apesar de parecer insignificante, resultou em uma redução de 16% no valor do Z_{target} . O impacto desta redução não pode ser considerado desprezível, por isso a sua simulação e avaliação frente aos resultados da medição é fundamental para o embasamento das decisões técnicas frente à uma possível aplicação direta com riscos conhecidos ou frente a uma possível revisão de *layout* agregando riscos desconhecidos ao projeto da PCI de Estudo de Caso.

Outro ponto importante de ser ressaltado é em relação à importância da utilização de simuladores para prever ocorrências de não atendimento dos requisitos dos CIs de alto desempenho antes mesmo da fabricação de protótipos. Além da importância no domínio do uso de diferentes instrumentos e os devidos cuidados com a instrumentação e suas restrições, como é o caso do conjunto de instrumentos formado pelo gerador de sinais e osciloscópio que pode ser uma ótima alternativa frente à falta de um VNA para realizar a caracterização quantitativa da impedância de determinadas PDNs.

Este trabalho proporcionou a realização de um artigo, que se encontra no apêndice A, intitulado *Decoupling capacitors optimization in a Power Distribution Network*. O artigo trata de um algoritmo genético implementado em MatLab® para otimizar os valores e quantidades de capacitores disponíveis dentre uma lista pré-determinada. O artigo foi publicado na *International Organization of Scientific Reserch Journals of Electrical and Electronics Engineering (IOSR-JEEE)* e demonstra a possibilidade de encontrar uma solução que atenda aos critérios de projeto para a impedância alvo (Z_{target}) de um IC específico com um tempo de cerca de 30 a 40 segundos. Os resultados mostram confiabilidade suficiente para o ponto de partida do número mínimo de capacitores de desacoplamento no pré-*layout* de uma PDN.

Durante o desenvolvimento deste trabalho foram observadas oportunidades para trabalhos futuros, como por exemplo, o desenvolvimento de um sistema para redução de ruído de modo comum gerado pelos cabos na medição *shunt-through* através do VNA, possibilitando aumentar a faixa dinâmica do instrumento. Outro trabalho sugerido é a avaliação do impacto dos diferentes materiais utilizados na fabricação da PCI sobre a impedância resultante da PDN, pois apesar de possuírem as mesmas características de perdas em uma frequência específica, os diferentes materiais possuem respostas diferentes na faixa de frequência de operação da PDN. Outra sugestão de trabalho é o impacto da tolerância dos capacitores de desacoplamento sobre a impedância da PDN, pois é sabido que os capacitores possuem uma tolerância bastante significativa em seu valor nominal e ocorre uma redução ainda maior no valor nominal da capacitância quando os capacitores são submetidos à uma tensão de operação.

BIBLIOGRAFIA

BOGATIN, Eric. **“Signal and Power Integrity - Simplified”**. Prentice Hall signal Integrity library, 3ª Edição, p. 816, 2017. Disponível em: https://books.google.com.br/books?id=BzOdDgAAQBAJ&source=gbs_similarbooks. Acesso em: 07 fev 2019.

CANIGGIA, Spartaco; MARADEI, Francescaromana. **Signal Integrity and Radiated Emission of High-Speed Digital Systems**. Wiley, 2008. 552 p. Disponível em: https://books.google.com.br/books?id=VY8m4_8STrsC&dq=SIGNAL+INTEGRITY+AND+RADIATED+EMISSION&hl=en&sa=X&ved=0ahUKEwjmx_Ws4bbMAhWHE5AKHUmbAxoQ6AEIKzAA. Acesso em: 07 fev 2019.

CARRIÓ, Fernando & Gonzalez, Vicente & Sanchis, Enrique. **“Basic Concepts of Power Distribution Network Design for High-Speed Transmission”**. The Open Optics Journal. 5. 51-61, (2011).

CHANG FEI, Y. **"Advantages of embedded decoupling capacitance in high speed compact board design"** 2016 IEEE Student Conference on Research and Development (SCORed), Kuala Lumpur, 2016, pp. 1-5.

CHEN, X. P. **Analysis and application for integrity of PCB signal**. Information and Financial Engineering (ICIFE), 2010 2nd IEEE International Conference on, Chongqing, 2010, pp. 328-331.

CHUA, E., X. Li, S. Hu and K. See, **"Measurement of power distribution network impedance using an error analysis approach"** 2014 IEEE 16th Electronics Packaging Technology Conference (EPTC), Singapore, 2014, pp. 117-121.

CHOI, J., Sung-Hwan Min, Joong-Ho Kim, M. Swaminathan, W. Beyene and Xingchao Yuan, **"Modeling and analysis of power distribution networks for Gigabit applications"** in IEEE Transactions on Mobile Computing, vol. 2, no. 4, pp. 299-313, Oct.-Dec. 2003.

COOMBS, Clyde F. Jr. **Printed Circuits Handbook**. 6ª Ed. McGraw-Hill, 2007. 1000 p. Disponível em: https://books.google.com.br/books?id=1Pbkeu6dZ_sC&q=Printed+Circuits+Handbook&dq=Printed+Circuits+Handbook&hl=en&sa=X&ved=0ahUKEwjN_57n1_fLAhWCHpAKHTFoAEEQ6AEINTAA. Acesso em: 07 fev 2019.

DIBENE, Joseph T. **Fundamentals of Power Integrity for Computer Platforms and Systems**. John Wiley & Sons, 2014. 280 p. Disponível em: https://books.google.com.br/books/about/Fundamentals_of_Power_Integrity_for_Comp.html?id=_dmYAwAAQBAJ&redir_esc=y. Acesso em 07 fev 2019.

FIZESAN, Raul; PITICA, Dan. **Power integrity design tips to minimize the effects of mounting inductance of decoupling capacitors**. Optimization of Electrical and Electronic Equipment (OPTIM), 2012 13th International Conference on, Brasov, 2012, pp. 36-41.

HALL, Stephen H.; HECK, Howard L. H. **Advanced Signal Integrity for High-Speed Digital Designs**. John Wiley & Sons, 2011. 680 p. Disponível em: https://books.google.com.br/books?id=ldlnVxjw7YC&dq=ADVANCED+SIGNAL+INTEGRITY+FOR+HIGH-SPEED+DIGITAL+DESIGNS&source=gbs_navlinks_s. Acesso em: 07 fev 2019.

HEINRICH, G. and Dickmann, S.: **Coupling between Vias and the PCB Power-Bus**, Adv. Radio Sci., 7, 261-265, <https://doi.org/10.5194/ars-7-261-2009>, 2009.

KHANDPUR, R. S. **Printed Circuit Boards: Design, Fabrication and Assembly**. McGraw-Hill, 2005. 704 p. Disponível em: https://books.google.com.br/books?id=xmMoetS8vSQC&source=gbs_book_other_versions. Acesso em: 07 fev 2019.

KHAOULA, Ait B. & Hassan, Belahrach & Hassan, Ayad. "**Analysis and calculation of simultaneous switching noise in PDN for high speed ICs in embedded systems**". 1-6. 10.1109/ICoCS.2015.7483291, 2015.

KEYSIGHT Technologies. "**Ultra-Low Impedance Measurements Using 2-Port Measurements**". Nota de Aplicação, jul 2014.

LI, Mike Peng. **Jitter, Noise, and Signal Integrity at High-Speed**. Pearson Education, 2007. 400 p. Disponível em: https://books.google.com.br/books?id=vmBJYOOFswYC&dq=Jitter,+Noise,+and+Signal+Integrity+at+High-Speed&source=gbs_navlinks_s. Acesso em: 07 fev 2019.

LI-XIN, Wang & Yu-xia Z. & Gang, Z. "**Power Integrity Analysis for High-Speed PCB**" 2010 *First International Conference on Pervasive Computing, Signal Processing and Applications*, Harbin, 2010, pp. 414-418.

MARKS, Leonard; CATERINA, James A. **Printed Circuit Assembly Design**. McGraw-Hill, 2000. 368 p. Disponível em: https://books.google.com.br/books/about/Printed_Circuit_Assembly_Design.html?id=7wtTAAAAMAAJ&redir_esc=y. Acesso em: 07 fev 2019.

MEDERER, F. et al. **3-Gb/s data transmission with GaAs VCSELs over PCB integrated polymer waveguides**. IEEE Photonics Technology Letters, v. 13, n. 9, p. 1032-1034, 2001.

MOKHTAARI, M., Feng J. and Moore, G. "**High speed system level PDN analysis: Developing FPGA VCCR PDN specification to avoid transmitter phase noise**" *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, Washington, DC, 2017, pp. 79-83.

NOVAK, Istvan. "**Why 2-Port Low-Impedance Measurements Still Matter**". Signal Integrity Journal, p.16, jan 2020.

NOVAK, Istvan; MILLER, Jason R. **Frequency-domain Characterization of Power Distribution Networks**. Artech House, 2007. 339 p. Disponível em: https://books.google.com.br/books?id=LuxSAAAAMAAJ&redir_esc=y&hl=en. Acesso em: 07 fev 2019.

PANDEY, Anil. "**Power Integrity Analysis of Power Delivery System in High Speed Digital FPGA Board**". International Journal of Electronics and Communication Engineering. 33. 4, 2016.

PAULIS, F., et al., "**Impact of chip and interposer PDN to eye diagram in high speed channels**" 2018 IEEE 22nd Workshop on Signal and Power Integrity (SPI), Brest, 2018, pp. 1-4.

POPOVICH, Mikhail & MEZHIBA, Andrey V. & FRIEDMAN, Eby G. "**Power Distribution Networks with On-Chip Decoupling Capacitors**". Springer Science & Business Media, p.516, 2007. Disponível em: https://books.google.com.br/books?id=d9uHqcfvaP4C&dq=Power+Distribution+Networks+with+On-Chip+Decoupling+Capacitors&source=gbs_navlinks_s. Acesso em: 07 fev 2019.

RAHMAN, Toyobur; YAN, Zhaowen; ABUBAKAR, Idrissa. **Signal integrity for high speed digital design**. Antennas Propagation and EM Theory (ISAPE), 2010 9th International Symposium on, Guangzhou, 2010, pp. 1113-1115.

SJIARIEL, R., Enjiu, R. , Costa J. and Perotoni, M. "**Power integrity simulation of power delivery network system**" *2015 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC)*, Porto de Galinhas, 2015, pp. 1-5.

SMITH, Larry & SANDLER, Steve & BOGATIN, Eric. "**Target Impedance Is Not Enough**" in *Signal Integrity Journal*, pp. 8-12, Jan. 2019.

TAKAHASHI, Narimasa & Nose, Masahide & Kaeko, Satoshi & Takahashi, Yo. "**Analysis of Complete Power-Distribution Network and Co-Design Optimization**". *Transactions of The Japan Institute of Electronics Packaging*. 2. 69-74. 10.5104/jjepeng.2.69, 2009.

THIERAUF, Stephen C. **High-Speed Circuit Board Signal Integrity**. Artech House, 2004. 243 p. Disponível em: https://books.google.com.br/books?id=SbuUX63oTIYC&dq=High-Speed+Circuit+Board+Signal+Integrity&source=gbs_navlinks_s. Acesso em: 07 fev 2019.

THIERAUF, Stephen C. **Understanding Signal Integrity**. Artech House, 2010. 239 p. Disponível em: https://books.google.com.br/books?id=7sarCAcyh8C&dq=Understanding+Signal+Integrity&source=gbs_navlinks_s. Acesso em: 07 fev 2016.

TSUJII, O. **The characterization of the power distribution network and the simulation**. *China-Japan Joint Microwave Conference*, Hangzhou, 2011, pp. 1-4.

WALKER, Brian. "**Using a VNA for power plane impedance analysis**". *Signal Integrity Journal*, Set 2019.

YANG, S. *et al.*, "**PCB PDN Prelayout Library for Top-Layer Inductance and the Equivalent Model for Decoupling Capacitors**" in *IEEE Transactions on Electromagnetic Compatibility*, vol. 60, no. 6, pp. 1898-1906, Dec. 2018.

YOUNG, Brian. **Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages**. Prentice Hall PTR, 2001. 535 p. Disponível em: https://books.google.com.br/books/about/Digital_Signal_Integrity.html?id=s_ZSAA AAMAAJ&redir_esc=y. Acesso em: 07 fev 2019.

ZHANG, M., *et al.*, "**An Efficient Power-Delivery Method for the Design of the Power Distribution Networks for High-Speed Digital Systems**" in *IEEE*

Transactions on Microwave Theory and Techniques, vol. 57, no. 3, pp. 693-707, March 2009.

ZHANG, X., Y. Liu, X. Hu and C. Cheng, "**Ratio of the Worst Case Noise and the Impedance of Power Distribution Network**" in *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 4, no. 8, pp. 1325-1334, Aug. 2014.

APÊNDICE A – ARTIGO RELACIONADO

Este apêndice corresponde ao artigo realizado durante o trabalho de mestrado. Intitulado *Decoupling capacitors optimization in a Power Distribution Network*, o artigo trata de um algoritmo genético implementado em MatLab® para otimizar os valores e quantidades de capacitores disponíveis dentre uma lista pré-determinada. O artigo foi publicado na *International Organization of Scientific Reserch Journals of Electrical and Electronics Engineering (IOSR-JEEE)* em 02 de dezembro de 2019, cujo fator de impacto é de 3,26.

Decoupling capacitors optimization in a Power Distribution Network

Diego Augusto Timm¹, Ricardo dos Santos Pereira¹, Rodrigo Marques de Figueiredo¹, Jorge Luis Victória Barbosa¹

¹(Postgraduate Program in Electrical Engineering, Universidade do Vale do Rio dos Sinos, Brazil)

Abstract: The design of a Power Distribution Network (PDN) for high performance integrated circuits (IC) has been demanding ever more strict requirements, due to the increased information transmission speed. This article proposes a methodology that allows through a genetic algorithm optimization technique to minimize the number of decoupling capacitors in a PDN in order to satisfy a target impedance (Z_{target}) in a frequency range. The work shows the possibility to find a solution that meets the target impedance design criteria Z_{target} of a specific IC with a time of around 30 to 40 seconds. The results show sufficient reliability for the starting point of the minimum number of decoupling capacitors in pre-layout of a PDN.

Date of Submission: 16-11-2019

Date of Acceptance: 02-12-2019

I. Introduction

Nowadays, high-speed digital designs have surpassed the barrier of 10 Gb / s of real information exchange (bits switching). Thus, designers must provide special care with a Signal Integrity (SI) and Power Integrity (PI) system. Increased system speed requires more ingenuity design, especially in relation to the strictest requirements of strength and power that are provided for high-performance devices. The PI and SI are factors that guarantee the signal transmission between the transmitter and receiver.

The PI problems are associated with the impedance of the power distribution network (PDN), which comprises the entire path from the output of the power supply to the integrated circuit (IC). Some requirements of the PDN must be guaranteed so that the devices connected to it work correctly. One of these requirements is that the PDN must work as a source of low impedance across the entire bandwidth (from DC up to a certain frequency). This impedance must be lower than the requested maximum impedance for the PDN, called target impedance (Z_{target}). Thus, given the transient current consumption of the device, the impedance level must ensure that the supply voltage of the IC is kept in an acceptable range of ripple. This article proposes a methodology based on genetic algorithms to minimize the number of capacitors in a PDN, in order to meet a target impedance within a certain frequency band.

The PDN and the Decoupling Capacitors: The impedance characterization of the PDN can be represented by three regions, as shown in Fig. 1. The low frequency range is comprised between the level of zero to a few hundred kilo-hertz. In this frequency range the impedance is defined mainly by the return characteristics of the energy converter. The average frequency range reaches up to a few hundred mega-hertz and the impedance is associated with the inductance and capacitance of the PCB circuit (decoupling capacitors, ferrites, resistors) in this band of frequency. The high frequency range contemplates the impedance of the load elements (encapsulation, pathways) and part of the impedance of the PCB.

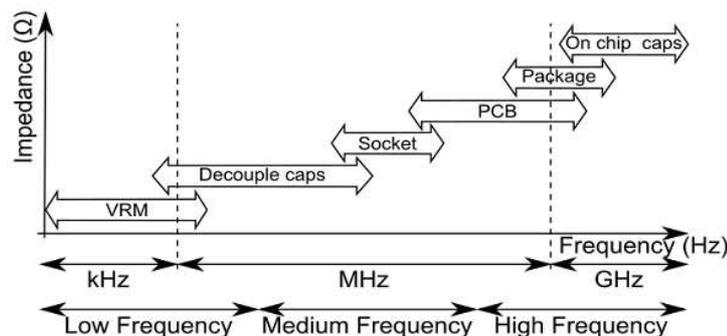


Fig. 1 Ranges of performance of each part that composes the PDN considering impedances in the frequencies.

Fizesan and Pitica[1] provided a simulation of a four-layer PCB with power and feedback plans to evaluate the effectiveness and importance of decoupling capacitors. A powerful simulation program allows the user to identify problems in the PDN even before the layout and thus check if the decoupling strategy is working.

Tripathim et al. [2] presented a method known as simulated annealing to reduce the noise of the power supply in a PDN. The method is a metaheuristic solution to approach global optimization in a large search space for an optimization problem. The cumulative PDN impedance is reduced by using a smaller number of decoupling capacitors compared to the intuitive placement of decoupling capacitors.

Piersantiet al. [3] used an algorithm to optimize the placement of decoupling capacitors in a Multichip PDN. The cost function is based on the evaluation of the impedance of the PDN and its comparison with a predefined mask. The work demonstrates that the Nature Inspired Algorithm (NIA) can be used for the placement of capacitance considering the geometric constraints of the PDN.

Koo et al. [4] presented a fast capacitor assignment algorithm capable of minimizing the number of decoupling capacitors in a PDN. The work allows finding, with a semi-arbitrary manner, a decoupling solution with a minimal number of components that meets the predefined target impedance. The solution takes a time interval that can go from a few seconds to an hour for a given PDN, depending on its complexity.

Different from these related works, this article presents a methodology that provides a minimum quantity of decoupling capacitors to be used in a PDN pre-layout stage. The minimum quantity of decoupling capacitors is provided in a few seconds indifferent of the PDN complexity. It is relevant because only the voltage and transient current demanded by the IC is required.

II. Material And Methods

The design of a PDN must be performed to meet the impedance threshold in a given frequency range. In addition, the PDN project must take into account other aspects, such as the footprint on the PCB and the cost of its components. Fig. 2 shows methodology proposed to optimize the number of capacitors used in the PDN design.

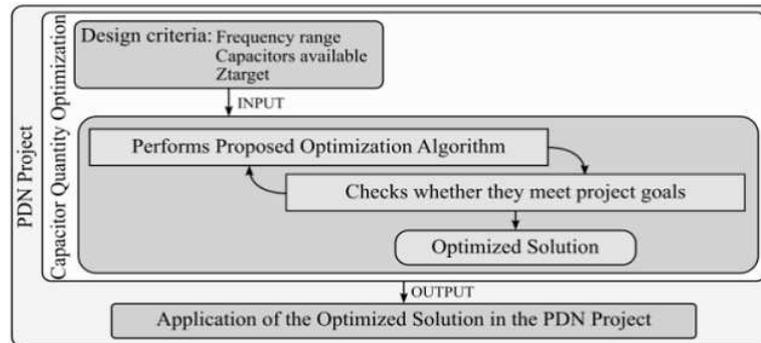


Fig. 2 Methodology to design the PDN decoupling capacitors.

Thus, this methodology allows to evaluate and size the capacitors to meet the impedance required by the IC and also to minimize the number of capacitors to be used. This brings benefits during the design stage. One of these benefits is that the designer has a starting point for the number of decoupling capacitors to be used in the PDN, because many IC manufacturers do not provide as many or which capacitors must be used. Another benefit is the reduction of the number of decoupling capacitors, avoiding oversizing and thus reducing the layout space and manufacturing cost of the product. This work was developed using a problem solving toolbox, which is based on the Genetic Algorithm (GA) solution method, available in MatLab® software.

Optimization of Capacitor Quantity by Genetic Algorithm:

The objective of the PDN project is maintain its impedance below a certain limit in order to reduce the number of capacitors. So, an optimization algorithm for capacitor allocation was elaborated. The GA optimization method was used to solve the problem. This method of optimization is based on the evolutionary biology of living beings to solve problems that have the characteristic of being non-linear.

In the evaluation of the proposed method, 14 different capacitors values were chosen to represent the range of available capacitors for the PDN project. The capacitors used in the study are manufactured by SAMSUNG® and belong to the family of multi-layer ceramic capacitors CL05A. The values of each capacitor used are C1=1nF, C2=10nF, C3=22nF, C4=47nF, C5=100nF, C6=220nF, C7=470nF, C8=1µF, C9=2,2µF, C10=4,7µF, C11=10µF, C12=22µF, C13=47µF, C14=100µF. To check the behaviour of the impedance was

downloaded the data containing the Z parameters of each capacitor. The data is available on the manufacturer's site (<http://weblib.samsungsem.com/mlcc/mlcc-ec.do>). All these data were imported into MatLab® software, which was used to determine the resulting impedance of the PDN project.

The PDN for a specific IC must have an impedance of less than 0.533 mΩ in a frequency range that lies between 300 kHz and 100 MHz. This design requirement becomes a constraint for the resolution of the optimization problem. Therefore, the problem to be solved is represented by equations (1) and (2), where Z_{Total} is the maximum impedance resulting from the association of the capacitors in the specified frequency range and Z_{Target} is the maximum impedance that the PDN must have in the specified frequency range.

$$MinL(x) = \sum \text{Capacitors in the PDN} \tag{1}$$

Subjected to

$$Z_{Total} \leq Z_{Target} \tag{2}$$

The problem was treated through the perspective of integer optimization because of the impossibility to allocate a fraction of capacitor to the PDN. Therefore, the problem was structured and the objective function was defined, considering the appropriate restrictions established for the problem in question. After that the parameters of the genetic algorithm were modelled in order to obtain the best solution to the problem. During the analysis, the algorithm obtained a good performance when using a population of 60 individuals and mutation rate of 4%.

III. Result

In order to evaluate the performance of the GA, an analysis was performed to verify the behaviour of the population of individuals throughout the generations. The algorithm was executed according to the previous description, and for each generation was identified the worst and best individual corresponding to the respective objective function of the problem. It was calculated the mean of the generation too. These values allowed to verify the behaviour of the genetic algorithm. Fig. 3 shows the graph containing the values of the worst and best individual and the average capacitors used in the solution set (population) over the generations required for the GA to determine the final solution to the problem.

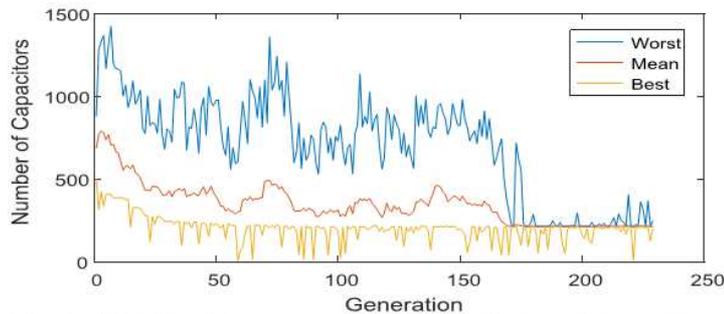


Fig. 3 Worst and best individual and the average capacitors used in the solution set (population) over the generations.

Fig. 3 shows that the first generations have a high variation along and a high average. Throughout the generations the average begins to decrease until, after the 180th generation, the population converges to the point corresponding to the solution to the problem. The population remains for many generations with few variations, indicating that the solution found corresponds to the global minimum solution of the problem. The variations around the mean in these generations are caused by the mutation of the individuals present in the population. Often is found a solution that has a quantity of capacitors much smaller than the final solution. However, these values do not correspond to a valid solution because the resulting impedance is higher than the Z_{Target} .

Fig. 4 shows the graph containing the best solution over the generations, which meets all constraints. Initially there was a large drop in the number of capacitors. From the 130th generation the best solution to the problem is found. The comparison of graphs in Fig. 3 and Fig. 4 shows that the average of the individuals of the population converges precisely to the value corresponding to the best solution for the problem.

The result found by the proposed methodology has a total of 215 capacitors. The quantity of each capacitor according to the answer given by the methodology is C1=1, C2=54, C3=8, C4=5, C5=1, C6=2, C7=0, C8=4, C9=10, C10=39, C11=18, C12=71, C13=2, C14=0.

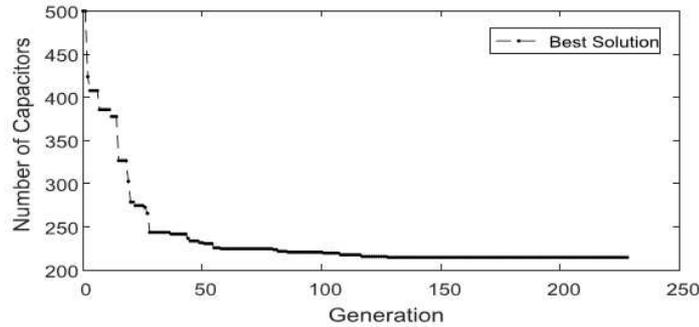


Fig. 4 Best solution over the generations.

Fig. 5 demonstrates the final response impedance found by the algorithm. The figure shows the individual impedance of each capacitor available and the Z_{Target} impedance in the respective desired frequency range. The response obtained meets the requirements and objectives. The resulting impedance obtained in the 300 kHz and 100 MHz range was lower than the maximum impedance determined in the design. The algorithm takes a time between 30 and 40 seconds of simulation to obtain a result for the problem. The algorithm runs on a computer with a 2.4 GHz 2-core Pentium Core i7® processor and 8 GB of RAM.

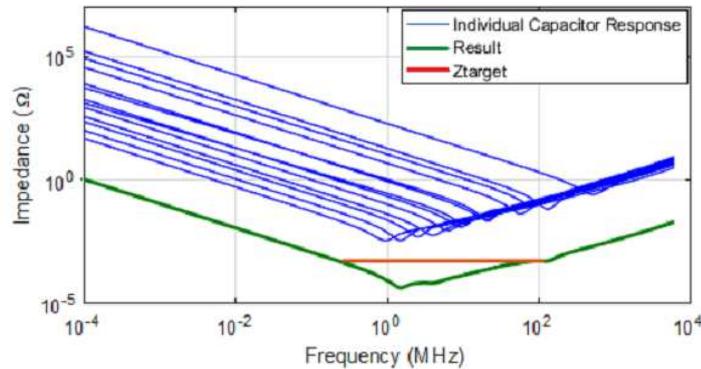


Fig. 5 Frequency response of each capacitor and the association of the resulting capacitors the GA response

IV. Conclusion

The dimensioning of decoupling capacitances in a PDN can become complex in high performance electronic designs. This work presented a methodology that provides a starting point for scaling the minimum quantity of decoupling capacitors in a PDN for high performance ICs. The methodology uses only the electrical requirements of voltage, power noise, transient current of the IC and optimization by Genetic Algorithm to determine the solution. The result prevents oversizing of the capacitance in the PDN, reduces the layout space and the manufacturing cost of the product. The methodology allowed to meet the target impedance Z_{Target} design criteria of a specific IC in a very low time, around 30 to 40 seconds, with sufficient reliability for the starting point in the minimum number of capacitors of decoupling of the PDN.

References

- [1]. Fizesan, Raul; Pitica, Dan. Power integrity design tips to minimize the effects of mounting inductance of decoupling capacitors. Optimization of Electrical and Electronic Equipment (OPTIM), 2012 13th International Conference on, Brasov, 2012.
- [2]. Tripathim J. N., Damle, P., Malik, R., Minimizing Core Supply Noise in a Power Delivery Network by Optimization of Decoupling Capacitors using Simulated Annealing. IEEE. 2017.
- [3]. Piersanti, S., Et. Al. Decoupling Capacitors Placement for a Multichip PDN by a Nature-Inspired Algorithm. IEEE Transactions on Electromagnetic Compatibility, Vol. 60. No 6, 2018.
- [4]. Koo, K. Et. Al. Fast Algorithm for Minimizing the Number of decap in Power Distribution Networks. IEEE Transactions on Electromagnetic Compatibility, Vol. 60. No 3, 2018.

Diego Augusto Timm. "Decoupling capacitors optimization in a Power Distribution Network"
IOSR Journal of Electrical and Electronics Engineering (IOSR-JEEE) 14.6 (2019): 57-60.