

UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
NÍVEL MESTRADO PROFISSIONAL

FERNANDO FERREIRA

DESENVOLVIMENTO DE RECEPTOR DE WAKE-UP DE
TEMPO DISCRETO PARA CMOS 180NM

SÃO LEOPOLDO

25/04/2022

Fernando Ferreira

**Desenvolvimento de Receptor de Wake-up de tempo discreto
para CMOS 180nm**

Dissertação apresentada como requisito parcial
para obtenção do título de Mestre em Engenharia
Elétrica, pelo Programa de Pós-Graduação em
Engenharia Elétrica da Universidade do Vale do
Rio dos Sinos - UNISINOS.

Orientador: Prof. Dr. Sandro Binsfeld Ferreira

São Leopoldo

25/04/2022

F383d Ferreira, Fernando.
Desenvolvimento de receptor de wake-up de tempo discreto para CMOS 180nm / Fernando Ferreira. – 2022.
94 f. : il. ; 30 cm.

Dissertação (mestrado) – Universidade do Vale do Rio dos Sinos, Programa de Pós-Graduação em Engenharia Elétrica, 2022.

“Orientador: Prof. Dr. Sandro Binsfeld Ferreira.”

1. Receptor de wake-up. 2. Tempo discreto. 3. Baixo consumo. 4. IoT. 5. Rede de sensores. I. Título.

CDU 621.3

Dados Internacionais de Catalogação na Publicação (CIP)
(Bibliotecária: Amanda Schuster – CRB 10/2517)

AGRADECIMENTOS

O mestrado foi uma jornada de árdua e cheia de desafios, é preciso reconhecer todas as pessoas me suportaram ou que de alguma forma contribuíram para que eu pudesse chegasse nesse objetivo tão sonhado. Dessa forma, gostaria de agradecer:

- Primeiramente ao Fundo Loyola de apoio estudantil por essa espetacular oportunidade, ao qual eu espero ter concluído com o nível de excelência que sempre a marca deste fundo.
- À minha família, sobre tudo à minha irmã Viviane Ferreira, que primeira pessoa a ouvir sobre esse mestrado e me incentivou e ajudou constantemente.
- Aos amigos e colegas Fernando Carrion, André Kaio, Maurício Carlotto, Renan Martins Samuel Maraschin, Barbara Souza, Renê Moreno e Arthur Liraneto pelos conselhos e experiências compartilhadas.
- Ao coordenador Paulo Ricardo Pereira e toda a equipe docente do programa de mestrado profissional em Engenharia Elétrica pelos os ensinamentos, os apontamentos e sugestões de melhoria para o projeto,
- Ao setor de P&D avançado da HT-Micron por me apresentarem a demanda ao qual esse trabalho foi estruturado, em especial a Wyllian Hasenkamp por me dar o incentivo que faltava para enveredar de vez para o mestrado.
- Aos grupo GME-UFRGS, liderado pelos professores Hamilton Klimach e Sérgio Bampi, por organizarem e colaborarem na fabricação do chip.
- Ao iTT Chip da Unisinos, se esse chip de alguma forma 'nasceu' aqui foi seu berço esplêndido. Agradeço pela liberação do uso dos softwares e de toda sua estrutura de ponta que o instituto oferece. Com isso, agradeço ao coordenadores Celso Peter, Elcio Kondo e Marcelo Moraes por abrirem as portas dos seus laboratórios e muitas vezes me ajudado pessoalmente com suas experiências nessa área.
- Ao Prof. Dr. Pietro Ferreira pela colaboração e contribuições durante a divulgação do projeto.
- Por último, mas certamente não menos importante, ao meu orientador Prof. Dr. Sandro Binsfeld Ferreira pela orientação, paciência, motivação e por todas as portas abertas ao longo dessa trajetória acadêmica.

RESUMO

Este trabalho propõe um receptor de *wake-up* (WUR) de tempo discreto (DT) como solução para reduzir o consumo de potência de dispositivos de internet das coisas (IoT). O circuito proposto tem como peça central o *mixer* de tempo discreto, formado por uma estrutura composta por capacitores chaveados que fazem a translação e a filtragem do sinal de radiofrequência (RF) com modulação de codificação on-off (OOK). Também integram o circuito: uma rede de casamento integrada, divisores de frequência, um amplificador de banda-base e uma referência de tensão. Esta pesquisa realizou o projeto e dimensionamento dos componentes, a simulação do circuito e implementação física do receptor na tecnologia TSMC180NM. A simulação do layout extraído apontou para uma sensibilidade de -52 dBm, potência consumida de 29,33 μW sendo operado em 900 MHz, com 100 kbps e 1,2 V. A pesquisa também efetuou a medição do chip fabricado verificando que em seu ponto de melhor desempenho, quando operado em 1,15 GHz com 50 kbps e 1,1 V, o receptor apresentou sensibilidade de -17 dBm e consumo de potência de 46,3 μW . Pondera-se que a performance do chip ficou abaixo do obtido em simulação devido a uma insuficiência de ganho do amplificador de banda-base. Melhorias para o chip foram implementadas em um segundo *tape-out* também em TSMC180NM, o qual até o momento de escrita do presente trabalho ainda não foi entregue. Para este segundo chip, as simulações com layout extraído indicam uma sensibilidade de -70 dBm e um consumo de potência de 33,3 μW . Avalia-se que o presente trabalho trouxe importantes contribuições para esta linha de pesquisa já que validou, através de medidas no chip, a prova de conceito do uso de receptores de tempo discreto como receptores de *wake-up*.

Palavras-chaves: Receptor de wake-up. Tempo discreto. Baixo Consumo. IoT. Rede de sensores.

ABSTRACT

This work proposes a discrete-time (DT) wake-up receiver (WUR) as a solution to reduce the power consumption of Internet of Things (IoT) devices. The core of the proposed circuit is the discrete-time mixer, formed by a switched capacitors structure, that translates and filters the on-off keying (OOK) modulation radiofrequency (RF) signal. Other blocks that compose the circuit are: an integrated matching network, frequency dividers, a baseband amplifier and a voltage reference. This research conduct the design and sizing of the components, simulates the circuit and executes the tape-out of the receiver in TSMC180NM technology. The extracted layout simulations indicate a sensitivity of -52 dBm and a consumed power of 29.33 μW , with the circuit being operated at 900 MHz, with 100 kbps and 1.2 V. The research also measured the manufactured chip on its peak performance operation point, at 1.15 GHz with 50 kbps and 1.1 V, the receiver presents a sensitivity of -17 dBm and a consumed power of 46.3 μW . It is postulated that the chip's poor result is due to an insufficient gain of the baseband amplifier. Improvements were implemented to the circuit on a second TSMC180NM tape-out, which until the moment this work had been written has not yet been delivered. For this second chip, the extracted layout simulation shows a sensitivity of -70 dBm and power consumption of 33.3 μW . The present work brought important contributions to this line of research as it validates, through measurements on the chip, the proof of concept of the use of discrete-time receivers as wake-up receivers.

Key-words: Wake-up Receiver. Discrete-Time. Low-power. IoT. Sensor Network.

LISTA DE FIGURAS

Figura 1 – Modulação em amplitude	16
Figura 2 – Diagrama de blocos de um circuito receptor	17
Figura 3 – Ruído em componentes	18
Figura 4 – Modelo de circuito com ruído referenciado à entrada	18
Figura 5 – Interação do ruído em circuitos de múltiplos estágios	19
Figura 6 – Circuito receptor por detecção de envoltória	21
Figura 7 – Circuito receptor de frequência calibrada	21
Figura 8 – Circuito receptor homodino	22
Figura 9 – Vazamento do sinal do oscilador local para a entrada do receptor	23
Figura 10 – Circuito receptor super-heteródino	24
Figura 11 – Circuito <i>Mixer</i> passivo de tempo-discreto.	25
Figura 12 – Amostrador de corrente por integração de janela temporal.	26
Figura 13 – Comparativo entre amostrador de tensão e amostrador de corrente	27
Figura 14 – Diagrama de blocos do filtro FIR	28
Figura 15 – Diagrama de blocos do filtro IIR	29
Figura 16 – Modelo matemático do <i>mixer</i> passivo de tempo discreto.	30
Figura 17 – Resposta completa do <i>mixer</i> de tempo discreto.	31
Figura 18 – Perfil de acionamento dispositivo de IoT	32
Figura 19 – Diferenças entre o acionamento periódico e o acionamento baseado em eventos	33
Figura 20 – Bloco do receptor de <i>wake-up</i> dentro do dispositivo IoT	34
Figura 21 – Fluxo de projeto de circuitos integrados analógicos.	38
Figura 22 – Diagrama de blocos do receptor de <i>wake-up</i>	44
Figura 23 – Circuito da rede de casamento.	45
Figura 24 – Circuito do transcondutor.	46
Figura 25 – Circuito do mixer de tempo discreto.	46
Figura 26 – Circuito amplificador de banda base.	47
Figura 27 – Circuito de <i>aligner</i> e divisor de frequências.	48
Figura 28 – Circuito de referência de tensão com independência da fonte de alimentação.	48
Figura 29 – Layout do circuito do receptor proposto.	50
Figura 30 – Resposta da simulação do amplificador de banda base para uma onda quadrada.	51
Figura 31 – Resposta da simulação do amplificador de banda base para variação da tensão de entrada.	52
Figura 32 – Rejeição de variação na fonte de alimentação da simulação do circuito de referência de tensão em relação a frequência	53
Figura 33 – Resposta da referência de tensão para variação da tensão de alimentação.	54
Figura 34 – Resposta simulada de ganho em relação a frequência do receptor de <i>wake-up</i>	55

Figura 35 – Resposta simulada de sensibilidade e chão de ruído para o receptor de <i>wake-up</i> .	56
Figura 36 – Distribuição de potência na simulação do receptor de <i>wake-up</i> considerando o bloco do <i>aligner</i> .	57
Figura 37 – Distribuição de potência na simulação do receptor de <i>wake-up</i> desconsiderando o bloco do <i>aligner</i> .	58
Figura 38 – Resposta da simulação do receptor para um sinal de entrada OOK de 900 MHz e -30 dBm.	59
Figura 39 – Layout do DT-WuRx com indicação dos blocos do sistema.	60
Figura 40 – Fotografia do chip produzido	60
Figura 41 – Diagrama do arranjo de teste	61
Figura 42 – PCB de teste	62
Figura 43 – Fixação do tipo Chip on Board	63
Figura 44 – Coeficiente de Potência Refletida na porta de entrada de RF do chip para os dois casos extremos de sintonia da rede de casamento.	64
Figura 45 – Foto da estrutura utilizada para o teste do chip.	65
Figura 46 – Variação da potência total consumida em função da tensão de alimentação	66
Figura 47 – Variação da potência total consumida em função da taxa de dados	67
Figura 48 – Variação da potência total consumida em função da potência do sinal RF	68
Figura 49 – Variação da potência total consumida em função da potência do oscilador local	69
Figura 50 – Variação da potência total consumida em função da frequência do oscilador local	70
Figura 51 – Resposta do receptor de <i>wake-up</i> para um sinal de 900 MHz modulado em OOK	71
Figura 52 – Sinal de saída para diferentes potências de entrada	72
Figura 53 – Taxa de erro de bit em função da potência do sinal de entrada RF	73
Figura 54 – Circuito do receptor de <i>wake-up</i> apresentando melhorias propostas.	75
Figura 55 – Layout da versão aprimorada do receptor de <i>wake-up</i> .	76
Figura 56 – Resposta da análise transiente com potência de entrada de -65 dBm para o receptor de <i>wake-up</i> melhorado.	77
Figura 57 – Resposta de sensibilidade e ganho de pequeno sinais do receptor de <i>wake-up</i> .	77
Figura 58 – Análise de Monte-Carlo com 200 amostras para o receptor de <i>wake-up</i>	79

LISTA DE TABELAS

Tabela 1 – Levantamento de referências do estado-da-arte de receptores de <i>wake-up</i> na literatura.	36
Tabela 2 – Configuração utilizada para o ensaio de transmissão do receptor de <i>wake-up</i>	43
Tabela 3 – Métricas do amplificador de banda base	52
Tabela 4 – Comparativo de métricas do circuito de referência de tensão	54
Tabela 5 – Distribuição de potência na simulação do circuito do receptor proposto. . . .	56
Tabela 6 – Configuração utilizada para o ensaio de transmissão do receptor de <i>wake-up</i>	71
Tabela 7 – Comparativo do circuito projetado com trabalhos correlatos da literatura . .	74
Tabela 8 – Distribuição de potência para os blocos do receptor de <i>wake-up</i>	78

LISTA DE ABREVIATURAS E SIGLAS

AC	Corrente Alternada
ADC	<i>Analog-to-Digital Converter</i>
AM	Amplitude Modulada
B	<i>Largura de Banda</i>
BER	<i>Bit Error Rate</i>
CoB	<i>Chip on Board</i>
CMOS	<i>Complementary Metal Oxide Silicon</i>
DC	Corrente Contínua
DRC	<i>Design Rules Check</i>
DT	<i>Discrete Time</i>
DUT	<i>Device Under Test</i>
FIR	<i>Finite Impulse Response</i>
FR-4	<i>Flame retardant 4</i>
IIR	<i>Infinite Impulse Response</i>
IoT	<i>Internet of Thing</i>
LO	<i>Local Oscillator</i>
LoRa	<i>Long Range</i>
LVS	<i>Layout Versus Schematic</i>
OOK	<i>On-Off Keying</i>
PAC	<i>Periodic Alternate Current</i>
PCB	<i>Printed Circuit Board</i>
PMOS	<i>Positive Metal Oxide Silicon</i>
PSS	<i>Periodic Steady-State</i>
PSRR	<i>Power Supply Rejection Rate</i>

PXF	<i>Periodic Transfer Function</i>
RF	Radiofrequência
Rx	Receptor
SiP	<i>System in Package</i>
SMU	<i>Source Measurement Unit</i>
SNR	<i>Signal-to-Noise Ratio</i>
Tx	Transmissor
WIS	<i>Window Integrate Sampler</i>
WUR	<i>Wake-up Receiver</i>

SUMÁRIO

1	INTRODUÇÃO	13
1.1	Justificativa	13
1.2	Objetivos Gerais	15
1.3	Objetivos Específicos	15
1.4	Organização do Texto	15
2	REVISÃO BIBLIOGRÁFICA	16
2.1	Conceitos Básicos de Receptores de Rádio Frequência	16
2.1.1	Ruído	17
2.1.2	Sensibilidade	20
2.2	Tipo de Receptores	20
2.2.1	Receptor Detector de Envoltória	20
2.2.2	Receptor de Frequência Sintonizável	21
2.2.3	Receptor Homodino	22
2.2.4	Receptor Super Heteródino	23
2.2.5	Receptor de Tempo Discreto	24
2.3	Tempo Discreto	25
2.3.1	Amostragem de Corrente	25
2.3.2	Filtro FIR	27
2.3.3	Filtro IIR	29
2.3.4	Receptor de Tempo Discreto	30
2.4	Arquitetura de Redes	31
2.4.1	Acionamento Periódico	32
2.4.2	Comunicação Baseada em Eventos	33
2.4.2.1	<i>Receptor de Wake-up</i>	<i>34</i>
2.5	Trabalhos Correlatos	35
3	MATERIAIS, FERRAMENTAS E MÉTODOS	38
3.1	Concepção	39
3.2	Desenvolvimento	39
3.3	Simulação	39
3.4	Implementação	40
3.5	Teste e validação	40
4	DESENVOLVIMENTO E RESULTADOS EXPERIMENTAIS	42
4.1	Definição	42

4.2	Concepção	44
4.2.1	Rede de casamento de impedâncias	45
4.2.2	Mixer de Tempo Discreto	45
4.2.3	Amplificador de Banda Base	47
4.2.4	Aligner e Divisor de Frequências	47
4.2.5	Referência de Tensão	48
4.2.6	Layout	49
4.3	Simulações	50
4.3.1	Amplificador Banda Base	50
4.3.2	Referência de Tensão	53
4.3.3	Receptor de Wake-up de Tempo Discreto	55
4.4	Fabricação	59
4.5	Teste e validação	61
4.5.1	Montagem ambiente de teste	61
4.6	Aperfeiçoamento	75
5	CONCLUSÃO	80

REFERÊNCIAS BIBLIOGRÁFICAS	82
---	-----------

APÊNDICES	86
------------------	-----------

APÊNDICE A – CIRCUITO ESQUEMÁTICO DA PLACA DE TESTE	87
--	-----------

APÊNDICE B – CÓDIGO FONTE SCRIPT UTILIZADO PARA OPERAÇÃO DO SPI	88
--	-----------

APÊNDICE C – APLICAÇÃO CRIADA EM LABVIEW PARA GERAR O SINAL RF MODULADO COM BITS ALEATÓRIOS	90
--	-----------

ANEXOS	92
---------------	-----------

ANEXO A – ATRIBUIÇÃO DOS PINOS DO CHIP GME-UFRGS MINI@SIC 2020	93
---	-----------

1 INTRODUÇÃO

A cada passo da constante evolução dos dispositivos eletrônicos, ocorre uma revolução com o nosso modo de viver e se relacionar com a tecnologia. Foi pela observação desse fenômeno que o Cientista da Computação, Mark Weiser, cunhou o termo computação ubíqua em 1991 para descrever sua predição da computação do futuro. Segundo Weiser (1991), dispositivos com hardware e software altamente especializados e conectados entre si por diversos meios estarão tão presentes no dia-a-dia do usuário que não serão mais notados. De modo a formar uma tecnologia calma, que serve e informa mas sem prender ou demandar a atenção do usuário.

Atualmente esse conceito ganhou uma nova roupagem com o termo internet das coisas (IoT, do inglês *internet of things*), o qual aborda basicamente os mesmos pontos porém, tem seu foco voltado principalmente para dispositivos eletrônicos conectados através de redes de comunicação sem fio em decorrência de grandes avanços que ocorreram nesta área nos últimos tempos, tais como: a adoção de rádios digitais e controlados por software, sistemas de modulação avançados que utilizam um maior processamento de dados para formação da mensagem, antenas com múltiplas entradas e múltiplas saídas e transmissão de dados através de sistemas distribuídos.(COUNCIL, 2011), (OKADA, 2011).

Algumas aplicações em bens de consumo popularizaram o conceito de IoT e tornaram os dispositivos dessa tecnologia um mercado bastante promissor com uma estimativa de que hajam 20 bilhões de dispositivos em 2022, formando um mercado de US\$585 bilhões neste mesmo ano (AL-SARAWI et al., 2020). Esse mercado segue com aumento no número de dispositivos com uma tendência de crescimento exponencial com a adoção desse conceito em aplicações para áreas mais especializadas como a medicina, a agricultura, a manufatura e o transporte. Em fato, o IoT é um conceito tão revolucionário que a consultoria Transforma Insights estima que para 2030 o ecossistema envolvendo IoT tenha um potencial econômico de US\$1.5 trilhões por ano. O que posiciona essa tecnologia no topo da lista de tecnologias disruptivas com a maior fonte de valor, a frente de internet móvel, computação na nuvem e robótica avançada (HATTON, 2020).

1.1 Justificativa

Como grande parte dos dispositivos de IoT na atualidade são alimentados por baterias é fundamental que esses dispositivos tenham uma boa eficiência e utilizem seus recursos energéticos de forma racional. Dessa forma, estudar e desenvolver novos métodos para melhorar a relação entre funcionalidade e consumo de energia dos dispositivos de IoT é de extrema importância e representa diretamente os impactos de uma aplicação em termos econômicos e ambientais.

Dependendo da aplicação, a escolha de qual dispositivo ou até mesmo a viabilidade da

execução podem ser determinados pelas características do aparelho relacionados com a bateria. Por exemplo, em rede de sensores, uma das aplicações mais consagradas de dispositivos de IoT que é definida por utilizar um grande número de dispositivos, o uso de bateria traz benefícios e dificuldades que devem ser pesados para determinar se a aplicação é factível.

Pois, por um lado, o uso de dispositivos com bateria facilita a implementação de uma rede ao reduzir o custo com infraestrutura e proporciona uma liberdade de movimento para os sensores. Em contrapartida, o uso desse tipo de alimentação também exige um investimento em intervenções regulares para manutenção e em uma logística de descarte devido a vida útil limitada das baterias.

Outro ponto que qualifica a busca por métodos que melhorem a eficiência dos aparelhos de IoT, e prolonguem a sua vida útil para uma escala de décadas de funcionamento ininterrupto, é o impacto ambiental do descarte de baterias. Uma vez que o resíduo gerado por esses aparelhos têm grande potencial poluente e a reciclagem desses materiais envolvem processos caros e complexos(DEVKA, 2010).

Avaliando especificamente o caso de dispositivos de comunicação sem fio, uma grande quantidade de energia é gasta na operação do *front-end* do rádio. Mesmo com a utilização de esquemas de comunicação baseados em eventos, onde a transmissão de dados, recepção e processamento de informações ocorrem apenas por curtos períodos, o bloco do receptor ainda representa uma grande parcela de consumo de energia total do dispositivo. Isso ocorre, em razão da característica assíncrona da comunicação sem fio, que força este bloco a ser mantido sempre ativo à espera de algum sinal de rádio. Conforme Zhang et al. (2011), a dificuldade operacionalizar um esquema de comunicação com o receptor ligado de forma intermitente está em saber quando é necessário religar este bloco, visto que ele não estará ciente das sinalizações da rede e, conseqüentemente, não está sendo controlado por esta.

Assim, de um ponto de vista econômico-energético, é vantajoso ter dois circuitos receptores: um módulo principal receptor, com bom desempenho para ser ativado apenas por curtos períodos para executar a comunicação de dados, e uma unidade receptora auxiliar, de ultra baixa potência, para ser mantida sempre ligada esperando a recepção de algum sinal relevante para acionar o receptor principal.

Nessa solução que vêm sendo bastante estudada (NILSSON; SVENSSON, 2013) (OU; FERREIRA, 2018), o circuito auxiliar é conhecido como *wake-up* receiver e consiste em um bloco receptor de rádio de ultra baixa potência para ser mantido sempre ativo e acionar o dispositivo de comunicação principal quando num evento de transmissão de dados. Cabe ressaltar que apesar de esta se tratar de uma solução recorrente, até o presente momento não há um padrão estabelecido para o sinal de radiofrequência a ser captado e nem para a forma como o receptor sinaliza o evento.

1.2 Objetivos Gerais

A pesquisa propõe-se a desenvolver um receptor de rádio de ultra baixa potência que sinalize quando o dispositivo de comunicação deve ser acordado. O circuito final é idealizado como um conjunto completo que pode ser integrado a um sistema sem a necessidade de componentes adicionais e que agregue a função de despertar através de um sinal de rádio.

1.3 Objetivos Específicos

- Avaliar as diferentes tecnologias e arquiteturas para a implementação de um receptor auxiliar.
- Modelar e simular o funcionamento do bloco e determinar especificações do sistema para a arquitetura escolhida com base nos trabalhos presentes na literatura, tendo em vista sua implementação em silício em um nó tecnológico de baixo custo, por exemplo TSMC180nm.
- Realizar a implementação de um protótipo do circuito em silício, implementação da placa de teste do chip e implementação da plataforma de teste do circuito.
- Realizar uma bateria de teste para avaliar o desempenho do bloco projetado, efetuar a comparação dos resultados com o que foi simulado e com o que é apresentado na literatura.

1.4 Organização do Texto

Neste capítulo foi apresentado o conceito de dispositivos IoT, bem como foram abordadas as carências e limitações dessa tecnologia. São apresentados aqui, através dos objetivos gerais e específicos, a forma como esse projeto se propõe a contribuir no avanço dessa tecnologia. Em seguida serão apresentados os conceitos fundamentais utilizados na realização desse projeto.

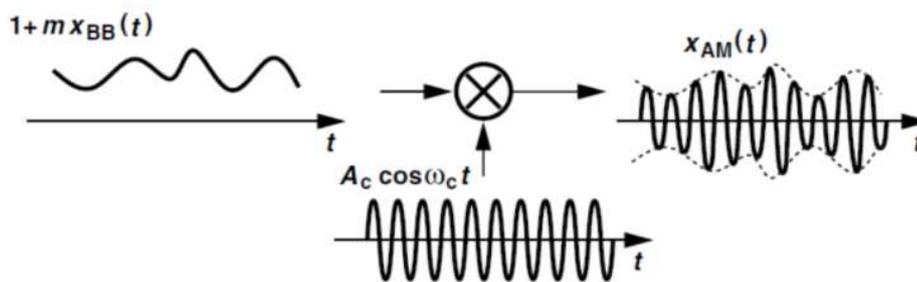
2 REVISÃO BIBLIOGRÁFICA

Neste capítulo são indicados os materiais selecionados durante a fase de revisão bibliográfica. Os conceitos apresentados aqui são fundamentais para o desenvolvimento do tema da pesquisa. Ao final desse capítulo, são enumeradas as pesquisas que contém trabalhos correlatos em termos de receptores de baixo consumo.

2.1 Conceitos Básicos de Receptores de Rádio Frequência

A transmissão de ondas eletromagnéticas utilizando um esquema de modulação, onde conforme ilustrado na Figura 1 sinais com frequência elevada são utilizados para carregam os sinais de interesse, ocorreu historicamente como uma maneira de contornar as dificuldades operacionais e o custo de se transmitir diretamente o sinal de informação. A partir dessa solução surge a necessidade de um circuito transmissor e receptor para, respectivamente, realizar a operação de agrupar e separar o sinal da portadora ao sinal de informação. O circuito do receptor além realizar a demodulação do sinal transmitido, agrega outras funções que são importantes para superar os desafios da transmissão de dados sem fio como a sintonia da frequência portadora, a filtragem e amplificação do sinal de entrada.

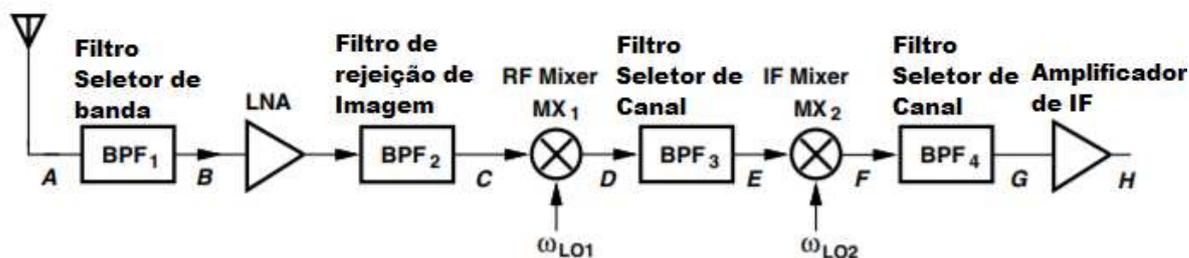
Figura 1 – Modulação em amplitude



Fonte: (RAZAVI, 2011)

O bloco do receptor é uma cadeia de diversos circuitos e faz a interface entre dois domínios com frequência distintas, na Figura 2 é apresentado o diagrama de blocos para um receptor genérico. De acordo com a diagrama de blocos, no primeiro domínio, onde imperam os sinais de radiofrequência, a cadeia é composta por um amplificador de baixo ruído, um *mixer* e um oscilador local. Uma segunda seção de frequência intermediária, que pode ser suprimida dependendo da arquitetura do circuito, apresenta um segundo misturador, filtros e, por fim, na seção final cujo domínio é da banda base, onde o sinal da informação não é mais modulado, estão presentes circuitos de filtragem e de amplificação. O sinal de saída do receptor normalmente é entregue para um conversor analógico-digital.

Figura 2 – Diagrama de blocos de um circuito receptor



Fonte: (RAZAVI, 2011)

Um dos principais pontos é a necessidade de um ganho no receptor, uma vez que o sinal sofre atenuação ao longo do caminho entre transmissor e receptor por causa do comportamento das ondas eletromagnéticas. Considerando a região de campo distante, onde o receptor está significativamente longe do transmissor para que o comportamento da onda eletromagnética seja relativamente uniforme, esse fenômeno pode ser avaliado utilizando o modelo de transmissão de Friis (1).

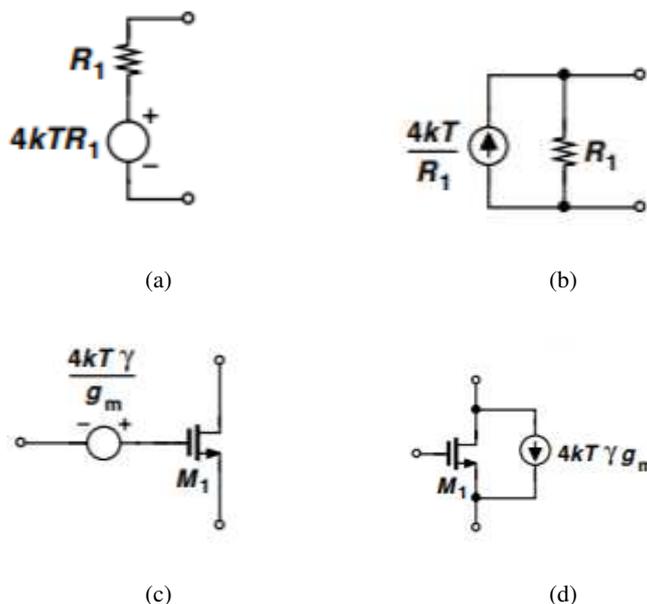
$$P_R = \frac{P_T G_T G_R \lambda^2}{(4\pi R)^2} \quad (1)$$

Aqui, a potência na antena do receptor P_R , é relacionada a potência transmitida P_T pelo inverso do quadrado da distância entre transmissor e receptor. Outros fatores que contribuem são o comprimento de onda, λ , e o ganho das antenas de recepção e transmissão, respectivamente G_R e G_T . Dessa forma, garantir um ganho elevado no receptor visando o menor valor possível de P_R permite relaxar a especificação de potência do transmissor e aumentar a distância da transmissão (BENSKY, 2004).

2.1.1 Ruído

O ruído é maior limitador de desempenho para sistemas de radiofrequência, sem ele seria possível detectar sinais infinitamente pequenos e transmitir informações por longas distâncias. Infelizmente, o ruído é uma característica sempre presente no sinal, uma vez que todo componente eletrônico é uma fonte de ruído devido à agitação térmica dos elétrons. O ruído por definição é um sinal aleatório e não pode ser definido por valores instantâneos, sendo necessário sua representação estatística como $\overline{V_{N,in}^2}$, a potência média de ruído para uma faixa de frequência de 1 Hz (PERROTT, 2012). Conforme mencionado anteriormente, a movimentação aleatória dos elétrons de um componente em decorrência da temperatura do ambiente geram um ruído que pode ser modelado como indica a Figura 3. Na figura são apresentados os modelos de ruído térmico para um resistor como uma fonte de tensão em série, Figura 3a e uma fonte de corrente em paralelo, Figura 3b. Da mesma forma, é avaliado o ruído causado pelas cargas livres em um transistor, sendo modelado na Figura 3a com a fonte de ruído em série e na Figura 3d com a fonte de ruído em paralelo ao componente.

Figura 3 – Ruído em componentes

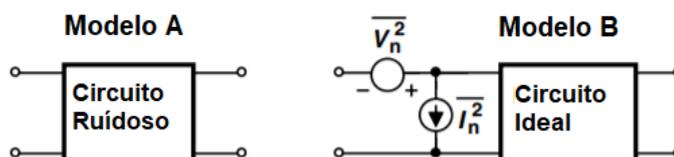


Fonte: (RAZAVI, 2011)

Para o caso da fonte de tensão em série a densidade espectral de potências do ruído é expressa por $\overline{V_{N,in}^2} = 4KTR_{eq}$ para um resistor e por $\overline{V_{N,in}^2} = \frac{4KT\gamma}{g_m}$ para um transistor MOS. Para as equações, $4KT$ é o coeficiente térmico dado pela constante de Boltzmann e a temperatura ambiente, R_{eq} é o valor do resistor, g_m é a transcondutância do transistor e γ é um valor de caracterização do transistor, sendo normalmente definido como $2/3$ para transistores de canal curto.

Segundo Razavi (2011), é leviano realizar a comparação do desempenho de circuitos em termos de ruído tendo apenas o modelo do ruído dos componentes que integram esses circuitos. Isso porque um circuito pode apresentar um nível de ruído muito alto em sua saída causado por um ganho muito elevado em vez de uma fonte de ruído excessiva. A Figura 4 ilustra o procedimento adotado para obter-se uma medição mais confiável, onde todas as fontes de ruído presentes no modelo A são representadas como uma fonte única referenciadas à entrada do circuito que é estudado como um modelo sem ruído, conforme o apresentado no Modelo B.

Figura 4 – Modelo de circuito com ruído referenciado à entrada



Fonte: (RAZAVI, 2011)

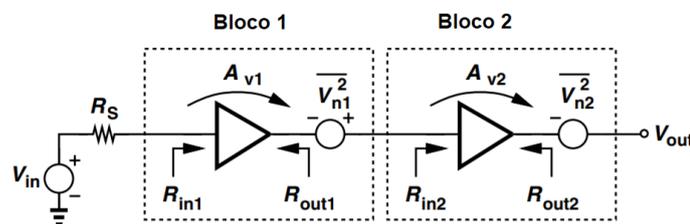
A relação entre a potência de sinal e a potência de ruído de sua saída é chamado de relação sinal-ruído ou SNR (do inglês, *Signal-to-Noise Ratio*) e é uma maneira de avaliar a quantidade de ruído em um ponto de medição. A contribuição de um determinado bloco para degradar o SNR de sua saída é denominado de fator de ruído, este valor pode ser obtido comparando a relação sinal-ruído na saída do bloco com a relação sinal-ruído de sua entrada, como apontado pela Eq. (13), ou através da equação analítica do circuito. A Equação (3) apresenta outra métrica bastante utilizada, a figura de ruído, onde fator de ruído é colocado em escala logarítmica.

$$N = \frac{SNR_{in}}{SNR_{out}} \quad (2)$$

$$NF = 10 \cdot \log \left(\frac{SNR_{in}}{SNR_{out}} \right) \quad (3)$$

Como o circuito do receptor é composto por vários blocos encadeados é importante obter a figura de ruído de toda essa cadeia para melhor avaliar esse dispositivo. Para isso deve-se levar em conta que todas as fontes de ruído devem ser referenciadas para a entrada. Nesse processo deve-se atentar que nem todas as fontes de ruído são afetadas pelo mesmo ganho, isso é evidenciado na Figura 5.

Figura 5 – Interação do ruído em circuitos de múltiplos estágios



Fonte: (RAZAVI, 2011)

Derivando analiticamente o comportamento de cada fonte de ruído do ponto de vista da entrada da cadeia de circuitos obtém-se a Equação (4)

$$NF_{total} = 1 + (NF_{Bloco1} - 1) + \frac{NF_{Bloco2} - 1}{G_{Bloco1}} + \frac{NF_{Bloco3} - 1}{G_{Bloco1} * G_{Bloco2}} + \dots \quad (4)$$

Da equação (4) é possível perceber que a contribuição de ruído de um bloco posterior é menos significativa para o total da cadeia, pois este bloco tem pelo ganho dos blocos anteriores. Com base nisso é possível ressaltar a importância de se obter especificações de ganho alto e figura de ruído baixa para o primeiro bloco da cadeia.

2.1.2 Sensibilidade

A sensibilidade é definida como o nível mínimo de sinal que um receptor pode detectar e irá conseguir resgatar o sinal de informação. Essa métrica é válida pois somente o nível de sinal captado pode dar uma falsa impressão de qualidade de sinal. Uma vez que na presença de ruído excessivo, o sinal detectado torna-se ininteligível e contém poucas informações. Na Equação (5) é definido o mínimo sinal detectável, MDS (do inglês, *minimum detectable signal*) como o suficiente para manter uma relação sinal-ruído, que por si só depende do tipo de modulação e da corrupção que o sistema pode tolerar. Os níveis SNR típicos estão na faixa de 6 a 25 dB (PLETCHER; RABAEY, 2008), para a modulação OOK esse valor é de 12 dB (OU; FERREIRA, 2018).

$$MDS = kTB + NF + SNR_{min} \quad (5)$$

$$P_{sen} = -174dBm/Hz + NF + 10.log(B) + SNR_{min} \quad (6)$$

Na equação, kTB é o piso de ruído na saída e NF é a contribuição de ruído do circuito. Observa-se que (5) não depende diretamente do ganho do sistema. Isso porque ambos o sinal desejado e o ruído serão afetados pelo ganho do sistema, mantendo a proporção entre eles constante. Rearranjando os valores da equação para uma temperatura ambiente de $25^{\circ}C$ obtêm-se a Equação (6). Observa-se também que a soma dos três primeiros termos em (6) formam o ruído integrado total do sistema, que também é muito referenciado como o piso de ruído.

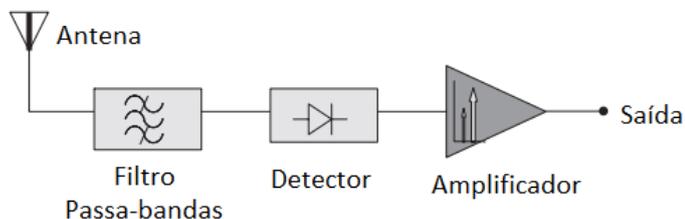
2.2 Tipo de Receptores

Muitas topologias de receptor podem ser implementadas para atender aos requisitos do sistema na faixa de frequência desejada. A escolha da topologia do receptor deve obedecer a fatores como custo, consumo de energia, ruído, linearidade, ganho de energia, área disponível e frequência operacional.

2.2.1 Receptor Detector de Envoltória

Um dos primeiros receptor a ser utilizado e provavelmente um dos mais simples é o receptor por detecção de envoltória. Esse receptor AM tem como parte central do seu funcionamento um diodo detector e um capacitor, ambos atuam na extração da informação da frequência portadora. O circuito pode incorporar outros blocos como um filtro passa-banda na entrada e um estágio de amplificação do sinal de saída conforme mostrado na Figura 6.

Figura 6 – Circuito receptor por detecção de envoltória



Fonte: Adaptado de (BOWICK, 2011)

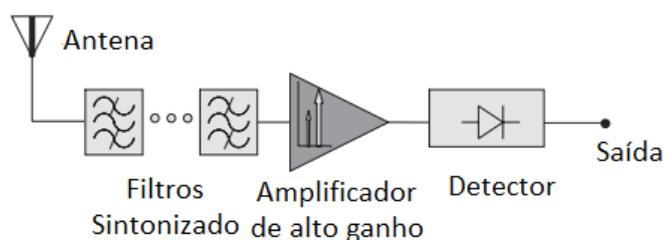
O funcionamento desse circuito se dá com o diodo atuando como um retificador, convertendo o sinal AC em sinal DC. De forma que a forma de onda de entrada é bloqueada por esse componente em seu semiciclo negativo. O sinal do semiciclo positivo é entregue para um capacitor. Este por sua vez, forma um filtro RC caracterizado pela capacitância e pela limitação na taxa de entrega do sinal. Esse filtro RC atua retirando as frequências altas de forma a registrar somente o contorno do sinal de entrada, que corresponde ao sinal de informação em uma onda modulada em amplitude.

Esse tipo de receptor apresenta diversas desvantagens, entre elas estão a necessidade de ter uma largura de banda com o dobro do tamanho da informação recebida, uma vez que o sinal modulado contém o sinal de informação duplicado nas duas bandas laterais. Outra desvantagem é a baixa eficiência energética pois normalmente metade da potência recebida é descartada no processo de retificação.

2.2.2 Receptor de Frequência Sintonizável

Esse receptor é fortemente baseado no receptor por detecção de envoltória com a proposta de melhorar as especificações de qualidade do sinal recebido do seu antecessor. Para alcançar esse objetivo são utilizados uma série de filtros sintonizáveis e etapas de amplificação anteriores à etapa de detecção, conforme apresenta a Figura 7.

Figura 7 – Circuito receptor de frequência calibrada



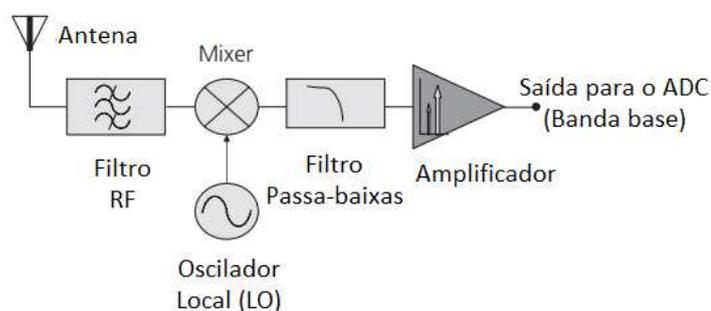
Fonte: Adaptado de (BOWICK, 2011)

Cada etapa de filtragem, que pode ser implementado por um filtro acústico de superfície (SAW, do inglês *surface acoustic wave*), promove a amplificação do sinal desejado ao mesmo tempo que reduz sinais interferentes, melhorando assim a seletividade do receptor. O maior problema desse tipo de receptor é que todos os filtros devem estar sintonizados para a mesma frequência, o que nem sempre é fisicamente factível, para que o sinal não sobre distorções. Outros fatores negativos deste filtro, como a variação da sua seletividade ao longo da faixa de frequência, levaram a rejeição dessa arquitetura quando comparado com outras arquiteturas como o receptor homodino e o super-heteródino.

2.2.3 Receptor Homodino

O receptor de conversão direta, indicado na Figura 8 faz apenas uma conversão de domínio de frequência sendo que o deslocamento é sempre de frequência de recepção para a frequência de banda base. Este é um receptor de baixo custo, baixo consumo e mais simples pois não precisa de filtro de rejeição de imagem em sua arquitetura. Porém, esse tipo de receptor apresenta diversos problemas com ruídos e interferentes que podem degradar por completo a informação.

Figura 8 – Circuito receptor homodino



Fonte: Adaptado de (BOWICK, 2011)

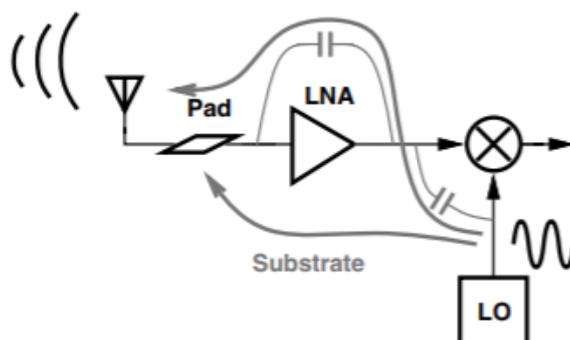
O sinal convertido em um receptor de conversão direta ainda é relativamente pequeno e, portanto, suscetível a ruído na banda base. Além disso, uma vez que o sinal está centrado em torno da frequência zero, pode ser substancialmente corrompido por ruído de cintilação.

Dentre os problemas apresentados por essa topologia está a susceptibilidade a sinais de ruído de baixa frequência como é o caso do ruído de cintilação. Outra questão é o deslocamento de sinais de ruídos na frequência de recepção para DC, assim o aparecimento de alguns produtos DC resultantes de distorção não linear de segunda ordem no amplificador e no mixer.

Outro problema enfrentado em receptores de conversão direta, o vazamento do sinal do oscilador local (LO, do inglês *Local Oscillator*) é um problema e pode produzir um sinal transmitido indesejado, conforme a Figura 9, uma vez que o LO pode vazar através do *mixer* de

volta para a antena de entrada usando como via a capacitância do *mixer* e a impedância entre entrada e saída do LNA. O sinal de LO na entrada do receptor causa a auto-mistura do sinal e produz desvios DC, que podem corromper o sinal e saturar os blocos seguintes. Dessa forma, o receptor homodino exige que o fator de isolamento do *mixer* seja bastante robusto (BESSER; GILMORE, 2003).

Figura 9 – Vazamento do sinal do oscilador local para a entrada do receptor

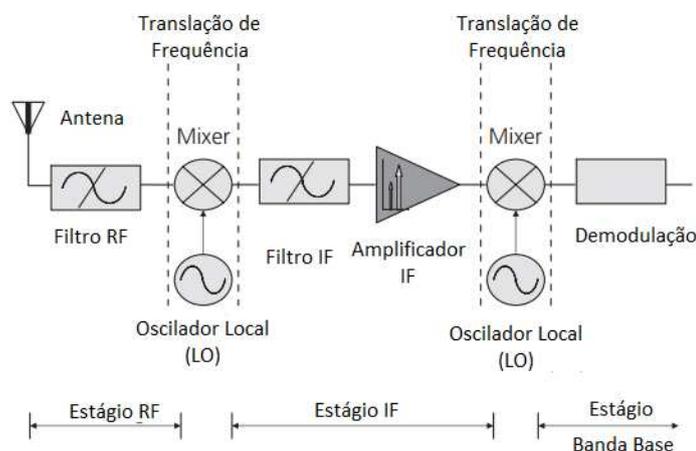


Fonte: (RAZAVI, 2011)

2.2.4 Receptor Super Heteródino

O receptor super-heteródino, ilustrado pela Figura 10, converte o sinal de entrada em uma frequência intermediária para então efetuar o deslocamento da frequência intermediária para a frequência de banda-base. Sabendo que a seleção de canal é bem complexa em altas frequências, o circuito objetiva efetuar primeiro um deslocamento para uma frequência intermediária bem abaixo da frequência de entrada e efetuar neste domínio as etapas de filtragem e amplificação do sinal. Devido a redução de frequência a seleção do canal ocorre de forma muito mais simples. Como é esperado, essa topologia fornece um maior ganho e uma menor intermodulação quando comparado com o receptor de conversão direta. Ao custo de apresentar um circuito mais complexo, com mais componentes e com maior consumo.

Figura 10 – Circuito receptor super-heteródino



Fonte: Adaptado de (BOWICK, 2011)

Entretanto, essa arquitetura também sofre de um problema de imagem, onde componentes presentes em outras frequências além da frequência de interesse são transportados para a frequência de banda-base devido ao processo de mixagem. De modo que, para este circuito, é necessário incluir um filtro de alto fator de qualidade antes do *mixer* para eliminar esta imagem, tornando a integração desse circuito muito mais complexa.

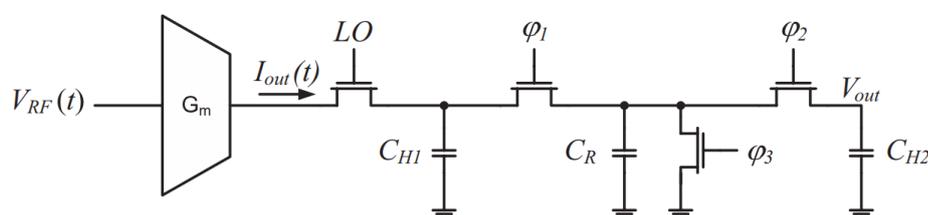
2.2.5 Receptor de Tempo Discreto

As arquiteturas de receptores mais atuais seguem uma forte tendência de substituir componentes tradicionalmente analógicos por equivalentes digitais. Isso ocorre pois, em geral, receptores digitais oferecem menor consumo de potência e flexibilidade na operação dos dispositivos. A utilização de arquiteturas puramente digitais, que utilizam DSPs para fazer processamento de sinal e efetuar a conversão direta do sinal em RF para a banda base digital, é impulsionada pela difusão do conceito de rádio definido por software (BOWICK, 2011). A principal alternativa para dispositivos definidos por software são os receptores com arquitetura em tempo discreto, por causa da sua versatilidade, fácil implementação de capacitores programáveis na estrutura de capacitor chaveado. O que garante para essa topologia bastante flexibilidade na operação e uma maior precisão ao definir os valores programados para a taxa de amostragem e frequência de mixagem. Para além desses pontos, a implementação do receptor de tempo discreto usa como parâmetros a relação entre capacitores e a frequência de chaveamento, a estrutura é facilmente adaptada a qualquer nó tecnológico do processo CMOS e funciona melhor quanto menor o nó tecnológico, pois tem a garantia de uma menor susceptibilidade a variações no processo, tensão e temperatura (FERREIRA et al., 2017).

2.3 Tempo Discreto

Os receptores de rádio de tempo discreto utilizam os conceitos de processamento digital de sinais para tratar os sinais de radiofrequência. Dessa forma, emprega-se a estrutura do misturador de sinal baseado em capacitor chaveado, composta pelo amostrador de corrente e por um arranjo de chaves para implementar o circuito do receptor. Além de apresentar a resposta do amostrador, o circuito ilustrado na Figura 11 também implementa um filtro de Resposta a Impulso Finito (FIR, do inglês *Finite Impulse Response*) e um filtro de Resposta a Impulso Infinito (IIR, do inglês *Infinite Impulse Response*).

Figura 11 – Circuito *Mixer* passivo de tempo-discreto.

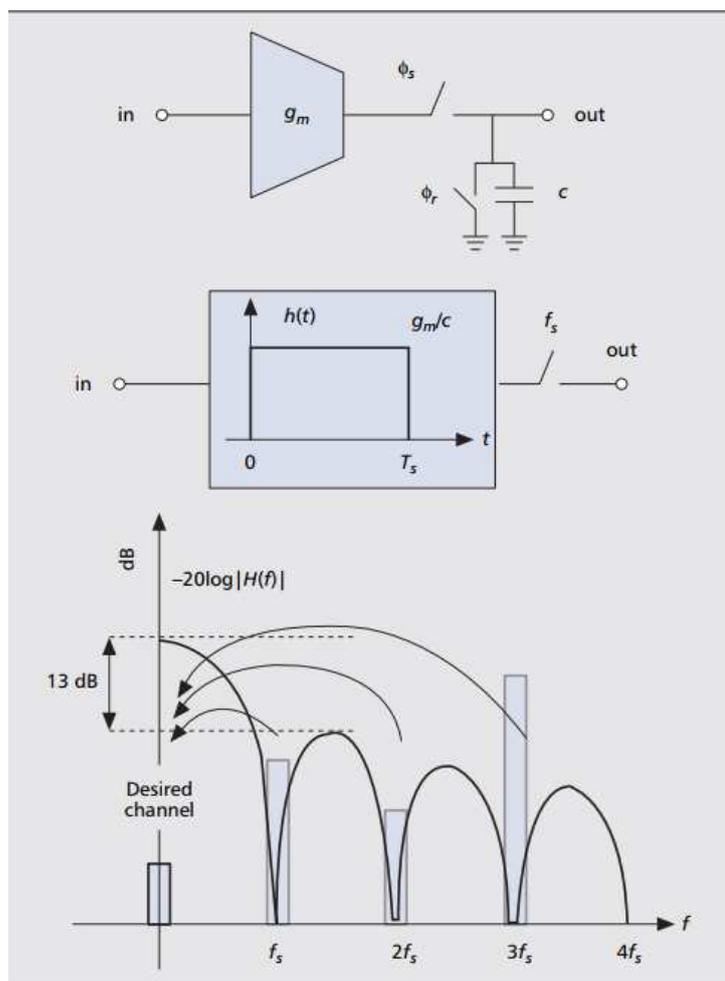


Fonte: (HUEBER; STASZEWSKI, 2011)

2.3.1 Amostragem de Corrente

A amostragem de corrente utiliza o amostrador de integração em janela (*WIS*, do inglês *Windowed Integrated Sampler*), que é um circuito que faz a integração do sinal de corrente ao longo de uma janela temporal de período T_S . Conforme mostrado na Figura 12, a função de transferência deste circuito tem uma característica no domínio da frequência de um filtro passa-baixa com um lóbulo principal em DC e um conjunto de lóbulos laterais decaindo à 20 dB/dec.

Figura 12 – Amostrador de corrente por integração de janela temporal.



Fonte: (BAGHERI et al., 2006)

Quando a chave está fechada, a corrente gerada pelo transdutor para um sinal de entrada, representado como $g_m \cdot V_{in}(t)$, flui pela chave e é integrada ao capacitor de histórico C_H . Quando a chave está aberta, não há caminho para a corrente fluir e o capacitor mantém a carga já acumulada.

A energia $q_{in}[n]$ acumulada no capacitor C_H (pacote de carga) corresponde à integração da corrente do transcondutor saída ao longo da janela de tempo definida por $\frac{T_S}{2}$. Este arranjo, denominado amostragem por integração de janela é definido como:

$$q_{in}[n] = \int_0^{\frac{T_S}{2}} g_m \cdot V_{in}(t) dt \quad (7)$$

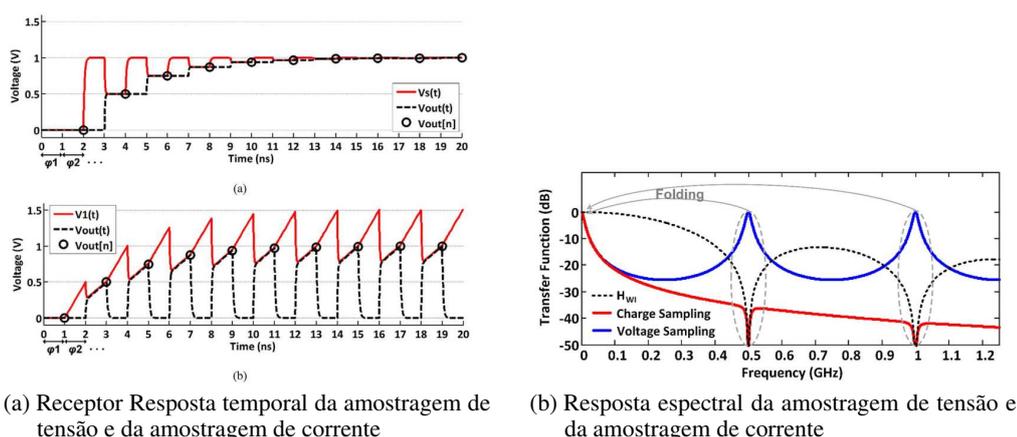
Avaliando a tensão integrada sobre C_H na Figura 11 como $V_c = \frac{q_{in}[n]}{C_H + C_R}$ com respeito à tensão de entrada, a resposta em frequência da operação integração em um janela de tempo pode ser derivada como (8). Essa função de transferência corresponde a uma função no formato de Sinc, onde os pontos de vale da função estão localizados nos harmônicos pares da frequência LO

como tipicamente ocorre em um misturador de ciclo de trabalho de 50%, conforme observado na Figura 12.

$$H_{WIS}(f) = \frac{g_m \cdot \frac{T_S}{2}}{C_R + C_H} \cdot \frac{\sin(\pi \cdot f \cdot \frac{T_S}{2})}{\pi \cdot f \cdot \frac{T_S}{2}} \quad (8)$$

Observando a Figura 11 é verificado que o circuito do amostrador de corrente difere do tradicional amostrador de tensão apenas pela adição de uma células gm que converte o sinal de entrada em corrente antes de realizar o processo de amostragem. Contudo, como é evidenciado na Figura 13, o comportamento elétrico do circuito amostrador de corrente apresenta diferenças em relação ao amostrador de tensão, tanto no domínio do tempo como no domínio de frequências. O comportamento peculiar do amostrador de corrente no domínio da frequência será particularmente explorado nesta pesquisa.

Figura 13 – Comparativo entre amostrador de tensão e amostrador de corrente



Fonte: (TOHIDIAN; MADADI; STASZEWSKI, 2014)

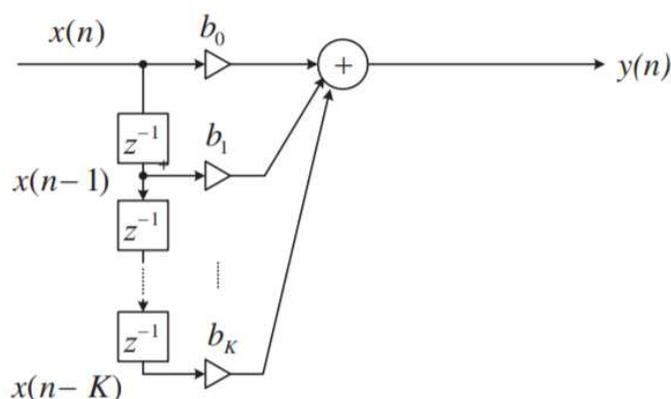
Com base no comportamento apresentado na Figura 13b, tem-se que enquanto o amostrador de tensão requer proteção externa de problemas de *aliasing*, onde os sinais presentes nas frequência harmônicas à frequência de mixagem são deslocados para a frequência de banda-base, o amostrador de corrente apresenta uma função de transferência com formato sinc intrínseca ao seu funcionamento que atenua o efeito de *aliasing* (HUEBER; STASZEWSKI, 2011).

2.3.2 Filtro FIR

Os filtros digitais são processos aplicados ao sinal digitalizado que permite a atenuação de certas frequências do sinal. Esses filtros possuem vantagens em comparação com suas contraparte analógica. Por exemplo, esses filtros são intrinsecamente estáveis e afetam a fase do sinal de modo linear. Sendo assim eles não causam distorções de fase, somente atraso no sinal.

O filtro FIR é constituído ao se combinar o valor instantâneo do sinal de entrada um número finito de valores ponderados de amostras passadas deste mesmo sinal. A Figura 14 ilustra esse processamento através de um diagrama de blocos, onde os coeficientes b_0 , b_1 e b_K são os fatores de ponderação e o termo z^{-1} simboliza um atraso no tempo em uma unidade.

Figura 14 – Diagrama de blocos do filtro FIR



Fonte: (TAN; JIANG, 2018)

O filtro FIR é implementado pelo acúmulo de N pacotes de carga sobre o capacitor C_{H1} , fazendo a média do valor dessas amostras dentro de um período. Este efeito é definido pela diferença entre a frequência do oscilador local (LO) e a frequência do clock do filtro, denominada ϕ_1 . A Figura 11 ilustra esse conceito. Como a operação é projetada para manter uma relação de N , há um acúmulo de N amostras de corrente atrasadas em C_{H1} , conforme descrito pela equação (9), sendo $y(n)$ a tensão final sobre o capacitor C_{H1} e $b_K * x(n - K)$ a amostra ponderada de corrente que será acumulada a cada instante. Ao final as cargas armazenadas são compartilhadas com o capacitor C_R apenas quando ϕ_1 está ativo. Esta ação é descrita para o domínio Z em (10),

$$y(n) = \sum_{K=0}^{K=k} b_K * x(n - K) \quad (9)$$

A característica FIR da função de transferência depende apenas da soma das amostras de tensão de entrada, isto é destacado em (10) que expressa a ação no domínio Z. Para simplificar a análise do circuito assume-se que os pacotes de carga são compartilhados em proporção uniformemente pelos capacitores apresentados na Figura 11 (HUEBER; STASZEWSKI, 2011).

$$\frac{V_{out}}{V_{in}} = N \cdot \left(\frac{1 - z^{-N}}{1 - z^{-1}} \right) \quad (10)$$

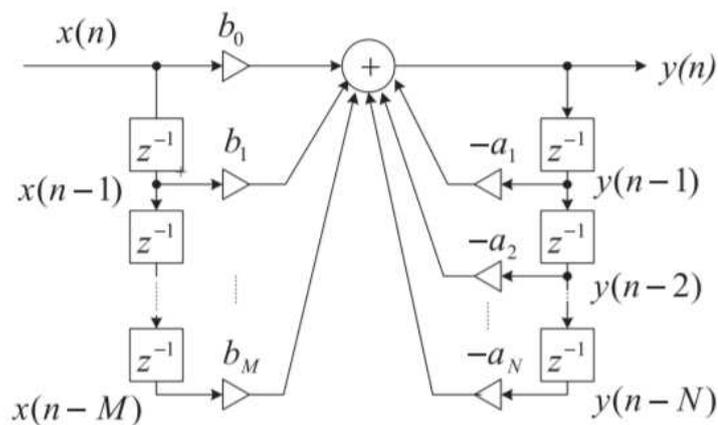
Na Figura 16 o filtro FIR é representado pela chave acionada por f_{LO} e pelo primeiro bloco $\frac{1}{1 - \alpha_1 z^{-1}}$ para definir o decimador por N que o filtro FIR implementa. A resposta de

frequência do filtro FIR é uma função Sinc de primeira ordem complexa em tempo discreto na frequência LO, esta função tem seus picos na frequência zero e nos valores múltiplos da frequência de amostragem. A quantidade de nódulos laterais que aparecem na Figura 17 é definida por N, que é a razão entre a frequência de amostragem e a frequência do oscilador local.

2.3.3 Filtro IIR

Assim como o filtro FIR, o filtro IIR também apresenta vantagem em relação a um filtro analógico. O filtro IIR apresenta uma resposta mais agressiva se comparado com o filtro FIR, pois como indica a Figura 15, esse filtro além de utilizar amostras anteriores do sinal de entrada, também utiliza laços de realimentação do sinal de saída para constituir o sinal de saída atual, dessa forma ele atinge uma mesma atenuação com um sistema de ordem bem mais baixa do que o filtro FIR.

Figura 15 – Diagrama de blocos do filtro IIR



Fonte: (TAN; JIANG, 2018)

Na implementação da Figura 11, o sinal ϕ_2 controla a descarga do capacitor rotativo C_R no segundo capacitor de histórico C_{H2} . Esta operação transfere as cargas através de todo o circuito para a saída, ao mesmo tempo introduzem um laço de realimentação devido ao contato entre o resíduo de uma amostra anterior de carga que se manteve armazenada no capacitor C_R com uma amostra atual de C_{H1} . Este evento pode ser expresso como uma soma de pacotes de carga ao longo do tempo (11).

$$\begin{cases} V_{out}[n] = (1 - \alpha_1) \cdot V_1[n - 1] \\ V_1[n] = \alpha_1 \cdot V_1[n - 1] + V_{in}[n] \end{cases} \quad (11)$$

Onde $\alpha_1 = C_{H1}/(C_{H1} + C_R)$; V_{in} é a tensão acumulada no capacitor C_{H1} ; V_1 é a tensão em C_R e V_{out} é a tensão no capacitor C_{H2} . De forma semelhante ao filtro FIR, esta expressão de

domínio do tempo pode ser reorganizada no domínio Z como (12).

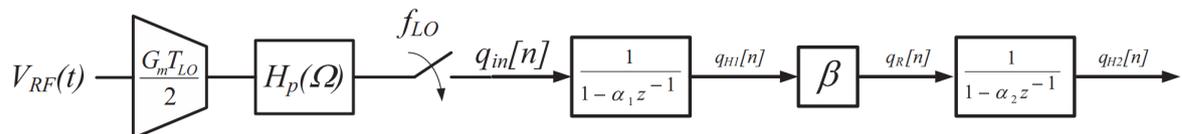
$$\frac{V_{sada}}{V_{entrada}} = \alpha_2 \cdot \left(\frac{(1 - \alpha_1) \cdot z^{-1}}{1 - \alpha_1 \cdot z^{-1}} \right) \quad (12)$$

Conforme explicado por (HUANG, 2014), a Eq. (9) descreve o movimento das cargas ao longo do circuito. Para simplificar a análise, será levado em consideração que quando alguma chave fechar a carga total acumulada nos capacitores conectados será equilibrada proporcionalmente aos valores dos capacitores. Levando em consideração que $\alpha_2 = \frac{C_{H2}}{C_{H2} + C_R}$. Para a representação do modelo matemático do filtro IIR, apresentado na Figura 16, a equação do filtro é separada em dois blocos sendo que $\beta = \alpha_2 \cdot (1 - \alpha_1) z^{-1}$. A resposta na frequência do filtro IIR é apresentado na Figura 17, a resposta desse filtro tem uma característica de filtro de banda passante centrada na frequência LO, por se tratar de um filtro digital esse comportamento se repete em frequências múltiplas de em LO/N .

2.3.4 Receptor de Tempo Discreto

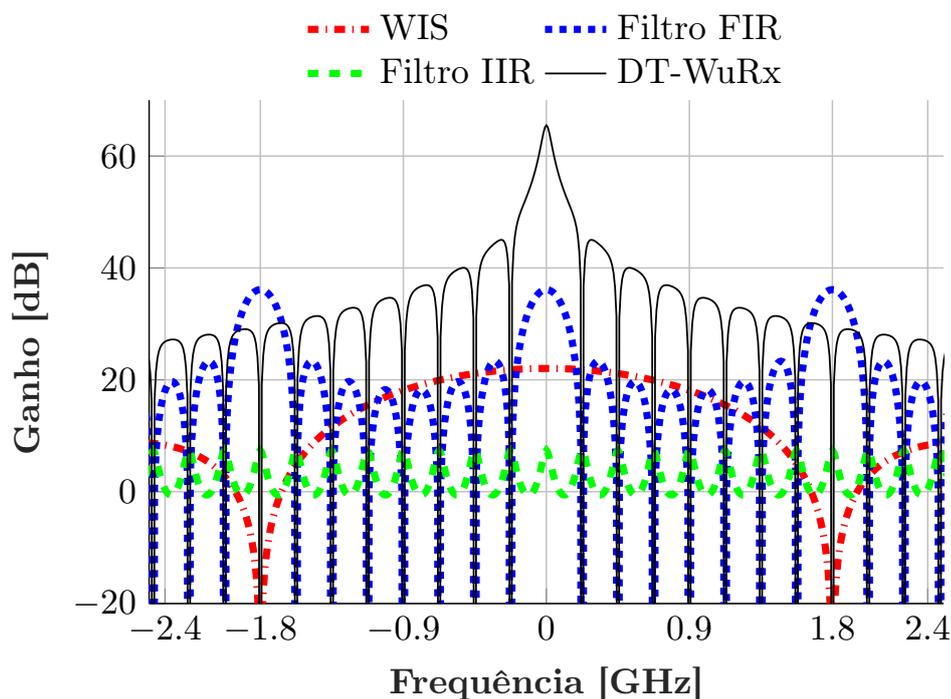
O receptor de tempo discreto é implementado através do arranjo dos blocos apresentados anteriormente. Para o circuito presente na Figura 11, onde o amostrador de corrente, o filtro FIR e o filtro IIR são colocados em série, a representação através dos modelos matemáticos dos blocos individuais conforme indicado na Figura 16.

Figura 16 – Modelo matemático do *mixer* passivo de tempo discreto.



Fonte: (HUEBER; STASZEWSKI, 2011)

A Figura 17 apresenta a resposta em frequência para o receptor DT com LO como 900 MHz e $N = 8$. A figura mostra que os picos em múltiplos de LO/N são mitigados pelos vales na resposta de FIR. O mesmo ocorre com os picos FIR em múltiplos LO e os vales do amostrador de corrente, denominado como WIS. Como somente em frequências próximo a zero todas as contribuições interagem de forma construtivas, a resposta combinada representa um filtro passa-baixa com alta seletividade.

Figura 17 – Resposta completa do *mixer* de tempo discreto.

Fonte: Desenvolvido pelo autor

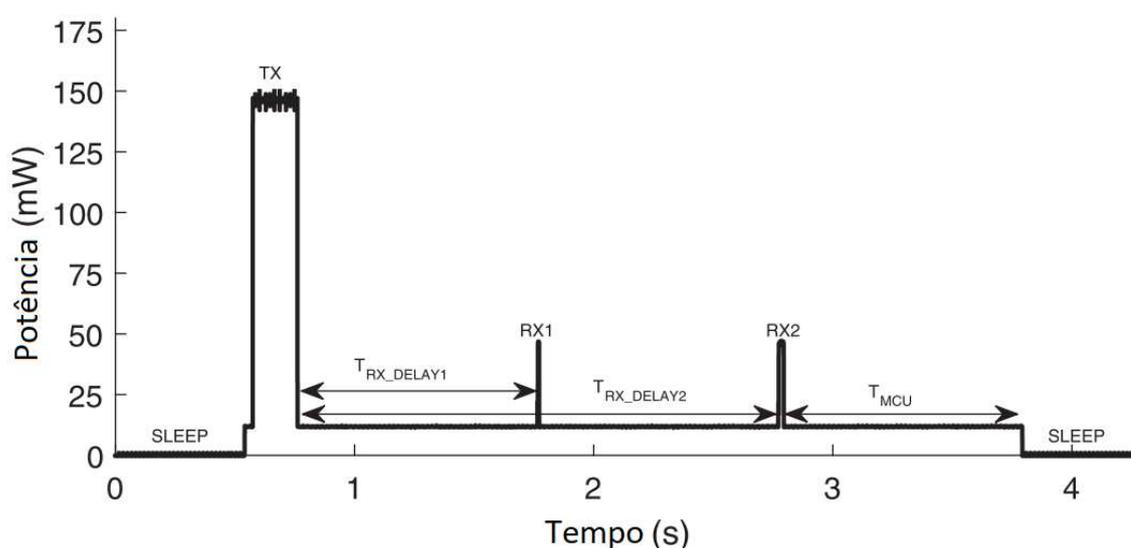
2.4 Arquitetura de Redes

Também é importante estudar como é a interação dos dispositivos com o coletivo, muitas das métricas adotadas para receptores podem ser alteradas de acordo com a estratégias de grupo e os métodos de acesso a rede que são utilizados. Um método importante de redução da energia consumida é a utilização de um esquema de comunicação intermitente, onde as atividades intensas de energia, como transmissões de dados ou processamento de informações ocorrem por curtos períodos. Nesse método o dispositivo é mantido a maior parte do tempo com o hardware do rádio desligado e a unidade central do controlador em um estado de baixo consumo de energia (HUANG, 2014).

2.4.1 Acionamento Periódico

Para dispositivos de IoT a maior fonte de consumo de energia é certamente o módulo de transmissão e recepção de rádio. Isso ocorre devido a natureza da operação do rádio, cujo funcionamento envolve despejar potência elétrica no meio. Entretanto, a principal causa do alto consumo desses blocos é a necessidade de utilizar circuitos analógicos. Diferentemente dos circuitos digitais, que apresentam somente consumo de potência dinâmica, circuitos analógicos estão sempre consumindo corrente executando alguma operação ou não. Essa corrente é necessária para polarizar os transistores na região desejada e sua magnitude não é desprezível. Na Figura 18 é apresentado um perfil de consumo de corrente de um transceptor LoRaWAN®, onde estão indicados os valores de corrente medidos para cada etapa da operação do dispositivo.

Figura 18 – Perfil de acionamento dispositivo de IoT



Adaptador de: (LIANDO et al., 2019).

Para pontos indicados como 'RX' e 'TX' observa-se um pico de potência de 150.0 mW com duração de 200 ms que corresponde ao consumo devido às atividades de transmissão do rádio e picos de 50 mW com duração de 40 ms referentes às atividades de recepção do rádio. Na realidade, a operação do rádio demanda aproximadamente 140 mW e 40 mW, respectivamente para transmissão e recepção, o restante do valor está em um nível de consumo basal do circuito que é associado ao processador do dispositivo. A etapa chamada de 'SLEEP' esse valor é apontado como sendo próximo de 1 mW, em um comparativo para manter o aparato do rádio ligado foi necessário consumir 50 vezes a potência utilizada para a transmissão de dados.

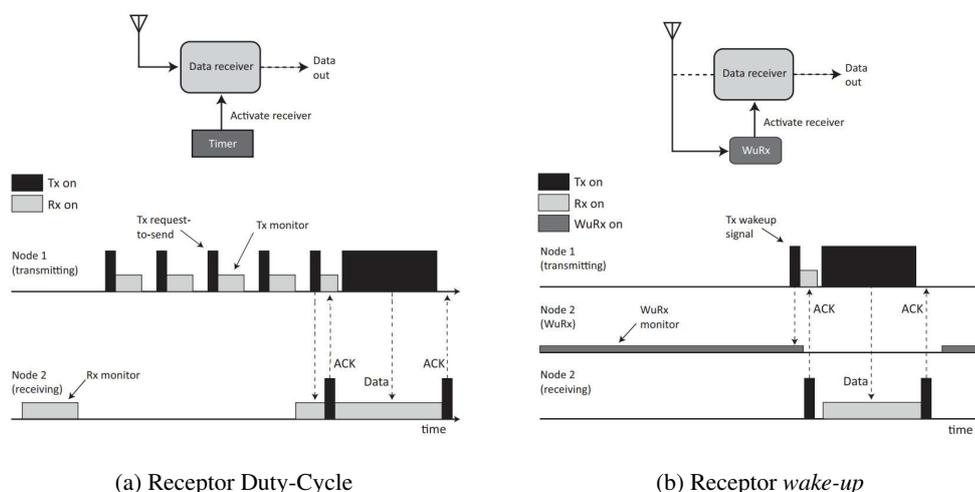
Visando reduzir esse consumo de corrente, procura-se manter o transceptor de rádio desligado na grande parte do tempo da operação do dispositivo IoT. Uma estratégia de como desligar o receptor é fazer o acionamento intermitente do rádio como mostra a Figura 19a. Para tornar esse conceito palpável, Liando et al. (2019) fazem uma estimativa da vida útil do dispositivo

estudado. Para o circuito alimentado por uma bateria do tipo pilha moeda de 230 mAh, a vida útil fica em 5,53 horas no caso do circuito do receptor sempre ativado. Já para o acionamento dos blocos do receptor e transmissor de forma intermitente e com período de 1 segundo, o consumo total do rádio no sistema é reduzido significativamente. Por consequência, a vida útil do dispositivo é estendida para 138,5 h, ou aproximadamente 6 dias. Contudo, acionar o receptor de forma intermitente e ainda ser capaz de se comunicar é um desafio em termos operacionais pois exige que a reativação do rádio seja periódica e em sincronia com seu interlocutor.

2.4.2 Comunicação Baseada em Eventos

Com a estratégia de comunicação baseada em eventos é possível ainda deixar um aparelho ainda mais longo e energeticamente eficiente. Neste caso, as atividades com consumo intenso de energia, como transmissões e recepção de sinais de rádio, processamento de dados e o tratamento de informações, ocorrem de forma agregada e por curtos períodos. Dessa forma, o circuito do rádio fica desligado por um tempo maior conforme apresentado na Figura 19b e o seu acionamento fica condicionado a algum evento externo ao dispositivo de IoT (HUANG, 2014).

Figura 19 – Diferenças entre o acionamento periódico e o acionamento baseado em eventos



Fonte: (PLETCHER; RABAEY, 2008)

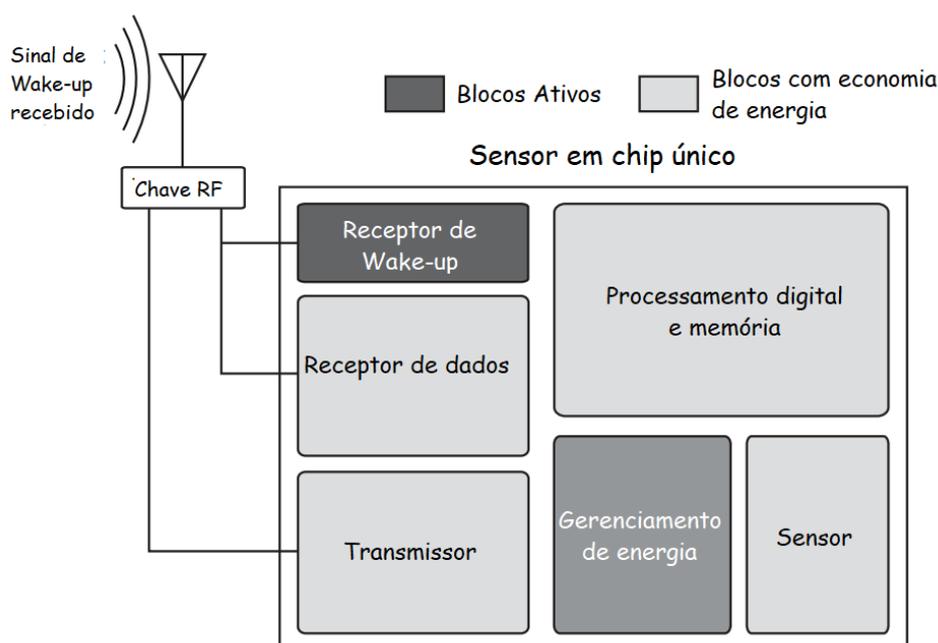
Esse gatilho, em teoria, pode ser qualquer evento, até mesmo a transmissão de dados para o receptor. A dificuldade nesse caso está em saber quando é necessário religar o dispositivo de comunicação visto que ele está sem comunicação, e conseqüentemente não tem uma maneira de sensoriar o espectro de radiofrequência e ser controlado pela rede. Também vale ressaltar que para a comunicação sem fio assíncrona, onde o transmissor e o receptor não têm um período de ativação previamente estabelecido e sincronizado, natureza da comunicação entre os rádios é não programada e espera-se que o módulo do receptor de rádio esteja responsivo o tempo todo (ZHANG et al., 2011).

Dessa maneira, do ponto de vista econômico-energético, é vantajoso ter dois circuitos receptores: o módulo receptor principal com desempenho razoável a ser ativado apenas por curtos períodos para executar a comunicação de dados e uma unidade receptora auxiliar de baixa potência a ser mantida sempre ligada, esperando que um evento ambiente ocorra, o último receptor é comumente referido como um receptor de despertar ou WuRx (do inglês, *Wake-up receiver*).

2.4.2.1 Receptor de Wake-up

Por esta razão, um componente chave deste arranjo é o módulo receptor de *wake-up*, que é um receptor de ultra-baixa potência. Esse módulo é sempre responsivo e monitora o canal sem fio para qualquer comunicação de entrada endereçada ao nó de rádio, quando isso acontece o módulo sinaliza para o microcontrolador entrar em um estado ativo e acionar o rádio principal para a comunicação.

Figura 20 – Bloco do receptor de *wake-up* dentro do dispositivo IoT



Fonte: Adaptado de (PLETCHER; RABAEY, 2008)

Como o receptor de *wake-up* tem uma especificação de alcance de transmissão bastante curto e para a aplicação desejada o consumo de energia é uma questão crítica, a utilização de uma arquitetura homodina é mais adequada porque elimina o desperdício de energia causado por um segundo oscilador local (LEE, 2004).

2.5 Trabalhos Correlatos

A partir de uma investigação preliminar da bibliografia recente sobre o tópico foram encontrados diferentes estratégias para obter os resultados esperados. Em Hsieh et al. (2016), Moazzeni, Sawan e Cowan (2015), Ding et al. (2017), Alghaihab et al. (2019), Mangal e Kinget (2019) e Yoon et al. (2012), por exemplo a estratégia passa pela escolha de um detector de envelope passivo para a demodulação do sinal com potência mínima. Analisando em detalhes, Hsieh et al. (2016) apresenta um receptor de ativação do detector de envelope implementado em $0,18 \mu m$, este projeto requer apenas $0,45 V$ de tensão de fonte, pois visa aplicações médicas implantáveis, atingindo um consumo de energia de $352 \mu W$. Técnicas pensadas como cancelamento de terceiro harmônico, mixagem sub-harmônica e polarização direta, o circuito processa um sinal de $403 MHz$ com taxa de dados de $50 kbps$, atinge $-55 dBm$ de sensibilidade na comunicação OOK para $BER < 10^{-3}$.

Outra estratégia comum é aprimorar as métricas dos receptores de despertar adicionando componentes externos como fazem Soliman et al. (2019) e Elgani et al. (2018). Esses elementos filtram e amplificam passivamente o sinal de entrada, relaxando as especificações do receptor, reduzindo assim a potência consumida pelo sistema. No trabalho de Soliman et al. (2019), foi implementado um receptor *wake-up* de $-47 dBm$ que consome apenas $18 nW$ empregando um ressonador MEMS como amplificação passiva de tensão. O circuito em si processa um sinal de $400 MHz$ com taxa de dados de $100 kbps$ e é composto por um retificador passivo de acoplamento cruzado diferencial de 9 estágios, seguido por um amplificador de tensão diferencial de 2 estágios.

A tabela 1 foi elaborada para comparar esse conjunto circuitos receptores de baixo consumo voltados para a aplicação de *wake-up* provenientes de publicações em revistas relevantes na área de microeletrônica, utilizando métricas que aparecem frequentemente em publicações.

Tabela 1 – Levantamento de referências do estado-da-arte de receptores de *wake-up* na literatura.

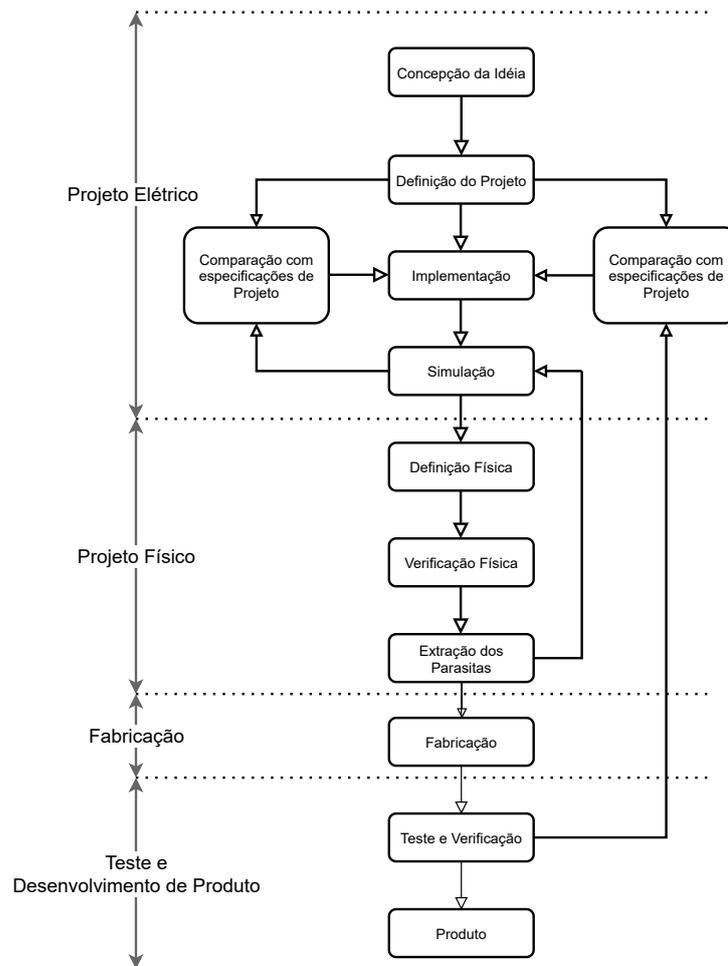
Referência	Características	Tecnologia [nm]	Supply Voltage [V]	Frequência de modulação [MHz]	Taxa de Dados [KHz]	Sensibilidade [dBm]	Consumo de Potência [μ W]	Área do Chip [μ m ²]
(HSIEH et al., 2016)	Two-stage RF amplifier Envelop Detector LPF five-stage limiting amplifier curren mirror	180	0,45	402	50	-55	129	189 x 175
(MOAZZENI; SAWAN; COWAN, 2015)	SAW filter amplifier Envelop detector 1-bit ADC Digital decoder VCO freq. cal with off-chip oscillator.	130	1,2	902	200	-75	22,9	1000x1000
(DING et al., 2017)		90	2	2400	100	-58	384	36x36
(ALGHAIHAB et al., 2019)	LNA + Mixer IF BPF Envelop detector ADC	65	-	2400	112,5	-57,5	150	34 x34
(SOLIMAN et al., 2019)	MEMS Resonator Rectifier Amplifier Latch rectifier	65	1	400	100	-47	0,018	200 x 150
(ELGANI et al., 2018)	Off-chip MN LNA Rectifier Comparator	90	1,2	868	1	-54	0,013	-
(MANGAL; KINGET, 2019)	Self-Mixer Amplifier VCDL DLL Latch digital correlator	65	0,1	1016	0,1	-74	0,00047	250 x 370

Nesse capítulo foi apresentado o conjunto de conhecimento presente na literatura sobre o tema de receptores de *wake-up*. Foram indicados os conceitos fundamentais que norteiam a elaboração desse projeto de pesquisa e os trabalhos correlatos que servem de referência para o circuito proposto nesse trabalho. No próximo capítulo serão indicados os métodos seguidos ao longo desse projeto de pesquisa.

3 MATERIAIS, FERRAMENTAS E MÉTODOS

O presente capítulo apresenta os métodos, ferramentas e materiais utilizados para a elaboração do circuito que é o foco dessa pesquisa. A metodologia para realização desse projeto foi inspirada no fluxo de projeto de circuitos integrados analógicos apresentado por Allen e Holberg (2012). Conforme ilustrado pela Figura 21 o projeto de um circuito integrado é um processo com muitas etapas de iteração para garantir os resultados especificados. Esse processo se resume basicamente ao cumprimento de 5 etapas sequenciais são elas: a definição do projeto; concepção; desenvolvimento e simulação; prototipação; teste e validação. As atividades realizadas ao longo dessas etapas são descritas neste capítulo.

Figura 21 – Fluxo de projeto de circuitos integrados analógicos.



Fonte: Adaptado de (ALLEN; HOLBERG, 2012)

Com base no processo descrito acima, as sessões seguintes irão descrever em maior detalhe cada uma das etapas.

3.1 Conceção

A concepção do circuito foi efetuada através do método *top-down*, onde se tem uma boa definição da aplicação para o qual o dispositivo se destina e trabalha-se na arquitetura para atender os requisitos desta aplicação. Deste modo de execução se obtém uma grande flexibilidade de projeto, pois a cada nível de hierarquia há um conjunto de soluções não exaustivas que fomentam a pesquisa por novas tecnologias e a inovação. Por exemplo, para atender a uma determinada especificação uma mesma arquitetura de circuito pode distribuir de diversas maneiras a contribuição de cada bloco constituinte. Da mesma forma, cada bloco pode apresentar diversas topologias que atingem resultados próximos e um mesmo bloco pode ser construído por diferentes componentes e assim por diante.

3.2 Desenvolvimento

Uma vez estabelecido os parâmetros iniciais para o receptor e pesquisado a arquiteturas de circuitos que melhor atende os objetivos do projeto em um contexto amplo, foi iniciado o desenvolvimento dos circuitos.

Para isso utilizou-se o software de projeto circuitos eletrônicos Cadence®Virtuoso® valendo-se da licença de acesso acadêmico fornecida pela Unisinos. O desenvolvimento em si foi realizado utilizando simulações paramétricas para mapear o espaço de projeto. Nesse método, o dimensionamento dos componentes é definido levando em consideração os valores obtidos a partir de curvas de operação simuladas para o circuito.

3.3 Simulação

Nesta etapa foi utilizado o ambiente de simulação do software Virtuoso® onde foram efetuadas análises no receptor. Esse ambiente foi desenvolvido especificamente para circuitos de radiofrequência. Foram utilizadas as análises de sinal periódico, como: ensaio de sinal periódico de estado estacionário (PSS, do inglês *Periodic Steady State*); ensaio de função de transferência para sinal periódico (PXF, do inglês *Periodic Transfer Function*); ensaio de ruído para sinal periódico (PNOISE, do inglês *Periodic Noise*). Esses ensaios foram aplicados para obter métricas relevantes ao circuito como ganho de tensão, figura de ruído e sensibilidade. Contudo, a verificação derradeira do funcionamento do circuito foi efetuada com a simulação de transiente onde aplicou-se sinais mais próximos da realidade e aferiu-se o comportamento do receptor. Também se obteve dessa simulação o consumo de potência total do circuito e a contribuição de cada um dos seus blocos. Também foi avaliado a robustez do circuito frente a variações no processo de fabricação através da execução de uma análise de Monte-Carlo com 200 amostras.

3.4 Implementação

A implementação do circuito utilizou a ferramenta de projeto Cadence®Virtuoso® em seu ambiente de projeto físico de componentes e layout, também foi utilizada a ferramenta de verificação de layout Cadence®Assura® Verification. Durante a implementação, foi realizado uma etapa iterativa de verificação e ajuste, sendo efetuadas a verificação de regras de layout (DRC, do inglês *Design Rules Check*) e a comparação do layout com o diagrama esquemático (LVS, do inglês *Layout Versus Schematic*) para assegurar que a disposição dos componentes do circuito de *wake-up* estava dentro das possibilidades determinada pela fabricante.

A fabricação do circuito foi realizada pela empresa Taiwan Semiconductor Manufacturing Company Limited (TSMC) por intermédio do IMEC (do inglês *Interuniversity Microelectronics Centre*), através do Programa Mini@sic. Dessa forma, o circuito do receptor de *wake-up* foi um dos múltiplos projetos que compõem o chip fabricado em tecnologia de 180 nm. Isso foi possível graças a uma parceria do Grupo de Pesquisa em Circuitos, Dispositivos e Sistemas para Internet das Coisas - GPIoT da Unisinos com o Grupo de Microeletrônica da Universidade Federal do Rio Grande do Sul (GME-UFRGS).

3.5 Teste e validação

Dentro da fase de validação estão enquadrados as etapas de elaboração do teste, implementação dos arranjos utilizados para o teste e a etapa de execução do teste e coleta de resultados. Para a realização do teste foi necessária a elaboração de uma placa de teste para adaptar as conexões do chip com a dos aparelhos de teste. Essa PCB foi elaborada com EAGLE®CAD e Ansys SIwave para verificação da integridade do sinal. A PCB foi produzida na empresa WonderfulPCB, a anexação do chip na placa e a solda de fio foram realizadas pelo iTT chip da Unisinos e a soldagem dos demais componentes foi realizada pelo autor.

Os equipamentos utilizados no teste estão listado em seguida:

- Analisador de RF Vetorial de Mão N9923A
- Arduino Pro Micro ATMEGA32u4 3v3 8MHZ
- Osciloscópio Agilent DSOX2002A
- Gerador de RF Tektronix TSG4106A
- Controladora PXIe-8880
- Transceiver de RF Vetorial PXIe-5840
- Fonte controlada de energia PXIe-4145
- Software MATLAB

- Software LabVIEW

Neste capítulo foram indicado de forma resumida os materiais, equipamentos e métodos utilizados ao longo do projeto, foi dado um enfoque especial nos métodos empregados durante a fase de concepção do chip e aos equipamentos aplicados na fase de teste e validação. Boa parte dos pontos abordados neste capítulo serão retomados no Capítulo 4, onde serão expostos os passos do desenvolvimento do chip.

4 DESENVOLVIMENTO E RESULTADOS EXPERIMENTAIS

Neste capítulo serão apresentados os resultados de simulações obtidos durante a fase de projeto e os valores medidos durante a fase de teste e validação do circuito. Primeiramente serão apontadas as considerações do desenvolvimento, em seguida uma apresentação das métricas de avaliação de blocos individuais e a exposição dos resultados das simulações do receptor como um todo. Em um segundo momento serão apresentadas alguns das etapas do processo de fabricação do chip e por fim serão descritos os testes realizados no circuito fabricado e seus respectivos resultados.

4.1 Definição

A escolha da topologia para o receptor foi baseado no trabalho de Piyare et al. (2017), que relacionou várias topologias de receptores publicadas, foi escolhido uma topologia de receptor homodino pois essa assume um bom compromisso entre qualidade de sinal e consumo de potência. Foram adicionados elementos de tempo discreto a esta topologia devido a boa linearidade e grande intervalo dinâmico que esta tecnologia apresenta, que conseqüentemente relaxam as especificações para outros blocos do circuito. Outras vantagens desta arquitetura estão no uso de frequência e capacitância como parâmetros-chave de operação. Essas variáveis podem ser definidas para valores extremamente precisos e sofrem pouca influência das variações do processo. Portanto, a implementação não requer circuitos adicionais para calibração e não deve apresentar complicações para os diferentes nós de processo e até mesmo em processos com foco digital(YO-CHUOL et al., 2006).

As especificações do receptor de *wake-up* foram determinadas levando em conta sua adequação aos dispositivos LoRA. Esses dispositivos apresentam módulos de gerenciamento de energia com diferentes modos de operação: modo receptor (30 mA), modo de espera (1,6 mA) e modo de suspensão profunda (menos $10 \mu A$)(CHEONG et al., 2017). Dessa forma, propõe-se receptor com mixagem de tempo discreto de 900 MHz e largura de banda de 100 kHz. A tensão de alimentação do circuito é definida como 1,2 V para ser compatível com o valor entregue por outro circuito do grupo de pesquisa, visando uma futura integração entre os blocos. O circuito prevê um conexão para antena simples seguida de uma rede de casamento integrada para impedância de 50Ω Esse arranjo é direcionado para a implementação em TSMC180nm e tem como alvo uma sensibilidade de -60 dBm ao custo de um consumo de energia abaixo de $40 \mu W$. As especificações do circuito são destacadas na Tabela 2.

Tabela 2 – Configuração utilizada para o ensaio de transmissão do receptor de *wake-up*

Especificações do Receptor		
Tecnologia	-	TSMC180nm
Tensão de alimentação	1.2	V
Taxa de dados	100	kHz
Frequência de LO	900	MHz
Impedância de entrada	50	Ω
Sensibilidade	-60	dBm
Máxima potência total	40	μW

Fonte: Desenvolvido pelo autor

No projeto do DT-WuRx o principal ponto de atenção é que a seleção de uma sensibilidade do sinal de entrada muito agressiva é fisicamente compensada pelo aumento do consumo de energia. Desse modo, no desenvolvimento do projeto primeiramente se garantiu um patamar de sinal mínimo detectável, ou a sensibilidade, do receptor e depois se fez o ajuste para a redução do consumo de potência.

Considerando (5), sabendo que para aplicações LoRaWAN®, a modulação OOK é limitada a um $SNR_{min} = 12 dB$ e o ruído térmico na temperatura ambiente é definido por $174 dBm/Hz$ (OU; FERREIRA, 2018), observa-se que a sensibilidade é definida principalmente pela figura de ruído, que deve ser no máximo de 50 dB para uma taxa de dados de 100 kbps. Em seguida verifica-se em (13) que o fator de ruído para um circuito DT é dominado pela densidade de ruído que o misturador insere no sinal e o ganho do *mixer* passivo, conforme indicado em (4) e demonstrado por Baumgratz et al. (2018).

$$N = \frac{1}{A_V^2} \cdot \frac{\overline{V_{N,in}^2}}{4kTR_S} \quad (13)$$

$$\overline{V_{N,in}^2} = 2mkT R_{ON} + \frac{(1-m)^2 kT}{f_s C_R} \quad (14)$$

Em (13), $4kTR_S$ é o ruído térmico injetado pelo circuito de resistência equivalente R_S ; A_V é o ganho total do circuito, dado pela magnitude obtida das simulações do modelo matemático do *mixer* em conjunto com o ganho dos amplificadores do circuito. Por fim, $\overline{V_{N,in}^2}$, indicado em (14), representa a composição do ruído através do interruptor durante sua fase ON e o ruído armazenado no capacitor durante a fase OFF. De forma que, $R_{ON} = 1/(f_s^2 C_R)$ é a resistência de chaveamento do circuito e m é seu ciclo de trabalho.

Para o circuito do *mixer* passivo, os capacitores foram dimensionados como $C_{H1} = 800 fF$, $C_R = 600 fF$ e $C_{H2} = 800 fF$ com o objetivo de melhor combinar as respostas do amostrador de corrente com as respostas do filtro FIR e IIR. Os capacitores foram selecionados

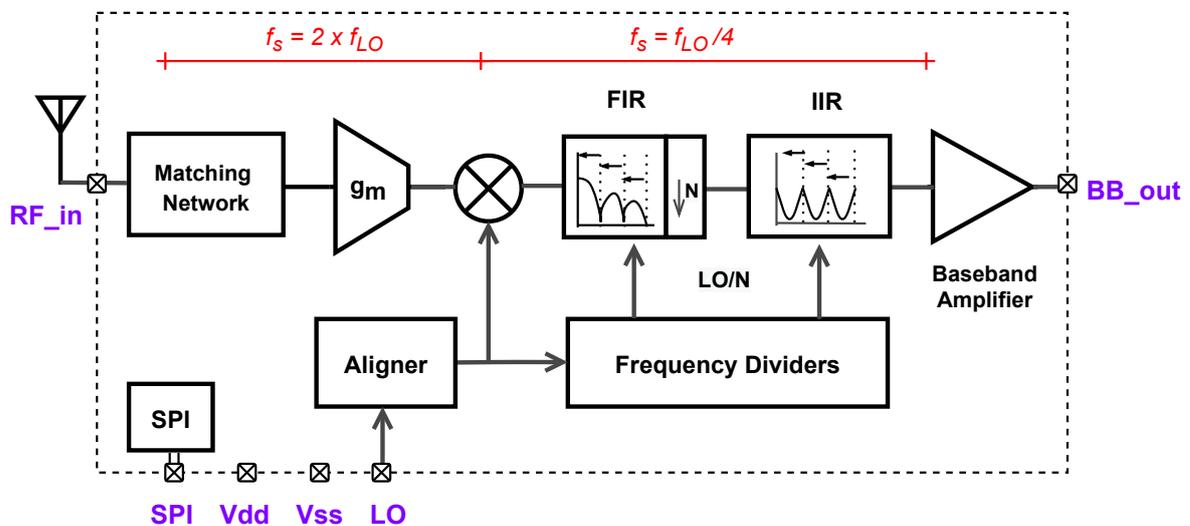
com base na redução de harmônicos em uma simulação PXF no Simulador de Virtuoso® Spectre®.

A relação de decimação N presente na equação (10), dada pela relação das frequência de LO e frequência de amostragem, é definida como $N = 8$ com o objetivo de reduzir a potência. Da mesma forma, todos os transistores do circuito foram projetados com tamanho reduzido, $W/L = 1 \mu\text{m}/180\text{nm}$ para reduzir o consumo de energia, uma vez que o tamanho dos transistores impacta diretamente no consumo de energia do bloco de geração de clock (FERREIRA et al., 2017).

4.2 Conceção

A concepção do sistema foi elaborada segundo os parâmetros definidos na seção anterior. Conforme mostrado na Figura 22, é definido por um *mixer* de tempo discreto, um amplificador de banda base, uma rede de casamento no chip com banco de capacitores configurável através de sinais dos registradores de uma interface SPI, uma geração de clock (divisores de frequência) e o circuito alinhador de clock.

Figura 22 – Diagrama de blocos do receptor de *wake-up*.



Fonte: Desenvolvido pelo autor

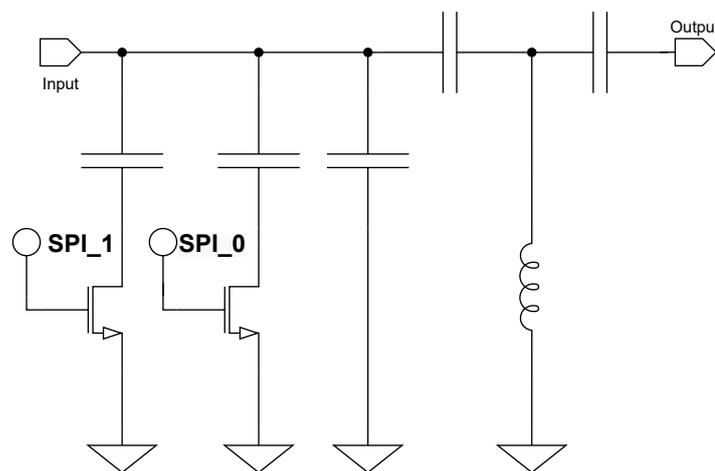
No núcleo do receptor de *wake-up* é o circuito do *mixer* de tempo discreto. Essa estrutura é formada por um circuito amplificador compacto e um arranjo de chaves será desenvolvido nessa seção com um único bloco. Porém, é preciso ressaltar que esse conjunto engloba as funcionalidades de: (a) um amostrador de corrente, responsável pela característica de filtro anti-aliasing intrínseco; (b) *mixer* passivo por capacitor chaveado, que faz o deslocamento do sinal de uma frequência alta para a frequência de banda base; (c) um filtro digital do tipo FIR e (d) um filtro digital do tipo IIR.

A rede de casamento de impedância integrada com capacitância ajustável, o amplificador de banda base, *aligner*, divisores de frequência e o circuito de referência de tensão completam a implementação do DT-WuRx. Nesta seção são apresentados os resultados finais obtidos do processo de projeto elétrico e projeto físico, pois para a definição da topologia e o dimensionamento de todos os componentes dos blocos foram necessários diversos ciclos de iteração entre pesquisa, elaboração e simulação.

4.2.1 Rede de casamento de impedâncias

A rede de casamente, exposta na Figura 23 de impedância apresenta uma topologia não convencional, que transforma a impedância de $50\ \Omega$ da antena em uma resistência muito maior, gerando assim um ganho de impedância. Um dos capacitores é ajustável através de dois bits controlados pelos sinais dos registradores da interface SPI.

Figura 23 – Circuito da rede de casamento.

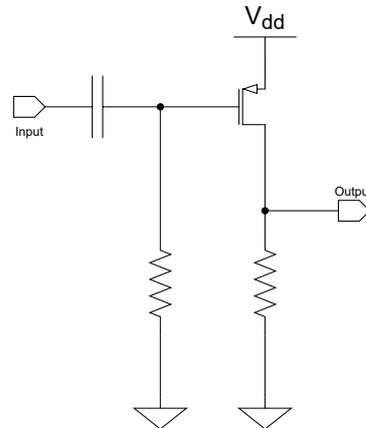


Fonte: Desenvolvido pelo autor

4.2.2 Mixer de Tempo Discreto

O misturador de tempo discreto foi dividido em dois blocos para uma melhor descrição do circuito, sendo eles: o transconductor de entrada e o misturador de amostragem de carga. O primeiro bloco é responsável por converter a tensão do sinal de entrada em corrente para que o misturador de amostragem de carga funcione corretamente. Conforme mostrado na Figura 24, o circuito é implementado como um amplificador de fonte comum composto por um transistor PMOS, o sinal de entrada passa por um capacitor desacoplado e é entregue ao transistor sobre um ponto quiescente de polarização da porta.

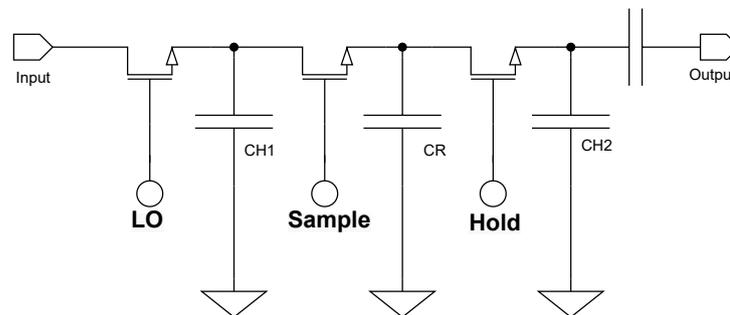
Figura 24 – Circuito do transcondutor.



Fonte: Desenvolvido pelo autor

O transcondutor é seguido pelo misturador de amostragem discreto. O circuito, ilustrado na Figura 25, é composto por uma sequência de chaves e capacitores que se sobrepõem às funções de *mixer down-converter*, filtro anti-alias, filtro FIR e filtro IIR.

Figura 25 – Circuito do mixer de tempo discreto.



Fonte: Desenvolvido pelo autor

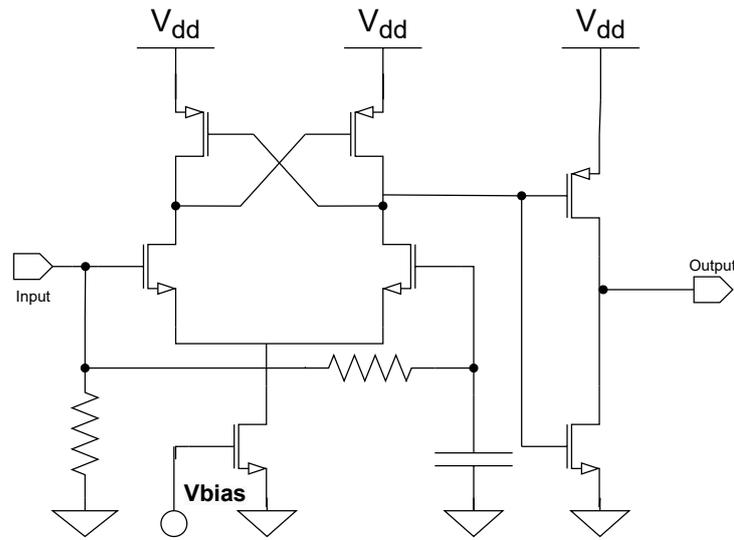
No circuito do mixer, o primeiro transistor é acionado na frequência LO e funciona como um *mixer* com um filtro anti-alias embutido, transferindo o sinal de RF de entrada para a banda base com o mínimo de intrusão de harmônicos no sinal. O segundo e o terceiro transistores são circuitos integradores de tempo discreto que operam a um oitavo da frequência LO. Do ponto de vista do sinal, ele se comporta como uma função de transferência do filtro FIR e de um filtro IIR. O sinal então passa por um capacitor de acoplamento e é definido para um determinado nível DC.

Vale ressaltar que todos os transistores do circuito são projetados para o tamanho mínimo disponível visando uma redução significativa no consumo de energia e erros de injeção de carga. Este circuito em si não consome energia da fonte DC, pois não há uma ligação direta. No entanto, o tamanho dos transistores tem impacto direto no consumo do bloco gerador de clock.

4.2.3 Amplificador de Banda Base

Antes de enviar para a saída, o sinal do *mixer* deve ser quantizado no domínio digital. Como a comunicação do OOK é bastante simples, esse processo é feito por um ADC de 1 bit. Neste caso, um comparador com limite adaptativo. A Figura 26 mostra o comparador projetado, a arquitetura compreende um amplificador diferencial com carga ativa seguido de um inversor.

Figura 26 – Circuito amplificador de banda base.

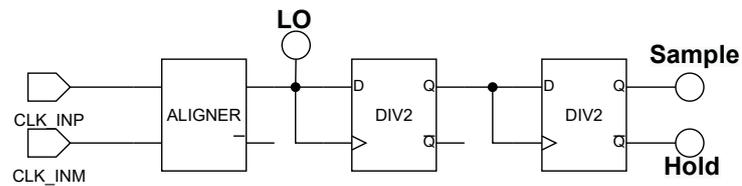


Fonte: Desenvolvido pelo autor

Essa topologia foi selecionada porque a referência de limite rastreia o sinal de entrada, o que reduz o efeito de qualquer possível interferência dentro da banda no sinal. Como sugerido por Marinkovic e Popovici (2011), este arranjo aumenta a faixa dinâmica para sinais fortes e fracos, o que é benéfico para o projeto em um ponto de vista macro. Além disso, como a referência de limite vem da energia da antena, o consumo de energia estática deste bloco é reduzido.

4.2.4 Aligner e Divisor de Frequências

São incluídos ao projeto do chip um bloco de *aligner* e uma sequência de blocos de divisores de frequência conforme a Figura 27. O primeiro é um bloco necessário apenas para a realização dos testes de validação do circuito do receptor. Os divisores de frequências por sua vez, são fundamentais para a operação do receptor. Sendo responsável pela adequação de frequência do sinal do oscilador local para os sinais de "sample" e "hold", exigidos para a operação do *mixer* de tempo discreto.

Figura 27 – Circuito de *aligner* e divisor de frequências.

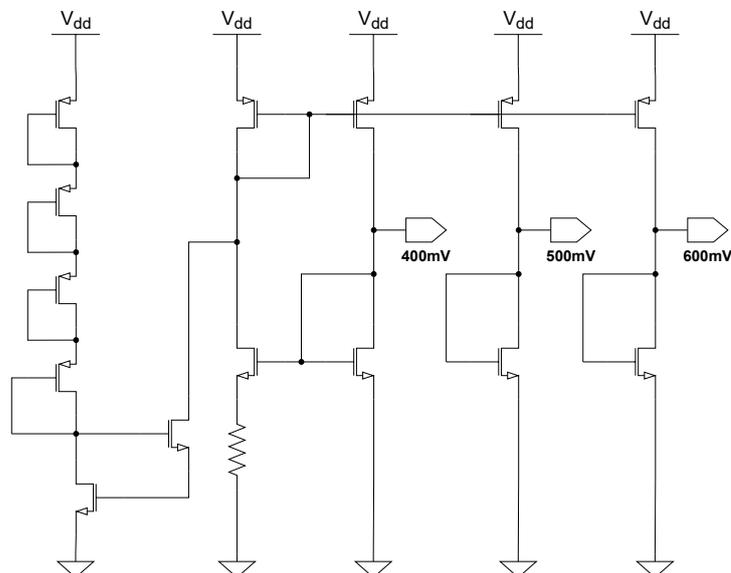
Fonte: Desenvolvido pelo autor

O projeto apresentado depende de blocos de *aligner*, baseado na arquitetura proposta em Baumgratz et al. (2018), para injetar a frequência de oscilador local (LO) de uma fonte externa para o interior do chip. E do bloco de divisor de frequência para gerar os sinais de "sample" e "hold", seguindo a estrutura básica projetado por Ferreira et al. (2017). A escolha por circuitos digitais para os blocos na Figura 27 visa a redução da potência estática do sistema.

4.2.5 Referência de Tensão

O bloco de referência de tensão apresentado na Figura 28 possui uma topologia de referência de multiplicador Beta com uma tensão de saída de 400 mV.

Figura 28 – Circuito de referência de tensão com independência da fonte de alimentação.



Fonte: Desenvolvido pelo autor

O circuito proporciona uma tensão de referência estável e independente de variações da tensão de alimentação. O consumo de energia desse circuito é baixo, pois com todos os transistores estão em operação subliminar de tensão. Esse circuito também incorpora um bloco de inicialização que garante o ponto correto de estabilidade do circuito (BAKER, 2010). Outros

dois ramos são adicionados à referência de tensão para fornecer diferentes tensões de saída, neste caso, 500 mV e 600 mV.

4.2.6 Layout

A união dos blocos apresentados previamente formam o circuito completo do receptor de *wake-up* conforme a Figura 22. Este diagrama, então é transcrito para a implementação física levando em consideração as topologias escolhidas e o dimensionamento dos componentes, representado neste caso pela vista de layout.

O layout do circuito deve ser feito visando a tecnologia utilizada na fabricação do circuito, adequando-o ao que é estabelecido nas regras de desenho ou PDK - *Process Design Kit* da fabricante. Dessa forma, ao longo do desenvolvimento do layout do receptor foram efetuadas verificações das regras de desenho para compatibilizar a disposição de componentes com o que é estabelecido pela fabricante. Também se fez a verificação de compatibilidade entre o layout e diagrama esquemático para assegurar que o circuito implementado em silício é representativo do circuito projetado.

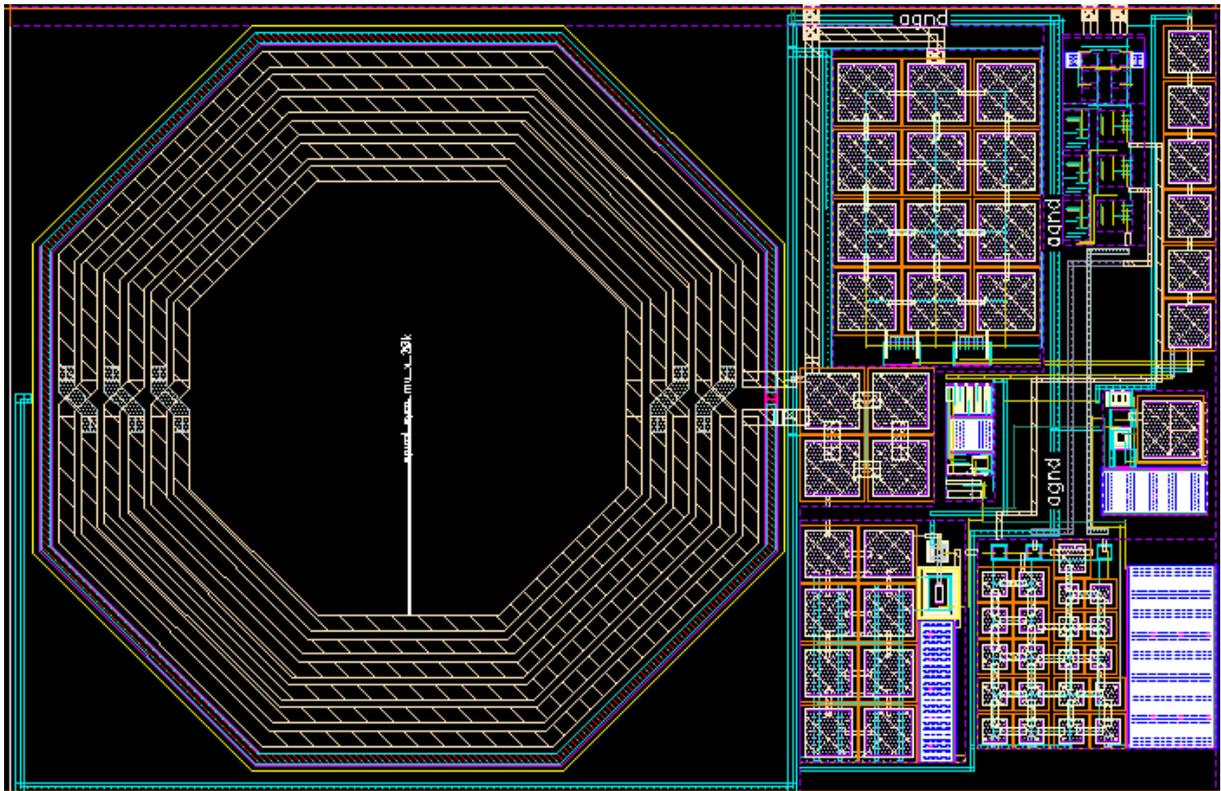
Além disso, por se tratar de um circuito com sinais em RF a etapa de implementação física também têm diversas particularidades que podem gerar problemas de integridade de sinal se não foram devidamente mitigadas por um layout adequado. Por isso é necessário utilizar algumas técnicas de layout específicas.

Uma dessas técnicas é a utilização da última camada de metal para roteamento dos sinais em alta frequência. Isso é feito para garantir um maior dielétrico entre e os transistores e assim minimizar a interferência dos sinais de RF nos sinais processados pelos transistores e uma menor resistência e capacitância parasita.

Outro ponto de atenção em circuitos de RF é o efeito antena, que é a danificação de pontos sensíveis dos transistores causado por descargas eletrostática em grandes áreas de metal em outro pontos do circuito. Como circuito RF normalmente utilizam componentes com dimensões consideráveis em decorrência das exigências em termos de casamento de impedância, sobre tudo capacitores e indutores, há uma grande ocorrência de efeito antena. A regra de desenho da fabricante exige a inserção de medidas de proteção contra o efeito antena no layout. No circuito proposto foi utilizado a técnica que envolve enviar a trilha para um nível mais alto de metal para depois retornar quando próximo a grandes áreas de metal, conforme indicado por Wu, Hu e Mahapatra (2006).

É importante ressaltar que devidos ao grande número de variáveis e efeitos envolvidos, o projeto de um circuito de RF é um processo iterativo que envolvem vários ciclos de simulação de resultados e ajustes no esquemático circuito, tal qual no layout. Portanto, a Figura 29 expõe o layout final do circuito do receptor.

Figura 29 – Layout do circuito do receptor proposto.



Fonte: Desenvolvido pelo autor

Esta seção apresentou o processo de concepção e desenvolvimento do circuito final, seguindo o modelo apresentado no Capítulo 3. Foi apontando o raciocínio e fundamentos teóricos e práticos por trás de cada bloco. Na próxima seção serão apontadas as principais análises realizadas no circuito considerando a versão final do circuito projetado todos os blocos completamente definidos.

4.3 Simulações

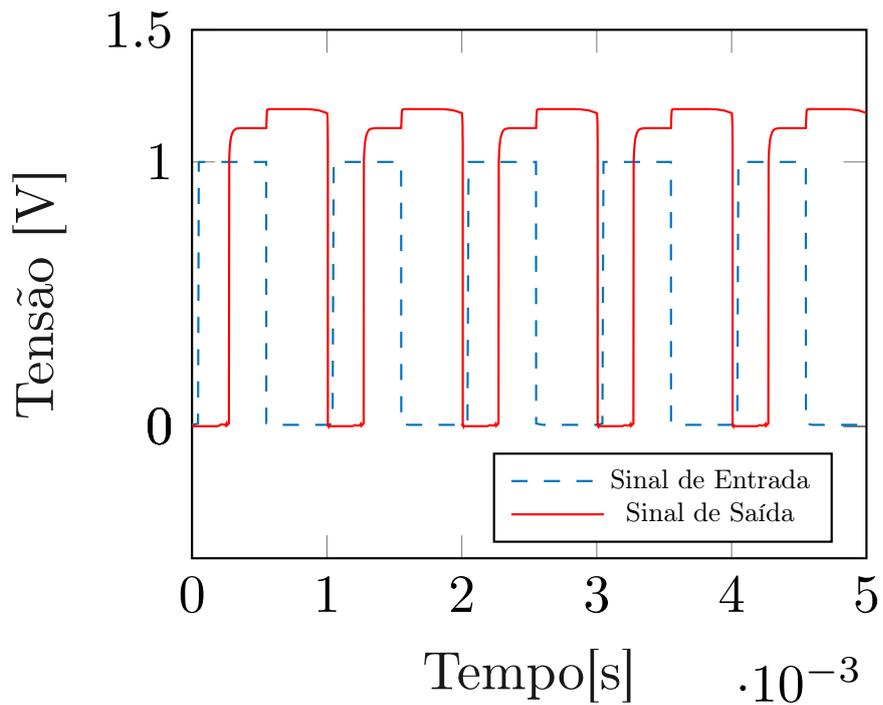
Nessa seção são enumeradas e descritas as análises efetuadas do circuito simulado. Também são apresentados os resultados obtidos em simulação para o circuito final com os parasitas extraídos do layout. Essa seção está organizada de modo a mostrar primeiramente as métricas obtidas para o bloco do amplificador e da referência de tensão, pois estes blocos apresentam métricas próprias, e num segundo momento é apresentada a resposta do receptor como um todo.

4.3.1 Amplificador Banda Base

Para a simulação do circuito amplificador foram realizadas uma análise de transiente e uma análise de varredura DC, onde a tensão diferencial de entrada é varrida. A Figura 30 mostra

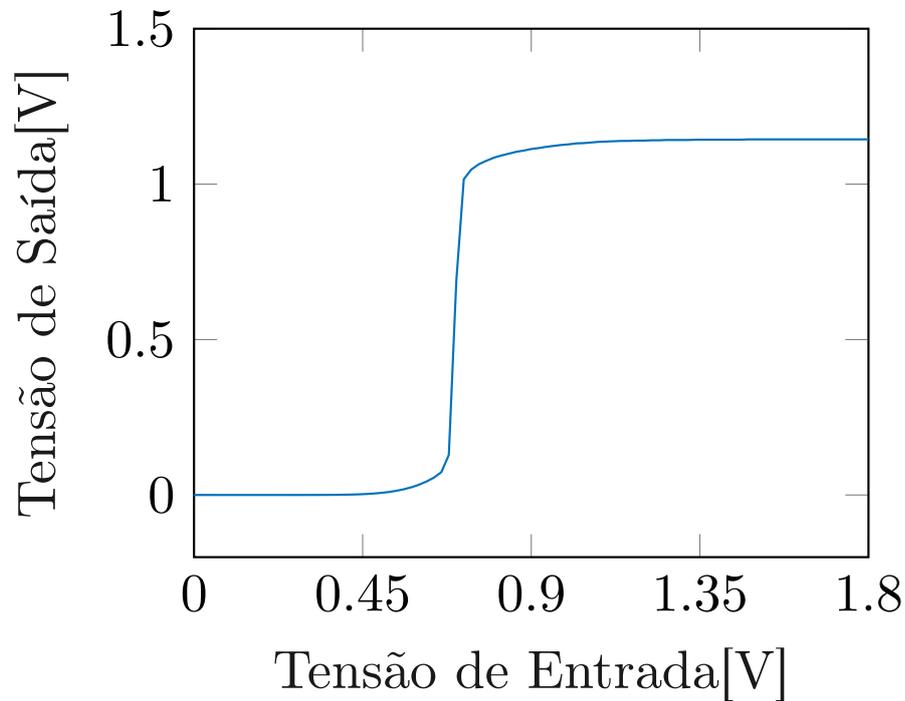
o resultado de uma análise transiente, onde a tensão de saída é representada pela linha contínua e a tensão diferencial de entrada é ilustrada pela linha tracejada. A partir do resultado da análise de varredura DC, exibida na Figura 31, pode-se determinar a tensão de offset de entrada do amplificador e a relação de ganho entre a entrada e a saída.

Figura 30 – Resposta da simulação do amplificador de banda base para uma onda quadrada.



Fonte: Desenvolvido pelo autor

Figura 31 – Resposta da simulação do amplificador de banda base para variação da tensão de entrada.



Fonte: Desenvolvido pelo autor

Na Tabela 3, é mostrado um resumo dos resultados de simulação mais importantes para o circuito do amplificador de banda base.

Tabela 3 – Métricas do amplificador de banda base

Amplificador de banda base	
	Esse trabalho
Tensão de alimentação [V]	1.2
Ganho [dB]	58.29
Offset de tensão [uV]	306.22
Min. CM Voltage[mV]	150
Min. Tensão de Overdrive [mV]	2.5
Atraso L-H [ns]	1885.71
Atraso H-L [ns]	1933.14
Potência Consumida [nW]	154.8

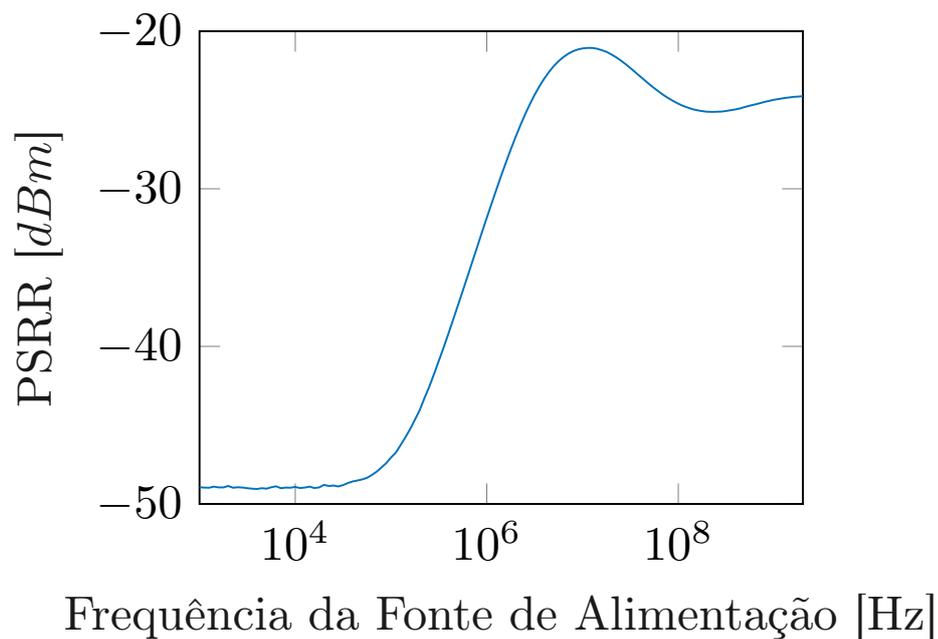
Fonte: Desenvolvido pelo autor

Com base no resultados das simulações apresentados nas Figuras 30 e 31 e na Tabela 3 atesta-se que o bloco do amplificador de banda-base está operando conforme o que foi planejado na fase de desenvolvimento.

4.3.2 Referência de Tensão

Duas análises são executadas para a simulação do circuito de referência de tensão: uma análise AC, onde é avaliada a resposta do circuito para uma entrada de pequenos sinais aplicada sobre a tensão de polarização. Para essa análise o sinal AC teve sua frequência de operação excursionada de DC a 1 GHz. O resultado da análise AC está presente na Figura 32.

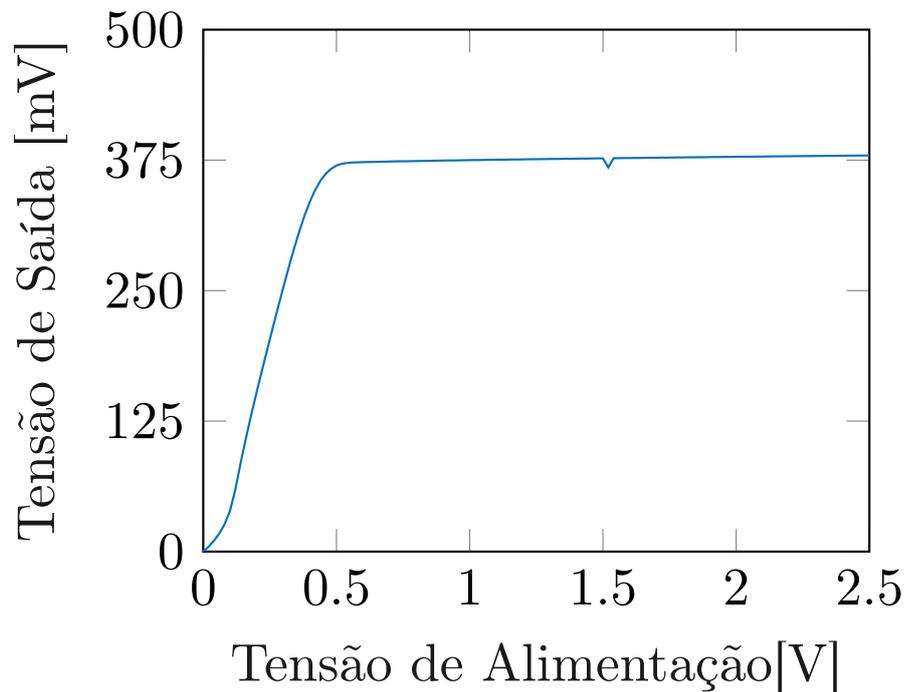
Figura 32 – Rejeição de variação na fonte de alimentação da simulação do circuito de referência de tensão em relação a frequência



Fonte: Desenvolvido pelo autor

O segundo ensaio realizado no circuito foi uma análise de varredura DC com a tensão da fonte como variável de varredura como ilustrado na Figura 33, com este arranjo foi possível determinar o impacto da variação da tensão da fonte na tensão de saída do circuito (PSRR, do inglês *Power Supply Rejection Rate*)

Figura 33 – Resposta da referência de tensão para variação da tensão de alimentação.



Fonte: Desenvolvido pelo autor

A resposta de simulação obtida indica que o circuito precisa que a fonte de alimentação tenha pelo menos uma tensão de fonte de 200 mV para o bloco manter um nível de tensão razoavelmente estável em sua saída. Na Tabela 4, um resumo dos resultados mais importantes para a simulação do circuito de referência de tensão são apresentados.

Tabela 4 – Comparativo de métricas do circuito de referência de tensão

	Referência de Tensão		
	Esse trabalho	(WANG; ZHAN, 2019)	(KIM; CHO, 2017)
Tensão de alimentação [V]	0.2 - 1.1	0.7- 2	0.8 – 1.6
Tensão de saída [mV]	118	368	477
Corrente de referência [nA]	50	-	-
PSRR [dB] @ DC	-33.3	-59	-58
PSRR [dB] @ 1MHz	-16	-39	-
Potência consumida [nW]	146.58	28	37

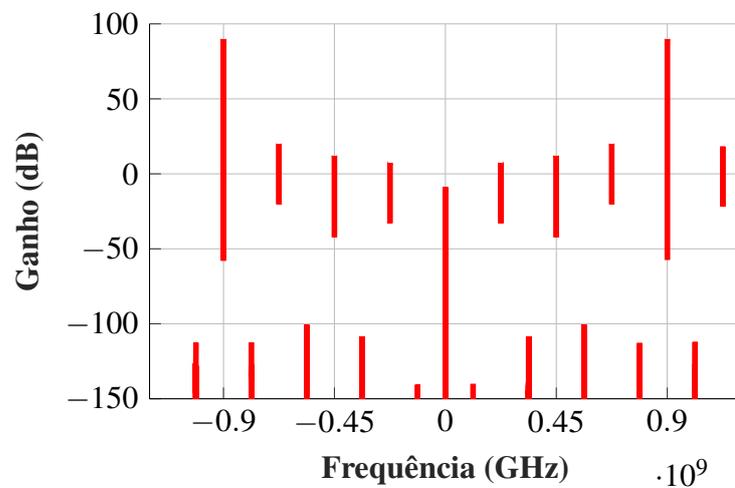
Fonte: Desenvolvido pelo autor

Com base no resultados das simulações apresentados nas Figuras 32 e 33 verifica-se que o bloco de referência de tensão está operando dentro dos limites do que foi planejado na fase de desenvolvimento, Contudo, a partir da comparação do bloco desenvolvido com circuito semelhantes da literatura na Tabela 4, nota-se que há bastante espaço para melhoria no projeto.

4.3.3 Receptor de Wake-up de Tempo Discreto

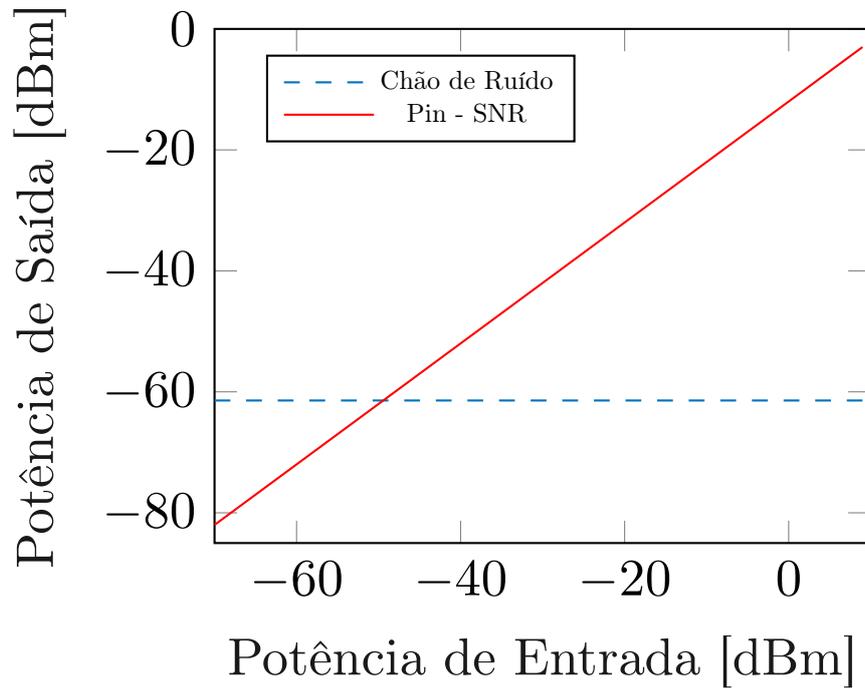
Para a simulação do circuito completo do receptor *wake-up* de tempo discreto são efetuados ensaios típicos de circuitos de radiofrequência, como é o caso da PSS, PAC e PXF. Na Figura 34 é apresentado a resposta do circuito ao ensaio PXF, onde é possível verificar que o circuito apresenta um ganho de tensão para pequenos sinais de 80 dB para sinais de entrada na frequência de 900 MHz e uma atenuação bastante expressiva entre a frequência de banda base e as harmônicas da frequência de LO.

Figura 34 – Resposta simulada de ganho em relação a frequência do receptor de *wake-up*.



Fonte: Desenvolvido pelo autor

O gráfico exposto na Figura 35, foi construído com base nas informações presentes na seção 4.1 sobre a comunicação OOK e no conjunto de resultados captados dos três ensaios de sinais periódicos: PSS, PAC e PXF.

Figura 35 – Resposta simulada de sensibilidade e chão de ruído para o receptor de *wake-up*.

Fonte: Desenvolvido pelo autor

A partir do gráfico é possível obter a informação que o circuito apresenta ganho de potência de 15 dB, um chão de ruído de -63 dBm e uma sensibilidade de -52 dBm.

Também é obtido através de simulação do circuito completo do receptor de *wake-up* o valor de potência consumido em cada bloco do circuito. Na Tabela 8 são apresentados os valores de potência total, incluindo potência estática e potência dinâmica, que foi consumida da fonte de alimentação.

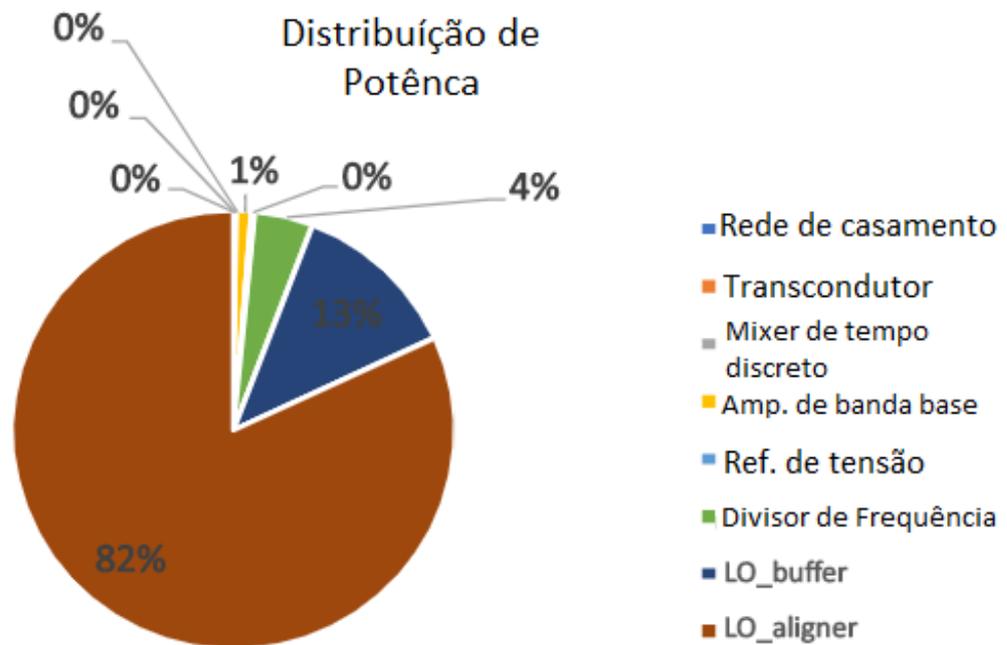
Tabela 5 – Distribuição de potência na simulação do circuito do receptor proposto.

Distribuição de Potência	
Bloco	Potência consumida [uW]
Rede de Casameto	0
Transcondutor	1.13912
Mixer de tempo discreto	0
Amplificador de banda base	5.31919
Referência de tensão	1.38529
Divisores de frequência	21.4912
LO_aligner	412.947
TOTAL	442.2818

Fonte: Desenvolvido pelo autor

Com base na Tabela 8 são elaborados os gráficos em Figura 36 e Figura 37. Na primeira figura são ilustrados as proporções da distribuição de consumo de potência entre os blocos do circuito do receptor.

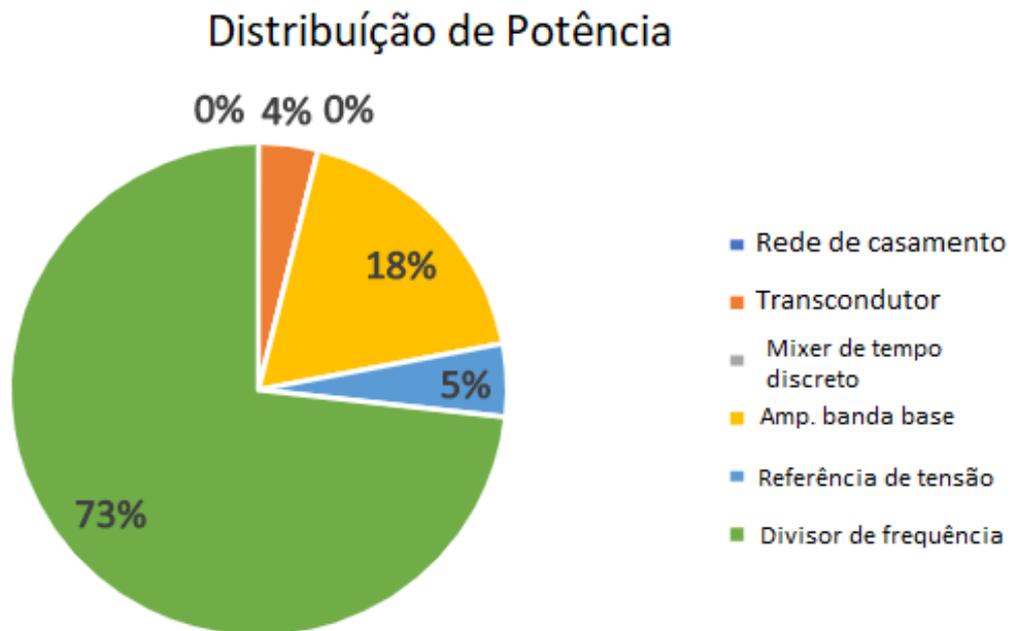
Figura 36 – Distribuição de potência na simulação do receptor de *wake-up* considerando o bloco do *aligner*.



Fonte: Desenvolvido pelo autor

Observando a distribuição que consumo dos blocos do receptor, verifica-se que o circuito do *aligner* do oscilador (LO_aligner) é o grande responsável pelo valor de $442.2818 \mu W$ de consumo do receptor. Felizmente, esse bloco apenas é necessário para a conexão de equipamentos na etapa de teste do protótipo, sendo assim é possível retirar seu valor do total do consumo tendo que as métricas do circuitos devem ser referentes ao circuito como um produto final. Fazendo a remoção do consumo do bloco do *aligner* o total consumido pelo receptor é de $29.33 \mu W$. Na Figura 36, são apresentadas a distribuição de consumo nos blocos do receptor, excluindo a contribuição do bloco do *aligner*.

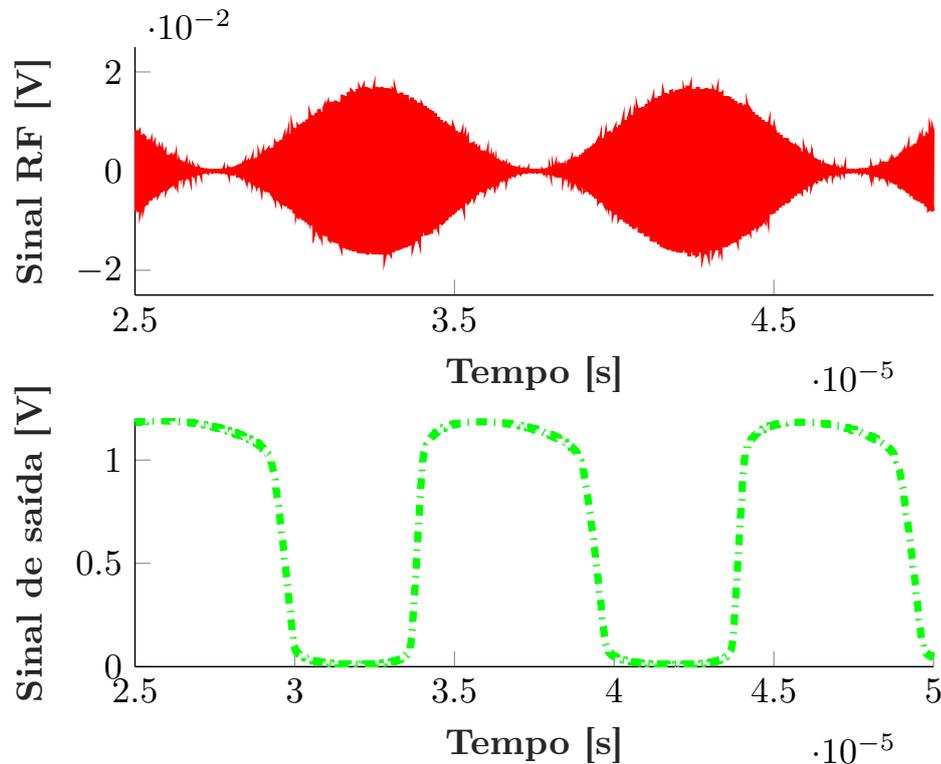
Figura 37 – Distribuição de potência na simulação do receptor de *wake-up* desconsiderando o bloco do *aligner*.



Fonte: Desenvolvido pelo autor

Também foi realizado no circuito o ensaio de sinal transiente com duração de $2,5 \mu s$. Neste ensaio, o sinal OOK foi emulado utilizando um sinal senoidal com modulação AM e fator de modulação igual a 1. A Figura 38 apresenta em vermelho o sinal injetado na entrada do bloco e em violeta a resposta do circuito.

Figura 38 – Resposta da simulação do receptor para um sinal de entrada OOK de 900 MHz e -30 dBm.



Fonte: Desenvolvido pelo autor

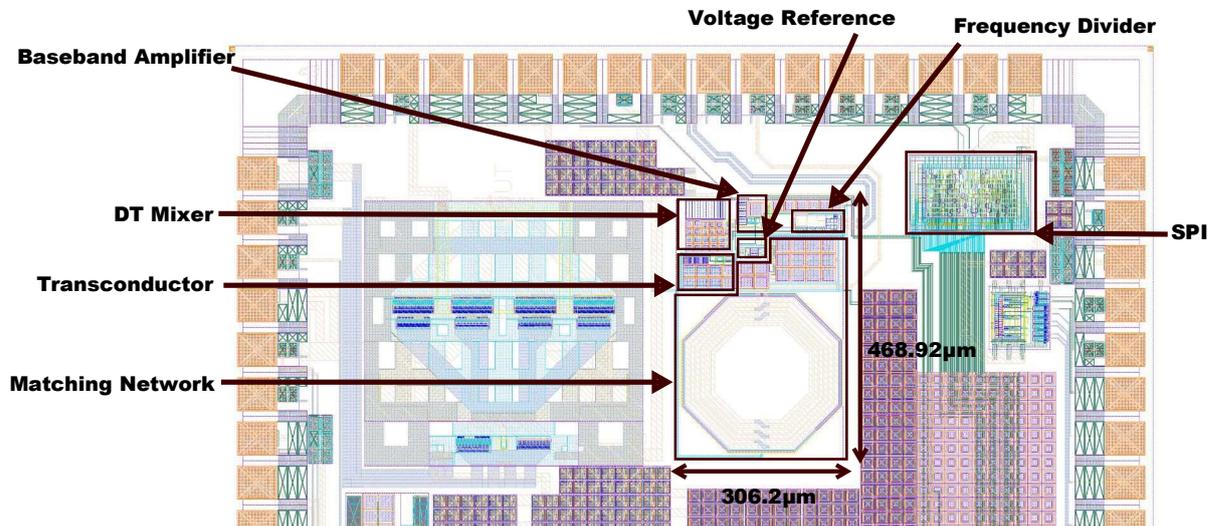
Para o ensaio de transiente utilizou-se um sinal de entrada de 900 MHz com potência de -30 dBm, esse sinal está modulado por um sinal senoidal com 100 kHz. Observa-se que o sinal de saída é uma onda quadrada de 100 kHz de frequência, a amplitude desse sinal está limitada na tensão de alimentação e o sinal sofre leve distorção por compressão. É importante esclarecer que são mostrados apenas o conteúdo da análise após a estabilização dos componentes do circuito. Nessa seção foram apresentadas as análises na fase de simulação do projeto, foram descritos os procedimentos e foi apresentado os resultados mais relevantes para os principais blocos do sistema. Na próxima seção, é exposto alguns dos trâmites do processo de fabricação do chip.

4.4 Fabricação

Esta seção faz menção ao processo *tape-out*, descrevendo resumidamente as interações com a fabricante de chips e apresentando o produto recebido, o projeto no silício. Como foi indicado na Seção 3.4, a implementação física do projeto foi realizado de maneira conjunta com outros projetos, no chamado MCP - *Multi-Project Chip*. A ordem de fabricação se dá através do envio de um arquivo GDS-II para a fabricante. Relembrando conforme exposto na Sub-seção 4.2.6, a fabricante exige que o layout enviado esteja compatível com suas normas de desenho. A Figura 39 apresenta uma ilustração do conteúdo do arquivo GDS-II enviado para fabricação,

sendo retratado a posição do receptor de *wake-up* dentro desse MPC com a indicação dos blocos que integram o circuito.

Figura 39 – Layout do DT-WuRx com indicação dos blocos do sistema.

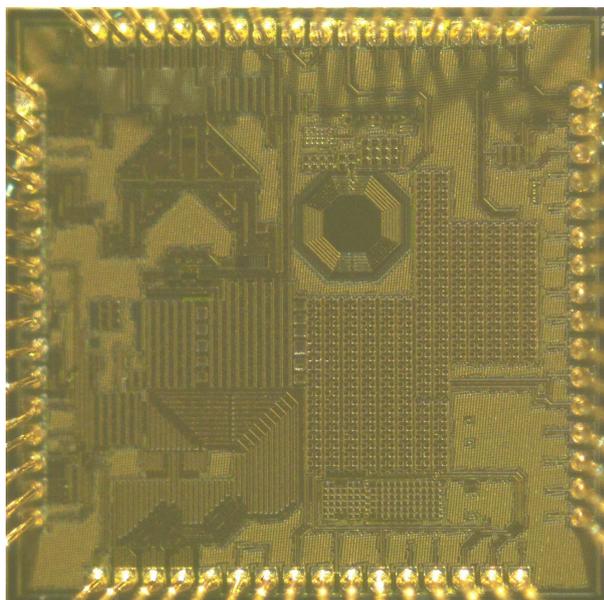


Fonte: Desenvolvido pelo autor

A figura exibe o layout final do circuito da Figura 22 e possui área de $468.92 \times 306.2 \mu\text{m}^2$. É possível notar que na implementação física foram adicionados capacitores para o desacoplamento com a fonte de alimentação no entorno do circuito do receptor, de maneira a preencher os espaços não utilizados.

A Figura 40 é a fotografica do produto entregue pela TSMC, o projeto em silício.

Figura 40 – Fotografia do chip produzido



Fonte: Desenvolvido pelo autor

Esta seção apresentou de maneira resumida alguns procedimentos durante a fabricação do chip, na seção seguinte estão explicitados os passos executados para efetuar a medição do circuito fabricado.

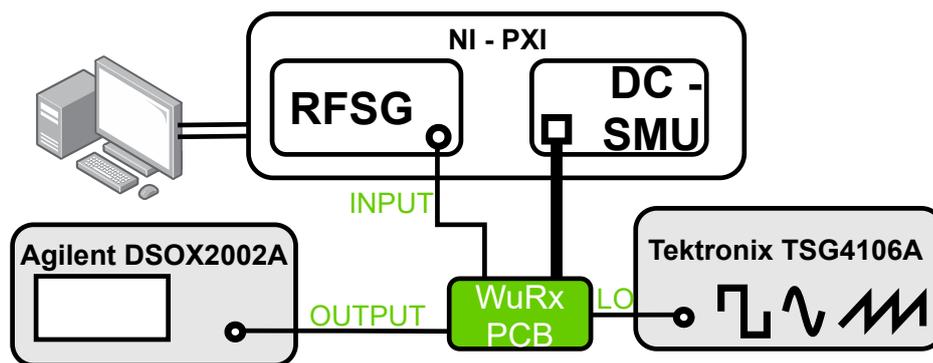
4.5 Teste e validação

Nesta seção serão apresentados itens relacionados ao teste e a validação do chip fabricado. Primeiramente serão descritos os detalhes da construção do ambiente de teste e em um segundo momento será indicada a sequência de execução dos testes, sendo exposto os resultados obtidos juntamente com uma breve discussão sobre eles.

4.5.1 Montagem ambiente de teste

Para a realização do teste funcional do chip foi montado um arranjo de teste para emular o sinal de RF proveniente de uma antena e capturar o sinal resultante na saída do circuito. Esse arranjo, ilustrado na Figura 41, tem como base o equipamento NI® PXI, devido ao conceito de instrumentação virtual desse equipamento, que traz uma grande flexibilidade para o teste. O diagrama mostra que o PXI exerce duas funções para o teste: A primeira é a geração do sinal modulado em OOK para ser injetado na entrada RF do chip, feita através do módulo transceptor vetorial de sinais de radiofrequência (VST, do inglês *Vector Signal Transceiver*) PXIe-5840. E a segunda função é suprir a tensão de alimentação do chip, realizada pelo módulo de Fonte de alimentação (SMU, do inglês *Source Measurement Unit*) PXIe-4145.

Figura 41 – Diagrama do arranjo de teste

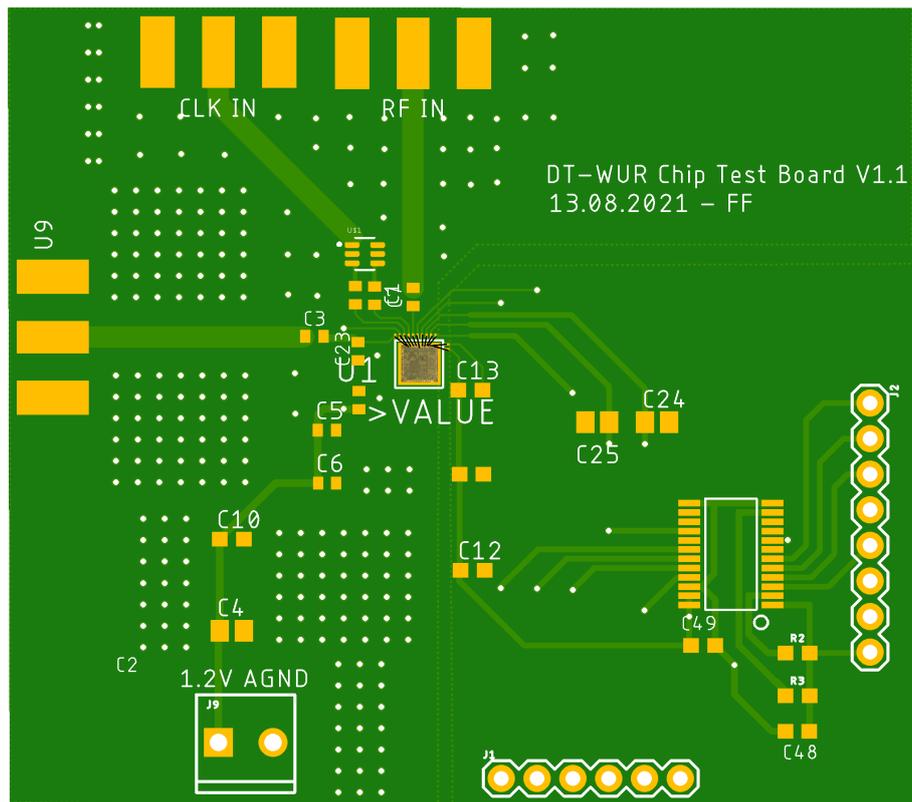


Fonte: Desenvolvido pelo autor

Os outros equipamentos presentes no diagrama são o gerador de RF Tektronix TSG4106A, responsável por fornecer o sinal do oscilador local do chip e o osciloscópio Agilent DSOX2002A, que realizará a captura do sinal de saída do chip. Além disso, a criação de um ambiente de teste requer a elaboração de todo um aparato de teste, que tem por finalidade facilitar a execução dos testes e coleta de dados. Um item que foi desenvolvido nessa etapa foi o projeto de uma placa de circuito impresso (PCB, do inglês *Printed Circuit Board*) de teste, para que o chip

seja manipulado de maneira segura e que seja assegurada uma interferência mínima de fatores externos ao circuito projetado. A PCB fabricada é apresentada na Figura 42, o chip deve ser incorporado a esta placa de modo a fazer uma adaptação dos pinos de entrada e saída do chip para um conector tipo BNC compatível com a antena ou equipamento de teste. O esquemático elétrico dessa PCB é apresentado no apêndice A.

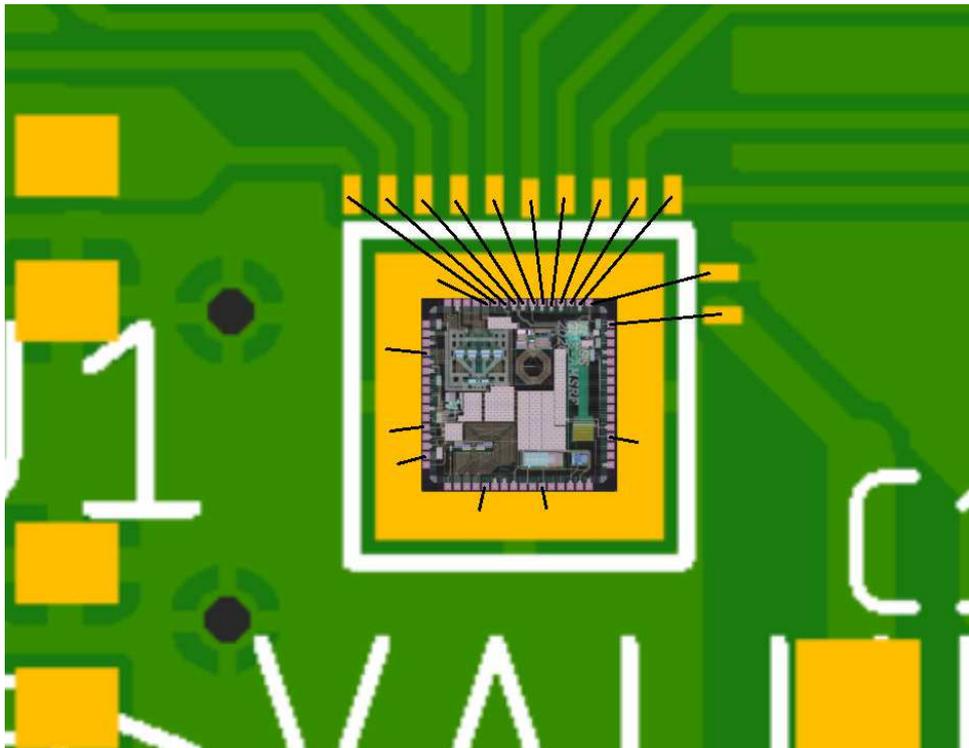
Figura 42 – PCB de teste



Fonte: Desenvolvido pelo autor

Outro detalhe interessante é que o chip foi incorporado a PCB de teste através do método Chip on Board (CoB), conforme é ilustrado na Figura 43, onde o chip é colado diretamente na PCB e as conexões elétricas são feitas através da solda de fios de ouro entre os contatos do circuito integrado e da placa.

Figura 43 – Fixação do tipo Chip on Board



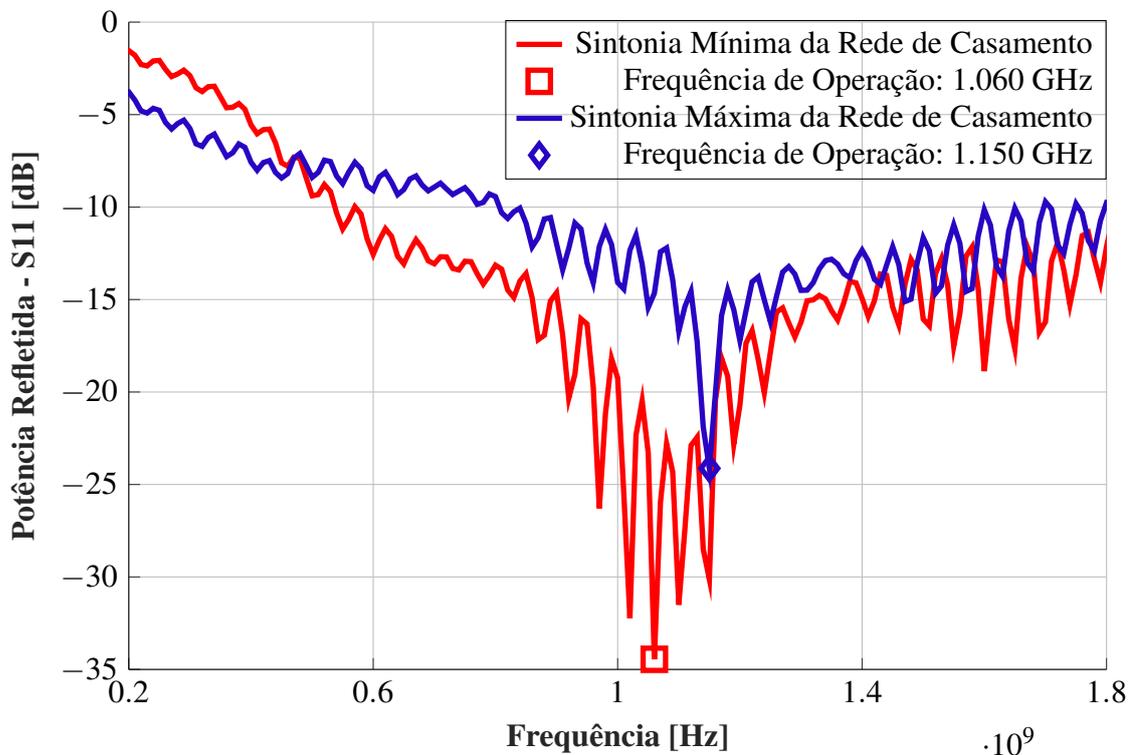
Fonte: Desenvolvido pelo autor

Devido ao posicionamento dos pinos do chip e para facilitar a montagem do chip na placa, optou-se pela solda de fio do tipo bola por causa da sua característica omni-direcional conforme explica Tummala (2001). Por esta razão, se faz necessário que a placa tenha um acabamento do tipo ENEPIG (do Inglês, Electroless Nickel Electroless Palladium Immersion Gold) para permitir esse tipo de solda de fio. A escolha do material de fabricação da PCB se deu em função da faixa de frequência ao qual se planeja operar o receptor. No caso estudado, foi utilizado o composto FR-4 para a fabricação, pois é o material com menor custo e que, conforme explicado por Magri (2008), atende a faixa de frequência de 1 GHz que o dispositivo utiliza.

Com a placa de teste montada, o primeiro passo para a validação do chip foi verificar a situação de sintonia da entrada de recepção e a funcionalidade de ajuste da rede de casamento através de comandos da SPI. Para isso, foi elaborado um sistema para controle específico para a SPI, uma vez que o chip foi elaborado com um protocolo SPI modificado. Os passos executados para a programação da rede de casamento seguem os procedimentos descritos no A. Foi utilizado um Arduino Pro Micro ATMEGA32u4 3v3 8MHZ com o firmware indicado no Apêndice B para controlar a SPI.

A sintonia da porta de entrada de RF do circuito de teste foi determinada através do parâmetro S11 da entrada do chip e foi aferida utilizando o analisador de RF Vetorial de Mão N9923A. Na Figura 44 são apresentadas as características do circuito para os dois casos extremos de configuração da SPI.

Figura 44 – Coeficiente de Potência Refletida na porta de entrada de RF do chip para os dois casos extremos de sintonia da rede de casamento.

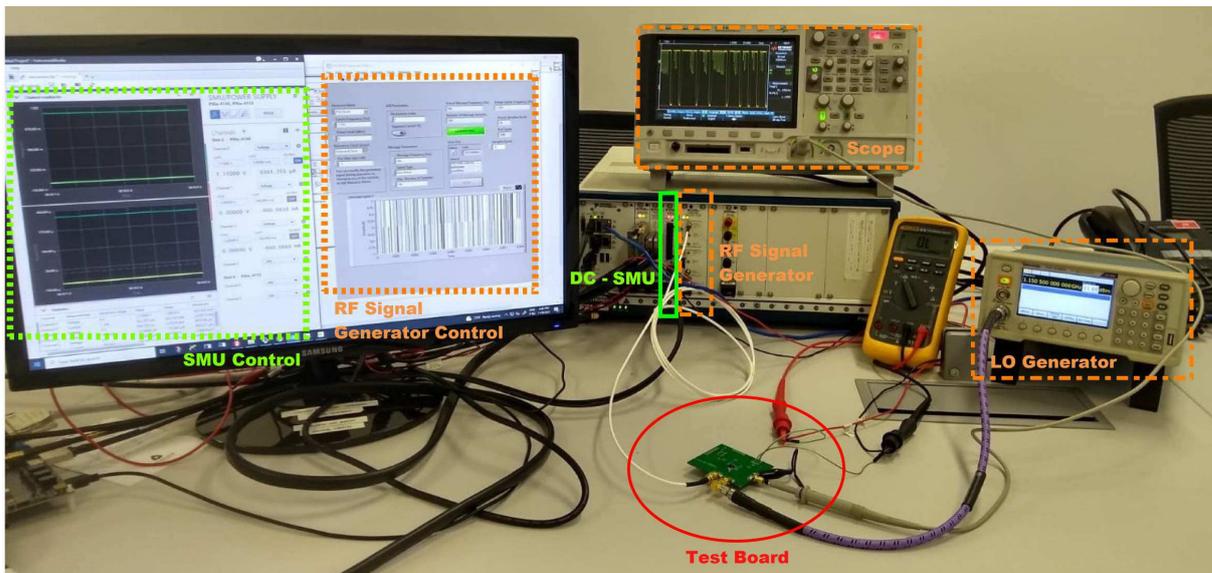


Fonte: Desenvolvido pelo autor

Embora a configuração da rede de casamento via SPI exerça uma mudança perceptível na sintonia do circuito, movendo de 1.15 GHz para 1.06 GHz como é possível avaliar da Figura 44. A sintonia do circuito tem uma faixa bem limitada e que não engloba a frequência de 900 MHz, que é a principal frequência de interesse da aplicação. Isso ocorreu pois na fase de projeto esse recurso foi planejado para um ajuste fino de frequência e também não foi previsto um desvio dessa magnitude no valor da frequência central. Avaliou-se que realizar o procedimento de sintonia do chip não gera um impacto nos resultados apresentados pelo circuito. Por esse motivo e por facilidade de operação, foi definido que para as medidas subsequentes será utilizada a sintonia padrão do chip, de 1.15 GHz.

Uma vez estabelecida a impedância de entrada da placa de teste, os testes seguiram para a integração da PCB com os demais equipamentos. Para a execução dos testes foram utilizados os equipamentos listados no Capítulo 3 e também foram necessários cabos coaxiais com impedância de 50Ω e conectores BNC para fazer a ligação entre a PCB e o equipamento de teste tal qual ilustra a Figura 45.

Figura 45 – Foto da estrutura utilizada para o teste do chip.



Fonte: Desenvolvido pelo autor

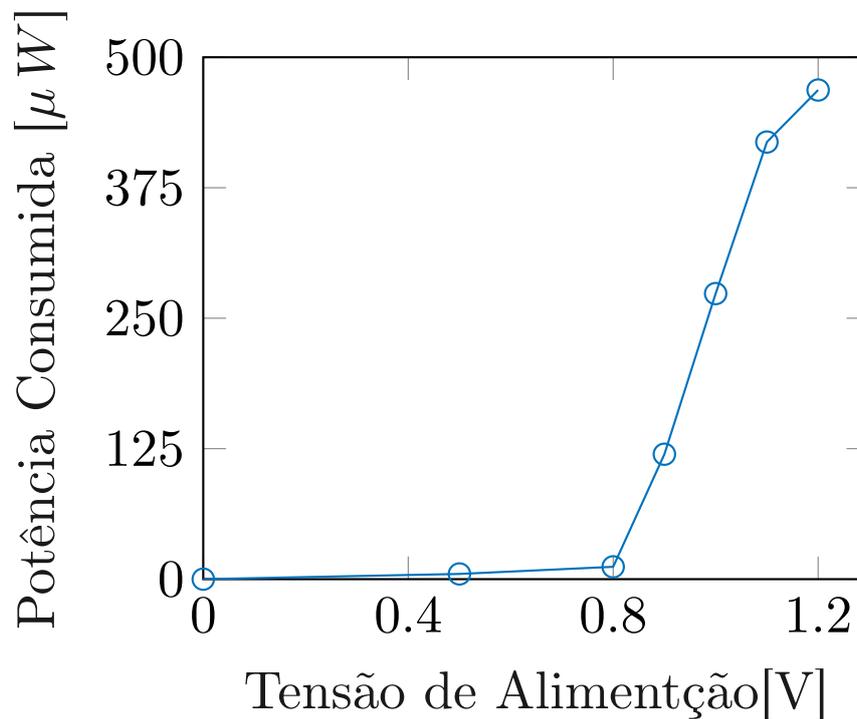
Detalhando o que é indicado na Figura 41 e ilustrado na Figura 45, a controladora PXI utilizou o programa ilustrado no Apêndice C, ficando responsável gerar o sinal de entrada e pela tensão de alimentação para o chip. Na função de gerar o sinal de entrada, o módulo de processamento PXIe-8880 é responsável pela criação da sequência de bits que será transmitida, esse equipamento produz valores de maneira pseudo-aleatória para um número definido de bits. Neste módulo também é processado um conjunto de parâmetros, tais como a potência do sinal gerado, a frequência da portadora, a largura de banda da informação transmitida, que serão utilizados posteriormente pelo módulo PXIe-5840 para configurar as características do sinal de RF modulado com a informação da sequência de bits aleatórios. A unidade de processamento do PXI também permite a variação dos parâmetros e a exibição dos dados coletados pelo módulo de fonte de alimentação PXIe-4545. Esse módulo é o responsável por prover a alimentação DC do chip de forma estável e por efetuar a medida da corrente consumida pelo circuito testado.

O processo de teste e validação do circuito ocorreu em duas etapas, a primeira etapa consiste em verificar os limites de operação, observando a resposta do circuito frente a variações nas condições de teste. A segunda etapa é determinar a sensibilidade do receptor, encontrando a potência mínima do sinal de RF que o receptor consegue detectar.

Desta forma, na primeira etapa foi alterada de maneira independente as variáveis controladas do teste e observou-se a resposta na potência consumida pelo chip. Para o receptor as variáveis controladas são: tensão de alimentação, potência do sinal de entrada RF, potência do sinal do oscilador local, frequência de LO, frequência da informação modulada.

A Figura 46 exhibe o resultado do teste que expõe a relação entre a tensão de alimentação do chip e a potência consumida pelo mesmo.

Figura 46 – Variação da potência total consumida em função da tensão de alimentação

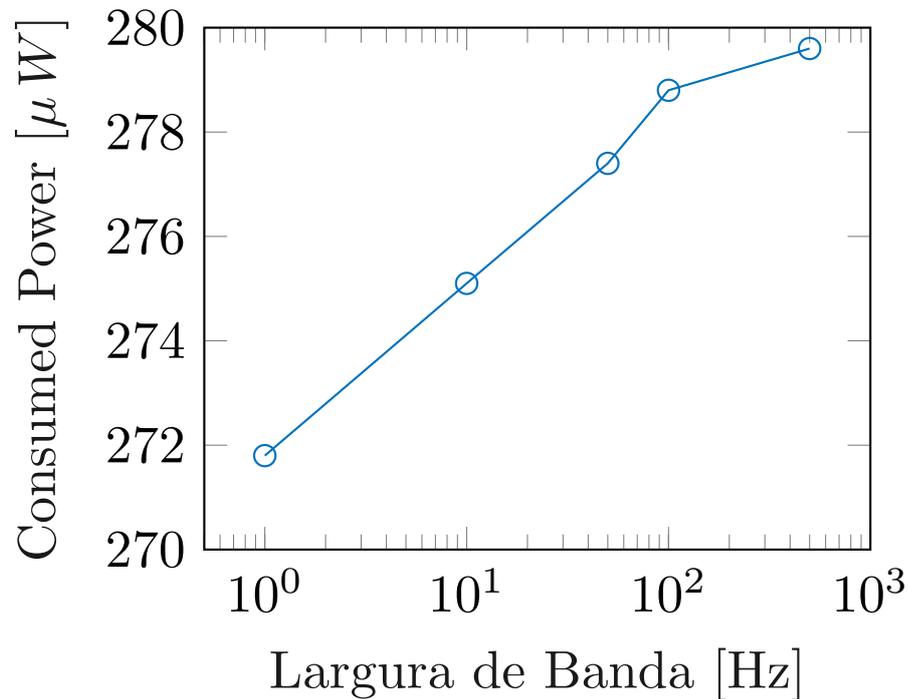


Fonte: Desenvolvido pelo autor

A curva da figura apresenta valores muito baixo de potência consumida para valores da tensão de alimentação inferiores a 0.8 V. Para valores acima de 0.8 V de tensão de alimentação os valores de potência consumida aumentam de forma linear e rapidamente até aproximadamente atingir $480 \mu W$ com 1.2 V de tensão de alimentação. Pode-se interpretar esse ponto de mudança na característica da curva como a mínima tensão para polarização dos transistores, onde para valores abaixo deste ponto os transistores não estão polarizados e portanto não tem um canal formado para passagem de corrente. E para valores acima do ponto supracitado, o aumento de tensão de alimentação aumenta o limite de fornecimento de corrente dos transistores até chegar ao ponto próximo de 1,2 V em que a corrente é limitada pela largura do canal dos transistores e não pela fonte de alimentação.

Em seguida foi alterada a taxa dos dados transmitidos e foi observado o comportamento da potência do chip, o resultado é ilustrado na Figura 47. De acordo com Pletcher e Rabaey (2008) a potência consumida têm relação direta com a largura de banda do receptor, pois o aumento dessa frequência implica em um maior gasto de energia para movimentar as cargas dentro do circuito, carregar e descarregar os capacitores, em um período menor de tempo.

Figura 47 – Variação da potência total consumida em função da taxa de dados

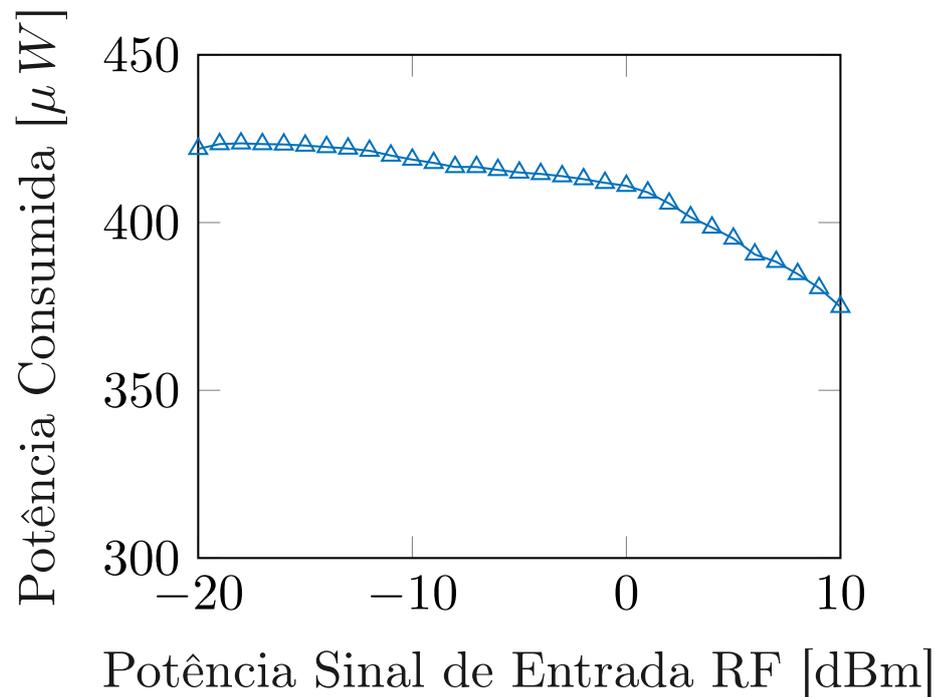


Fonte: Desenvolvido pelo autor

A Figura 47 mostra algo a princípio contraditório com a teoria, pois em valores relativos a potência consumida se mantêm a mesma para todos os valores de taxa de dados. Contudo é importante ressaltar que, uma vez fixada a máxima largura de banda que o circuito trabalha, a potência consumida sofre pouca influência da taxa de dados efetivamente transmitida. Para o caso do circuito proposto, isso se deve pois o consumo do bloco de *aligner* e do divisor de frequência permanecem estáveis nessa situação de operação e é somente o bloco do amplificador de banda base que terá sua potência afetada pela taxa de dados.

Algo semelhante ocorre quando se avalia a potência consumida pelo chip dada uma variação da potência do sinal de RF, como mostra a Figura 48.

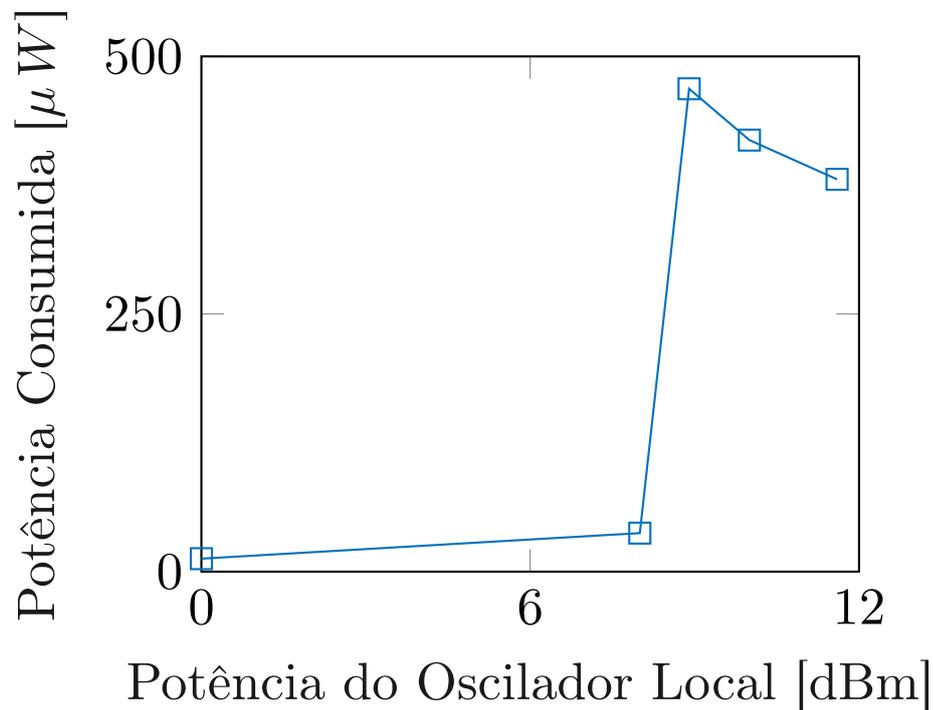
Figura 48 – Variação da potência total consumida em função da potência do sinal RF



Fonte: Desenvolvido pelo autor

Aqui, há uma pequena diminuição da potência consumida para sinais de entrada mais definidos, com maior potência, mas em termos relativos a variação da potência consumida é marginal. O resultado das análises presentes em Figura 47 e Figura 48 indicam que o consumo do receptor proposto sofre pouca influência das características do sinal RF de entrada. O que é algo bastante positivo e até esperado de um circuito receptor, pressupondo que a potência consumida represente razoavelmente bem o ponto operação do circuito, pois em um receptor sem controle ativo de ganho espera-se que circuito tenha o mesmo comportamento para qualquer sinal. Em um cenário basicamente oposto ao anterior, o resultado dos testes da variação do consumo do chip frente a mudanças na característica do sinal de LO mostra que esse sinal é muito influente no consumo do chip. O primeiro parâmetro de LO avaliado foi a potência do sinal injetado. O gráfico na Figura 49 mostra, em linhas gerais, que o chip consome menos para sinais de LO com maior potência.

Figura 49 – Variação da potência total consumida em função da potência do oscilador local

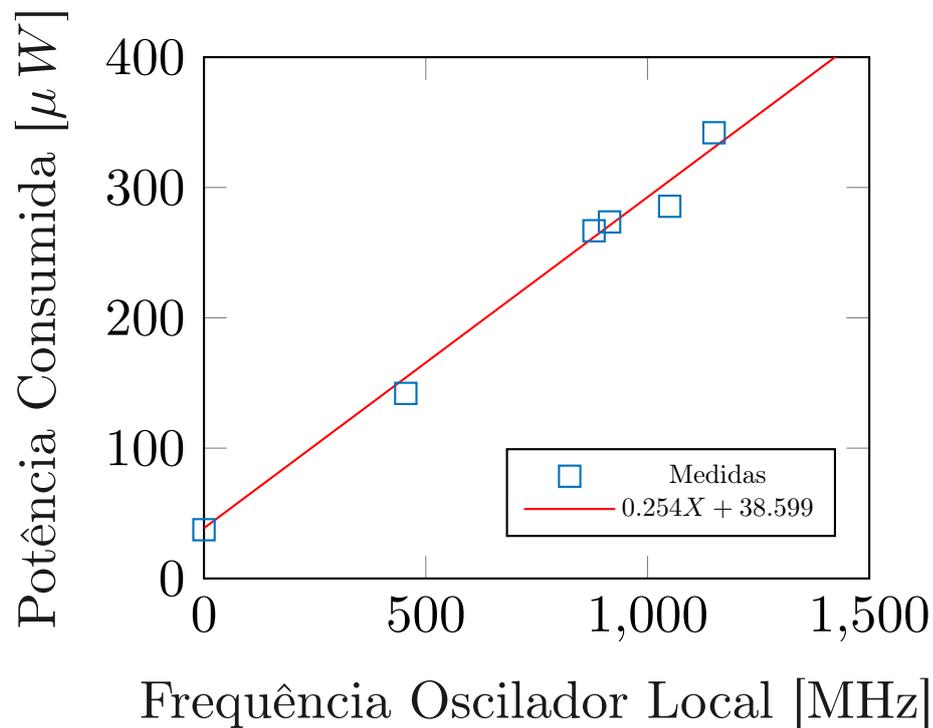


Fonte: Desenvolvido pelo autor

Assim como na Figura 46, na Figura 49 há um degrau da resposta do circuito. De forma que, o circuito consome uma potência muito baixa para potências de LO inferiores a 8 dBm e a curva apresenta um comportamento distinto para valores de LO acima de 8 dBm. Conjeturando que essa descontinuidade seja o *aligner* iniciando sua operação, se tem uma indicação que a potência consumida por este bloco é de aproximadamente $400 \mu\text{W}$ e por consequência a potência consumida pelo circuito quando excluído o *aligner* de $46.3 \mu\text{W}$. Isso vai ao encontro ao valor de potência consumida pelo bloco do *aligner*, de $412.947 \mu\text{W}$, apresentado pela Tabela 8 obtida durante a fase de simulação.

A Figura 50 apresenta o resultado da variação da frequência de LO, o gráfico expõe a forte relação entre a potência consumida e a frequência de LO do circuito. O que é coerente com Tan e Jiang (2018), que afirma que essa é a situação da maioria dos circuitos com características digitais, onde a potência total é majoritariamente definida pela potência dinâmica.

Figura 50 – Variação da potência total consumida em função da frequência do oscilador local



Fonte: Desenvolvido pelo autor

Da Figura 50 também é possível obter a potência estática do chip, de $38.599 \mu W$, que corresponde a potência consumida no bloco do regulador de tensão, amplificador de banda base e pela corrente de fuga de todo o circuito. aproximado do valor da Tabela 8 que foi previsto em simulação. Vale lembrar que este circuito foi implementado em TSMC180nm, uma tecnologia estabelecida há alguns anos, que carece de alguns avanços importantes na fabricação e cujo tamanho mínimo dos transistores não é a mais adequada para aplicações em alta frequência.

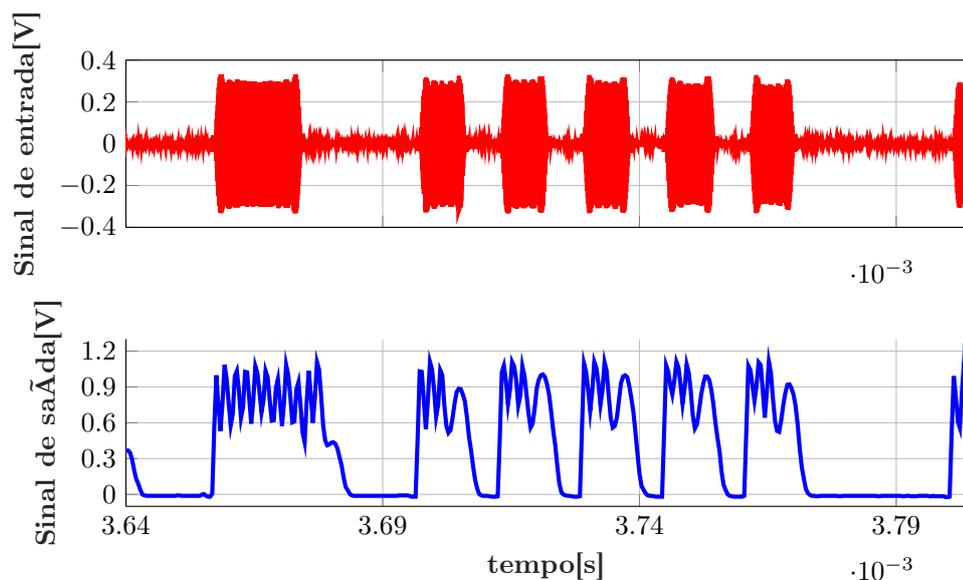
Com base nos resultados apresentados nesta primeira etapa de teste do chip foi verificado que o chip obteve melhor desempenho quando operado em um ponto distinto do inicialmente projetado. Dessa forma, a frequência central do sinal de teste e a frequência do oscilador local foram alteradas de 900 MHz para 1,15 GHz, a taxa de dados foi alterada de 100 kbps para 50 kbps e a tensão de alimentação foi alterada de 1,2 V para 1,1 V. Na segunda etapa do processo de teste, a operação do receptor foi estabelecida em um ponto operacional fixo, conforme a Tabela 6, e foi realizado um ensaio de transmissão conduzida do sinal.

Tabela 6 – Configuração utilizada para o ensaio de transmissão do receptor de *wake-up*

Ponto de Operação		
Tensão de alimentação	1.1	V
Taxa de dados	50	kHz
Frequência de LO	1.15	GHz
Potência de LO	10	dBm
Potência de RF	-10	dBm

Fonte: Desenvolvido pelo autor

O sinal gerado pelo PXI, apresentado em vermelho na Figura 51, foi injetado na entrada de RF do chip e coletou-se com o osciloscópio a forma de onda presente no pino de saída, representado pela segunda forma de onda da Figura 51.

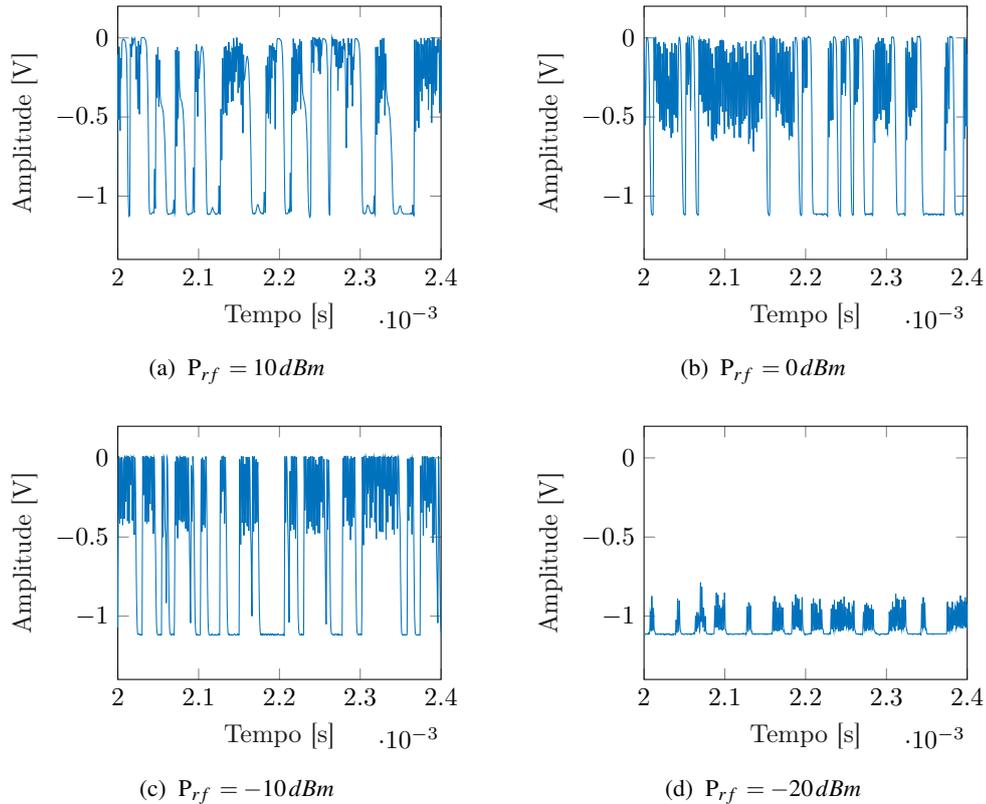
Figura 51 – Resposta do receptor de *wake-up* para um sinal de 900 MHz modulado em OOK

Fonte: Desenvolvido pelo autor

A forma de onda do sinal da saída apresenta uma grande correspondência com o sinal de informação que modula o sinal RF, além disso é possível observar a presença de um sinal de alta frequência interferindo com o sinal da saída. Como este sinal indesejado está presente apenas nos picos e não nos vales do sinal de saída, especula-se que esse efeito seja causado por algum vazamento do sinal de RF para os circuitos em banda-base.

O conjunto, da Figura 52, mostra as formas de onda da saída respectiva a potência do sinal de entrada aplicada, sendo apresentada as potências de 10, 0, -10 e -20 dBm, respectivamente.

Figura 52 – Sinal de saída para diferentes potências de entrada



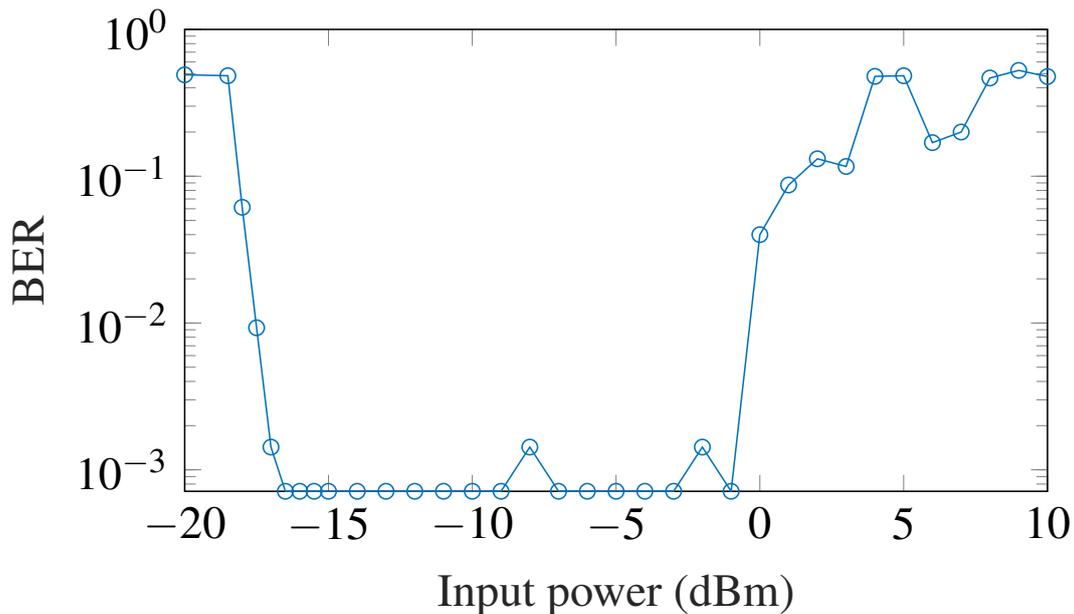
Fonte: Desenvolvido pelo autor

É possível observar pelo conjunto de forma de ondas que o circuito executa corretamente o processo de translação do sinal RF recebido em banda passante para banda base, pois é possível identificar a informação recebida em todas as imagens. O receptor responde satisfatoriamente para sinais de entrada com potências maiores. Contudo, esse sinal já não é detectável na Figura 52d, para a potência de entrada de -20 dBm, devido a baixa amplitude do sinal de saída não ultrapassar o limite de decisão binário. Comparando a Figura 52a e a Figura 52b, nota-se uma leve degradação no sinal de saída para sinais de entrada com potência mais alta. Isso se deve à saturação no transcondutor na entrada do receptor para sinais que extrapolam seus limites de operação. Durante a fase de exploração dos limites do circuito, realizado na primeira etapa do processo de verificação, foi verificado que a faixa de valores de potência do sinal RF que o receptor opera pode ser levemente deslocada conforme os valores aplicados de tensão de alimentação e de potência do sinal do oscilador local. Dessa forma, é levantada a hipótese se o que está ocorrendo não é uma insuficiência de ganho do receptor para amplificar o sinal da saída e uma distorção proveniente do amplificador de banda base gerado por uma não conformidade no ponto de polarização dos seus transistores.

Para além de uma análise qualitativa das formas de onda, o sinal da saída do chip foi processado para retornar um valor quantitativo do mérito da recepção do circuito. Foi

utilizada a taxa de erro de bit, do inglês *Bit Error Rate* ou BER, para apontar o número de bits errados para um conjunto de bits transmitidos. Esse índice foi obtido através da comparação da sequência de bits enviado com a sequência recebida pelo receptor de *wake-up*, repetindo este procedimento para diferentes sequências transmitidas com diferentes valores de potência do sinal de entrada RF é possível compor a Figura 53.

Figura 53 – Taxa de erro de bit em função da potência do sinal de entrada RF



Fonte: Desenvolvido pelo autor

Examinando a figura tem-se que de fato o receptor atinge uma taxa de erro próxima a faixa de 10^{-3} , considerada por Hsieh et al. (2016) e Moazzeni, Sawan e Cowan (2015) como um nível aceitável de erros para a comunicação digital. Ainda pela figura esse nível de BER ocorre dentro de uma faixa de valores de potência do sinal RF, o que corrobora a percepção e análise feita para a Figura 52. De maneira geral pode-se associar o limite inferior dessa faixa como a sensibilidade do receptor, sendo assim temos que a sensibilidade do circuito proposto é de -17 dBm. Neste caso, o valor medido está abaixo do valor obtido através da simulação, de 50 dBm, conforme apontado na Tabela 1. Alguns fatores contribuíram para esse desvio entre valor simulado e o medido, por exemplo a sintonia da rede de casamento estar deslocada do valor inicialmente projetado, o que implica em uma perda por reflexão de potência na entrada do circuito; a influência de ganho do circuito do receptor e provavelmente o amplificador de banda base polarizado em um ponto não ideal.

Por fim, na Tabela 7 foi feita a comparação das métricas obtidas para o circuito projetado com o que se têm de outros receptores de *wake-up* em nós tecnológicos próximos em publicações recentes de conferências e revistas relevantes na área de circuitos para radiofrequência.

Tabela 7 – Comparativo do circuito projetado com trabalhos correlatos da literatura

Referência	Características	Tecnologia [nm]	Tensão de alimentação [V]	Frequência de modulação [MHz]	Taxa de Dados [KHz]	Sensibilidade [dBm]	Consumo de Potência [μ W]	Área do Chip [μ m ²]
Receptor Proposto		180	1,1	1150	50	-17	46,3	469 x 307
(HSIEH et al., 2016)	Two-stage RF amplifier Envelop Detector LPF five-stage limiting amplifier curren mirror	180	0,45	402	50	-55	129	189 x 175
(MOAZZENI; SAWAN; COWAN, 2015)	SAW filter amplifier Envelop detector 1-bit ADC Digital decoder VCO freq. cal with off-chip oscillator.	130	1,2	902	200	-75	22,9	1000x1000
(DING et al., 2017)		90	2	2400	100	-58	384	36x36
(ALGHAIHAB et al., 2019)	LNA + Mixer IF BPF Envelop detector ADC	65	-	2400	112,5	-57,5	150	34 x34
(SOLIMAN et al., 2019)	MEMS Resonator Rectifier Amplifier Latch rectifier	65	1	400	100	-47	0,018	200 x 150
(ELGANI et al., 2018)	Off-chip MN LNA Rectifier Comparator	90	1,2	868	1	-54	0,013	-
(MANGAL; KINGET, 2019)	Self-Mixer Amplifier VCDL DLL Latch digital correlator	65	0,1	1016	0,1	-74	0,00047	250 x 370

Fonte: Desenvolvido pelo autor

Como foi abordado anteriormente, o circuito proposto apresentou algumas não conformidades em relação a operação prevista em simulação, inviabilizando qualquer comparação honesta com outros circuitos receptores presentes na literatura. Contudo, observando a tabela de maneira otimista, temos que o circuito receptor proposto apesar de ter um ou mais blocos com o funcionamento comprometido ainda apresenta métricas.

Nessa sessão foi apresentado o procedimentos para a medição do chip, os valores obtidos foram expostos e foi brevemente discutido os resultados. Na próxima sessão serão apresentados alguns aperfeiçoamentos para o circuito que foi idealizado durante o processo de fabricação e medição.

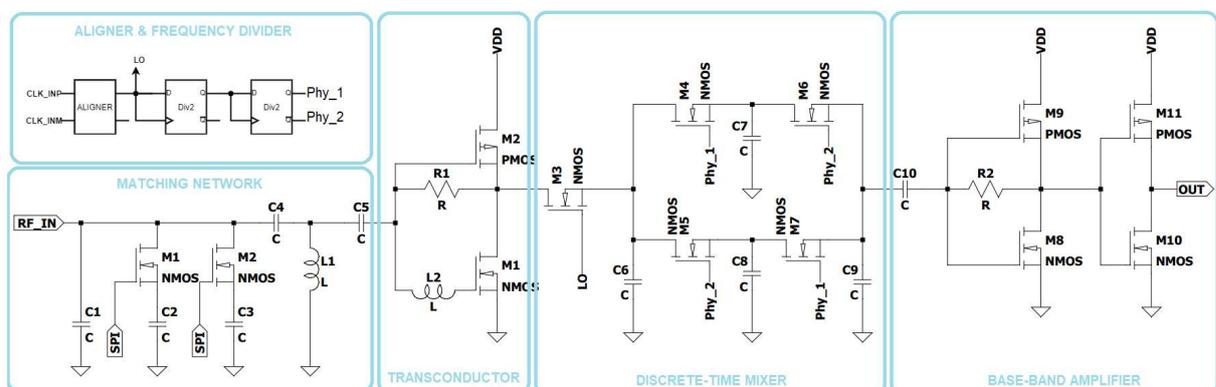
4.6 Aperfeiçoamento

Esta sessão irá apresentar alguns aperfeiçoamentos do circuito proposto nesse trabalho, essas melhorias serão aplicadas em um outro chip que está sendo fabricado em uma nova rodada de *tape-out*.

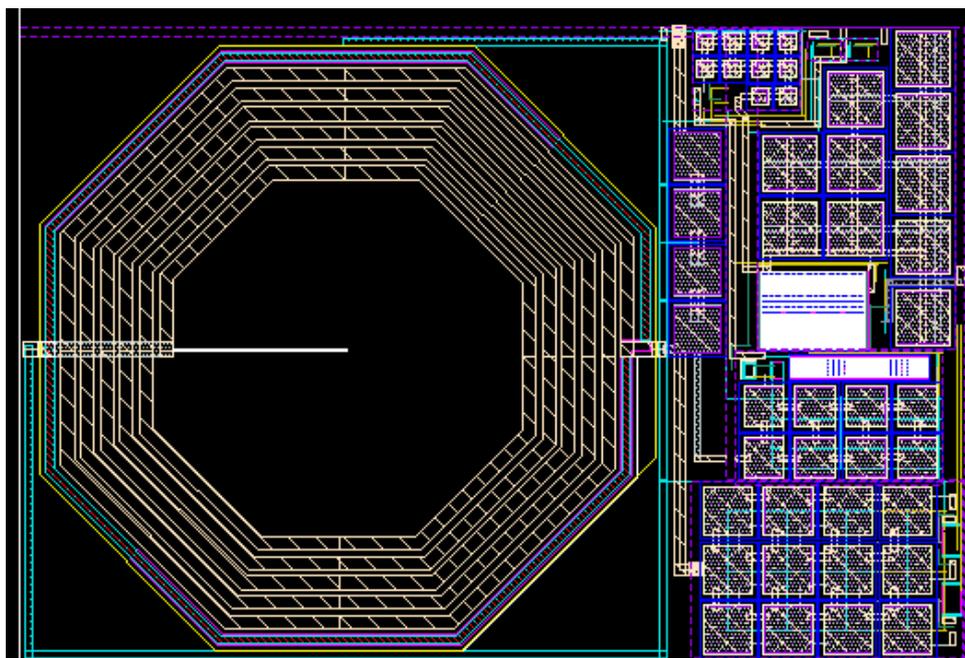
Ao longo do desenvolvimento foram encontrados pontos que poderiam ser melhorados em uma segunda versão do circuito. O circuito esquemático na Figura 54 aponta uma proposta de implementação de algumas dessas melhorias. Por exemplo, a utilização de uma topologia de *mixer* de tempo discreto paralela conforme desenvolvido por Yo-Chuol et al. (2006). Outra possibilidade explorada é a utilização de amplificadores baseados em inversores auto-polarizados, eliminando a necessidade de um circuito de referência de tensão para polarização de transistores.

As Figura 54 e Figura 55 apresentam, respectivamente, o diagrama esquemático dessa segunda versão do chip proposto e a vista de layout correspondente.

Figura 54 – Circuito do receptor de *wake-up* apresentando melhorias propostas.



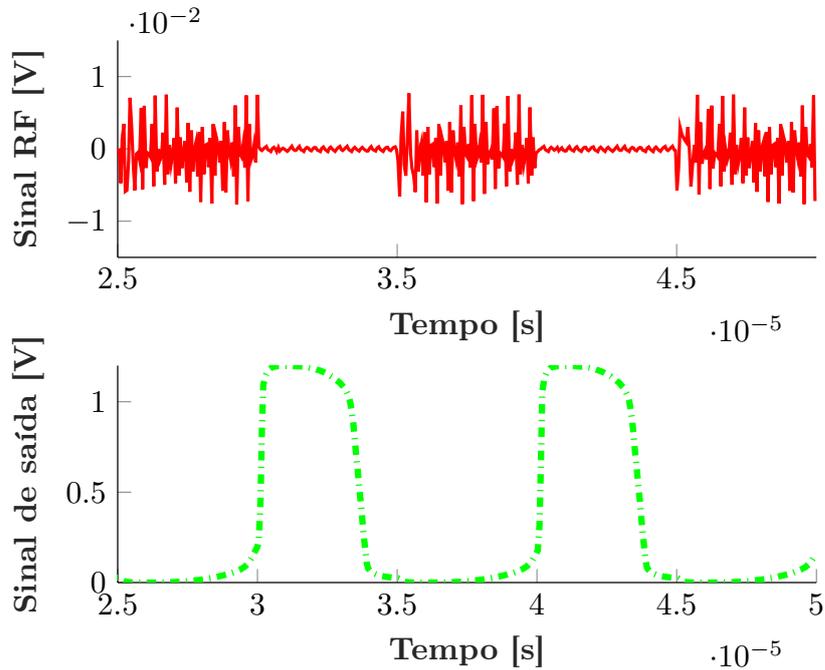
Fonte: Desenvolvido pelo autor

Figura 55 – Layout da versão aprimorada do receptor de *wake-up*.

Fonte: Desenvolvido pelo autor

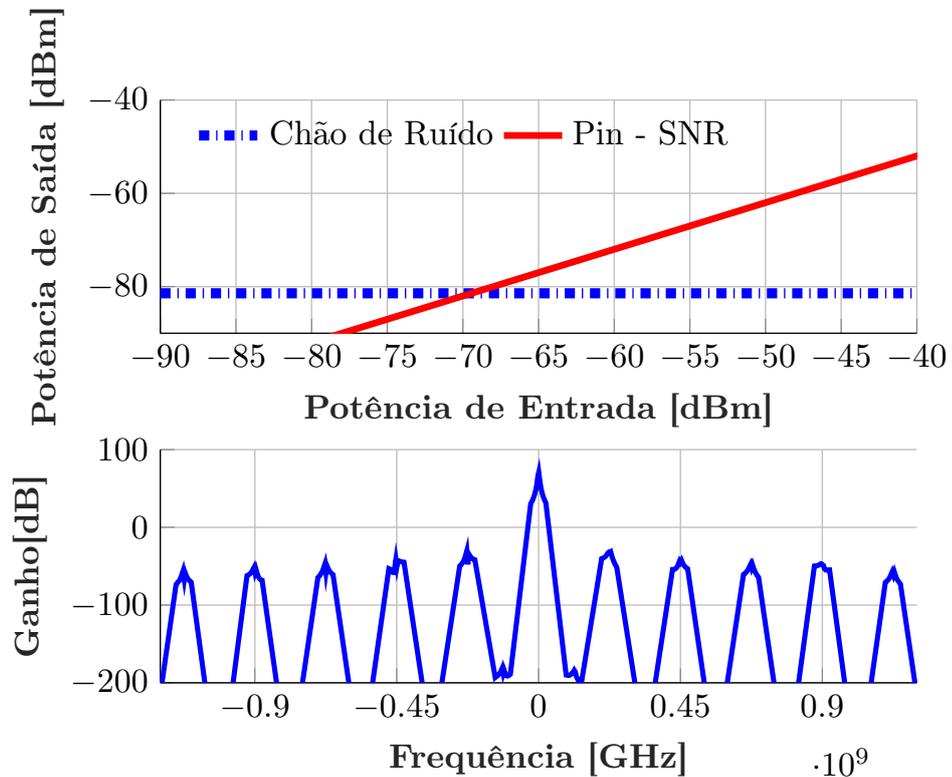
Para o layout extraído do circuito melhorado do receptor *wake-up* de tempo discreto são efetuados ensaios típicos de circuitos de radiofrequência, como é o caso da PSS, PAC e PXF. Na Figura 56 e Figura 57 são apresentados o comportamento do circuito melhorado ao ensaios realizados.

Figura 56 – Resposta da análise transiente com potência de entrada de -65 dBm para o receptor de wake-up melhorado.



Fonte: Desenvolvido pelo autor

Figura 57 – Resposta de sensibilidade e ganho de pequenos sinais do receptor de *wake-up*.



Fonte: Desenvolvido pelo autor

A partir dos gráficos é possível obter a informação que o circuito apresenta ganho de potência de 70 dB, um chão de ruído de -81 dBm e uma sensibilidade de -70 dBm. A partir do ensaio de sinal transiente também é possível obter a potência consumida na operação do circuito. As informações obtidas são indicadas na Tabela 8. Onde foi feita a captação dessas informações para os diversos blocos que integram o receptor, sendo importante ressaltar que a computação da potência consumida total do circuito apresentado não leva em consideração o bloco do *aligner*.

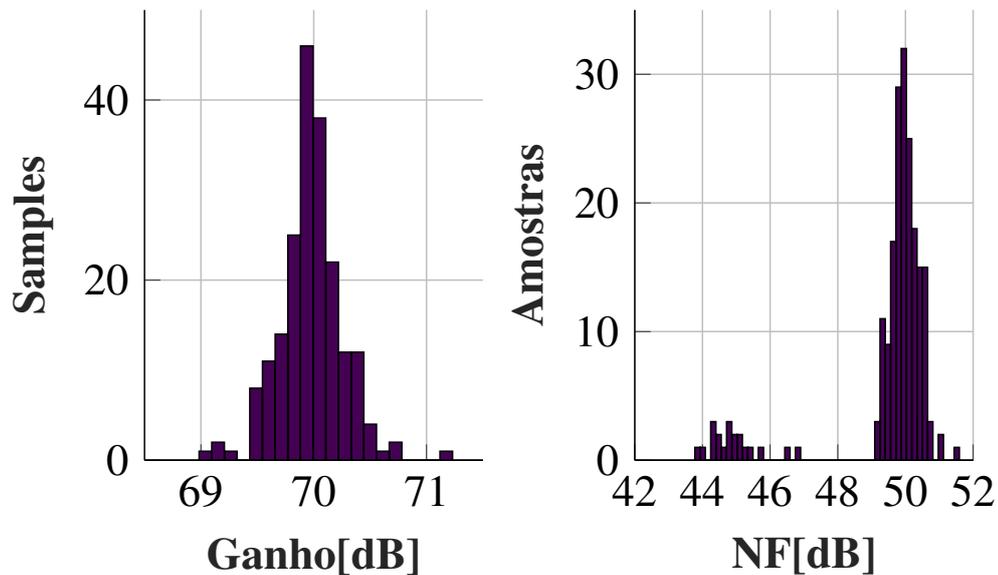
Tabela 8 – Distribuição de potência para os blocos do receptor de *wake-up*.

Distribuição de potência		
Bloco	Potência consumido [uW]	Percentage [%]
Rede de casamento	0	0
Transcondutor	1.33	4
Mixer de tempo discreto	0	0
Amplificador de banda base	5.32	16
Divisores de frequência	18.76	56.28
CLK_Buffer	7.92	23.76
TOTAL	33.33	100

Fonte: Desenvolvido pelo autor

Note-se que os blocos da Rede de Casamento e do Mixer de Tempo Discreto apresentam consumo de potência nulo, isso se deve pois ambos os circuitos não tem uma ligação direta com a fonte de alimentação. Certamente há consumo de potência pelos componentes desses blocos, mas esse consumo está sendo contabilizado no valor dos blocos adjacentes.

Para melhor assegurar a validade dos resultados obtidos em simulação e antever situações indesejadas causadas por desvios, como aconteceu no primeiro *tape-out* do circuito proposto. Para essa segunda versão do chip foi realizado uma análise de Monte-Carlos para determinar a robustez do projeto do circuito do receptor frente a variações de processo, o ensaio foi realizado com 200 amostras para variação de processo tendo em conta o circuito operando na pior situação de temperatura e tensão de alimentação. Conforme indicado na Figura 58, foram avaliados a métricas de ganho de tensão e a figura de ruído do receptor.

Figura 58 – Análise de Monte-Carlo com 200 amostras para o receptor de *wake-up*

Fonte: Desenvolvido pelo autor

A análise aponta que o circuito tem ganho de tensão de 70 dB com um desvio menor que 1 dB para 3σ de variação. No caso da figura de ruído, o valor modal foi de 50 dB com um desvio de 6 dB, o que ainda está dentro da faixa do aceitável.

Nesse capítulo apresentou as etapas do desenvolvimento do circuito do receptor e foram explicitados os resultados obtidos, tanto em simulação com de medição. Foi visto aqui que a primeira versão do circuito apresentou medidas que corroboravam a simulação mas, possivelmente houve lacunas na abrangência das simulações. Uma indicação disso é a insuficiência do circuito amplificador de banda-base que é apontado pelo resultado medido do chip, ao qual poderia ser detectada realizando um teste transiente com níveis de potência baixos. O resultado medido não é satisfatório para a aplicação proposta. Apesar disto, acredita-se o projeto em si seja interessante e bastante inovador e que possa ser corrigido em uma segunda versão. Isso se comprova pelo retorno positivo ao projeto de pesquisa evidenciado pelo aceite do artigo que foi submetido para a 19TH IEEE INTERREGIONAL NEWCAS CONFERENCE com o Título: *A Flexible Low-Cost Discrete-Time Wake-up Receiver for LoRaWAN applications*. Planeja-se também elaborar um artigo complementar a este após a realização das medidas, de forma que contenha os resultados do chip validado em silício.

Neste capítulo foram apresentados os resultados preliminares da pesquisa sobre o desenvolvimento de um receptor de *wake-up*. Dentro das diversas etapas do projeto, foram evidenciados as considerações assumidas, os cálculos realizados, os processos executados e as respostas do circuito para diferentes ensaios. No próximo capítulo são manifestadas as conclusões obtidas das informações processadas ao longo do projeto de pesquisa.

5 CONCLUSÃO

Neste capítulo os objetivos propostos para a pesquisa serão revisitados e serão apontadas as contribuições provenientes deste trabalho.

Uma das contribuições desse trabalho foi avaliar as arquiteturas de receptores presentes na literatura para a utilização em um receptor de *wake-up*. Foi observado que as arquiteturas com funcionamento passivo são, em geral, as melhores opções para serem utilizadas no circuito estudado devido ao baixo consumo de potência. Contudo as métricas desse tipo de arquitetura são bastante influenciadas pelo nó tecnológico. As arquiteturas com funcionamento ativo por sua vez, costumam consumir uma maior potência, mas oferecem vantagens como uma maior flexibilidade no projeto e uma maior sensibilidade.

No trabalho foi escolhido utilizar a arquitetura de tempo discreto pois, nesse caso, a implementação do circuito receptor de *wake-up* operando em sub-gigahertz era bastante simples e de fácil compreensão. Neste âmbito, outro produto resultante desta pesquisa é a definição do circuito do receptor de tempo discreto com os componentes dimensionados para TSMC180NM. Cujo funcionamento foi projetado e confirmado por simulação para operar em 900 MHz com sensibilidade de -52 dBm e consumo de potência de 29,33 μW . Outro objetivo alcançado por esta pesquisa, conforme apontado na introdução deste trabalho, foi a implementação física do circuito e do seu respectivo arranjo de teste. Para além dos itens materiais fabricados, a pesquisa também produziu a documentação descrevendo os processos de fabricação.

Completando o objetivo de fazer uma avaliação a partir dos resultados medidos no receptor implementado em CMOS 180 nm, tem-se que o circuito apresentou uma sensibilidade de -17 dBm para uma operação com frequência central de 1,15 GHz, consumo de aproximadamente 46,3 μW , excluindo o consumo do bloco do *aligner*, para uma fonte de 1,1 V. Verificou-se que o circuito do chip não corresponde com os valores obtidos em simulação e, por consequência, não atende as especificações da aplicação estudada. Uma possível causa desta não conformidade pode ser a insuficiência de ganho causada pelo deslocamento do ponto quiescente dos transistores do amplificador de banda-base. Como já era esperado de um chip com pelo menos um bloco corrompido, o circuito proposto apresentou métricas inferiores quando comparado com outros receptores de *wake-up* presentes na literatura.

Este trabalho suscita a exploração de novos arranjos, como os que são abordados na sessão 4.6, e outras aplicações para essa arquitetura de circuito. Por exemplo, verificar o desempenho dessa arquitetura com um protocolo de comunicação com maior complexidade e não tão dependente da amplitude do sinal. E a utilização de uma arquitetura que elimine a necessidade de um oscilador local.

Por fim, avalia-se que o projeto de pesquisa atendeu com sucesso seus objetivos. Esse

trabalho apresentou uma prova de conceito de uma arquitetura inédita para a aplicação estudada: Um receptor com uma estrutura de tempo discreto com capacitor comutado. Não obstante, essa pesquisa transitou por todas as etapas do projeto de um circuito integrado - desde a conceituação, passando pelo desenvolvimento, implementação e medição do chip.

REFERÊNCIAS BIBLIOGRÁFICAS

AL-SARAWI, S. et al. Internet of things market analysis forecasts, 2020–2030. In: *2020 Fourth World Conference on Smart Trends in Systems, Security and Sustainability (WorldS4)*. [S.l.: s.n.], 2020. p. 449–453. Citado na página 13.

ALGHAIHAB, A. et al. Enhanced interference rejection bluetooth low-energy back-channel receiver with lo frequency hopping. *IEEE Journal of Solid-State Circuits*, v. 54, n. 7, p. 2019–2027, 2019. Citado 3 vezes nas páginas 35, 36 e 74.

ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. OUP USA, 2012. ISBN 9780199937424. Disponível em: <<https://books.google.com.br/books?id=AqrCLwEACAAJ>>. Citado na página 38.

BAGHERI, R. et al. Software-defined radio receiver: dream to reality. *IEEE Communications Magazine*, v. 44, n. 8, p. 111–118, 2006. Citado na página 26.

BAKER, R. *CMOS: Circuit Design, Layout, and Simulation, Third Edition*. [S.l.: s.n.], 2010. v. 18. ISBN 978-0470881323. Citado na página 48.

BAUMGRATZ, F. D. et al. 40-nm cmos wideband high-if receiver using a modified charge-sharing bandpass filter to boost q-factor. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 65, n. 8, p. 2581–2591, 2018. Citado 2 vezes nas páginas 43 e 48.

BENSKY, A. *Short-range Wireless Communication: Fundamentals of RF System Design and Application*. Elsevier Science, 2004. ISBN 9780080470054. Disponível em: <<https://books.google.com.br/books?id=AoF1asCdbNgC>>. Citado na página 17.

BESSER, L.; GILMORE, R. [S.l.: s.n.], 2003. Citado na página 23.

BOWICK, C. *RF Circuit Design*. Elsevier Science, 2011. (RF Bundle, RF Circuit Design Series). ISBN 9780080553429. Disponível em: <<https://books.google.com.br/books?id=zpTnMsiUkmwC>>. Citado 3 vezes nas páginas 21, 22 e 24.

CHEONG, P. S. et al. Comparison of lorawan classes and their power consumption. In: *2017 IEEE Symposium on Communications and Vehicular Technology (SCVT)*. [S.l.: s.n.], 2017. p. 1–6. Citado na página 42.

COUNCIL, N. R. *Wireless Technology Prospects and Policy Options*. Washington, DC: The National Academies Press, 2011. ISBN 978-0-309-16398-9. Disponível em: <<https://www.nap.edu/catalog/13051/wireless-technology-prospects-and-policy-options>>. Citado na página 13.

DEVIKA, S. Environmental impact of improper disposal of electronic waste. In: *Recent Advances in Space Technology Services and Climate Change 2010 (RSTS CC-2010)*. [S.l.: s.n.], 2010. p. 29–31. Citado na página 14.

DING, M. et al. A 2.4ghz ble-compliant fully-integrated wakeup receiver for latency-critical iot applications using a 2-dimensional wakeup pattern in 90nm cmos. In: *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. [S.l.: s.n.], 2017. p. 168–171. Citado 3 vezes nas páginas 35, 36 e 74.

ELGANI, A. et al. Nanowatt wake-up radios: Discrete-components and integrated architectures. In: *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. [S.l.: s.n.], 2018. p. 793–796. Citado 3 vezes nas páginas 35, 36 e 74.

FERREIRA, S. B. et al. System design of a 2.75-mw discrete-time superheterodyne receiver for bluetooth low energy. *IEEE Transactions on Microwave Theory and Techniques*, v. 65, n. 5, p. 1904–1913, 2017. Citado 3 vezes nas páginas 24, 44 e 48.

HATTON, M. *The IoT in 2030: Which applications account for the biggest chunk of the 1.5trillionopportunity?TransformaInsights*, 2020. Disponível em: <>. Citado na página 13.

HSIEH, J. et al. A 0.45-v low-power ook/fsk rf receiver in 0.18 μm cmos technology for implantable medical applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 63, n. 8, p. 1123–1130, 2016. Citado 4 vezes nas páginas 35, 36, 73 e 74.

HUANG, X. Ultra-low-power event-driven radio design. In: . [S.l.: s.n.], 2014. Citado 3 vezes nas páginas 30, 31 e 33.

HUEBER, G.; STASZEWSKI, R. B. Discretetime processing of rf signals. In: _____. *Multi-Mode / Multi-Band RF Transceivers for Wireless Communications: Advanced Techniques, Architectures, and Trends*. [S.l.: s.n.], 2011. p. 219–245. Citado 4 vezes nas páginas 25, 27, 28 e 30.

KIM, M.; CHO, S. A 0.8v, 37nw, 42ppm/ $^{\circ}\text{c}$ sub-bandgap voltage reference with psrr of 81db and line sensitivity of 51ppm/v in 0.18um cmos. *2017 Symposium on VLSI Circuits*, p. C144–C145, 2017. Citado na página 54.

LEE, T. *The Design of CMOS Radio-Frequency Integrated Circuits*. Cambridge University Press, 2004. ISBN 9780521835398. Disponível em: <<https://books.google.com.br/books?id=io1hL48OqBsC>>. Citado na página 34.

LIANDO, J. et al. Known and unknown facts of lora: Experiences from a large-scale measurement study. *ACM Transactions on Sensor Networks*, v. 15, p. 1–35, 02 2019. Citado na página 32.

MAGRI, V. Integridade de sinais em placas de circuito impresso de altas taxas. In: . [S.l.: s.n.], 2008. Citado na página 63.

MANGAL, V.; KINGET, P. R. Sub-nw wake-up receivers with gate-biased self-mixers and time-encoded signal processing. *IEEE Journal of Solid-State Circuits*, v. 54, n. 12, p. 3513–3524, 2019. Citado 3 vezes nas páginas 35, 36 e 74.

MARINKOVIC, S. J.; POPOVICI, E. M. Nano-power wireless wake-up receiver with serial peripheral interface. *IEEE Journal on Selected Areas in Communications*, v. 29, n. 8, p. 1641–1647, 2011. Citado na página 47.

MOAZZENI, S.; SAWAN, M.; COWAN, G. E. R. An ultra-low-power energy-efficient dual-mode wake-up receiver. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 62, n. 2, p. 517–526, 2015. Citado 4 vezes nas páginas 35, 36, 73 e 74.

NILSSON, E.; SVENSSON, C. Ultra low power wake-up radio using envelope detector and transmission line voltage transformer. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, v. 3, n. 1, p. 5–12, 2013. Citado na página 14.

OKADA, K. *Digitally-assisted analog and RF CMOS circuit design for software-defined radio*. New York: Springer, 2011. ISBN 144198514X. Citado na página 13.

OU, J.; FERREIRA, P. M. A cmos envelope detector for low power wireless receiver applications. In: *2018 16th IEEE International New Circuits and Systems Conference (NEWCAS)*. [S.l.: s.n.], 2018. p. 44–47. Citado 3 vezes nas páginas 14, 20 e 43.

PERROTT, M. H. *Noise Spectral Analysis for Circuit Elements*. 2012. Disponível em: <<https://www.cppsim.com/CircuitLectures/Lecture14.pdf>>. Citado na página 17.

PIYARE, R. et al. Ultra low power wake-up radios: A hardware and networking survey. *IEEE Communications Surveys Tutorials*, v. 19, n. 4, p. 2117–2157, 2017. Citado na página 42.

PLETCHER, N.; RABAEY, J. M. *Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks*. Tese (Doutorado) — EECS Department, University of California, Berkeley, May 2008. Disponível em: <<http://www2.eecs.berkeley.edu/Pubs/TechRpts/2008/EECS-2008-59.html>>. Citado 4 vezes nas páginas 20, 33, 34 e 66.

RAZAVI, B. *RF Microelectronics*. Pearson Education, 2011. (Communications Engineering & Emerging Technology Series from Ted Rappaport). ISBN 9780132901055. Disponível em: <<https://books.google.com.br/books?id=zTnD1RgHbbkC>>. Citado 5 vezes nas páginas 16, 17, 18, 19 e 23.

SOLIMAN, M. et al. An 18 nw 47/40 dbm sensitivity 3/100 kbps mems-assisted cmos wake-up receiver. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 66, n. 11, p. 4439–4447, 2019. Citado 3 vezes nas páginas 35, 36 e 74.

TAN, L.; JIANG, J. *Digital Signal Processing: Fundamentals and Applications*. Elsevier Science, 2018. ISBN 9780128150726. Disponível em: <<https://books.google.com.br/books?id=MxlxDwAAQBAJ>>. Citado 3 vezes nas páginas 28, 29 e 69.

TOHIDIAN, M.; MADADI, I.; STASZEWSKI, R. Analysis and design of a high-order discrete-time passive iir low-pass filter. *IEEE Journal of Solid-State Circuits*, v. 49, p. 2575 – 2587, 11 2014. Citado na página 27.

TUMMALA, R. *Fundamentals of Microsystems Packaging*. McGraw-Hill Education, 2001. ISBN 9780071418072. Disponível em: <<https://books.google.com.br/books?id=VHXoAwAAQBAJ>>. Citado na página 63.

WANG, L.; ZHAN, C. A 0.7- μ m CMOS subthreshold voltage and current reference in one simple circuit. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 66, n. 9, p. 3457–3466, 2019. Citado na página 54.

WEISER, M. The computer for the 21st century. *Scientific American*, v. 265, n. 3, p. 66–75, January 1991. Disponível em: <<http://www.ubiq.com/hypertext/weiser/SciAmDraft3.html>>. Citado na página 13.

WU, D.; HU, J.; MAHAPATRA, R. Antenna avoidance in layer assignment. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, v. 25, p. 734 – 738, 05 2006. Citado na página 49.

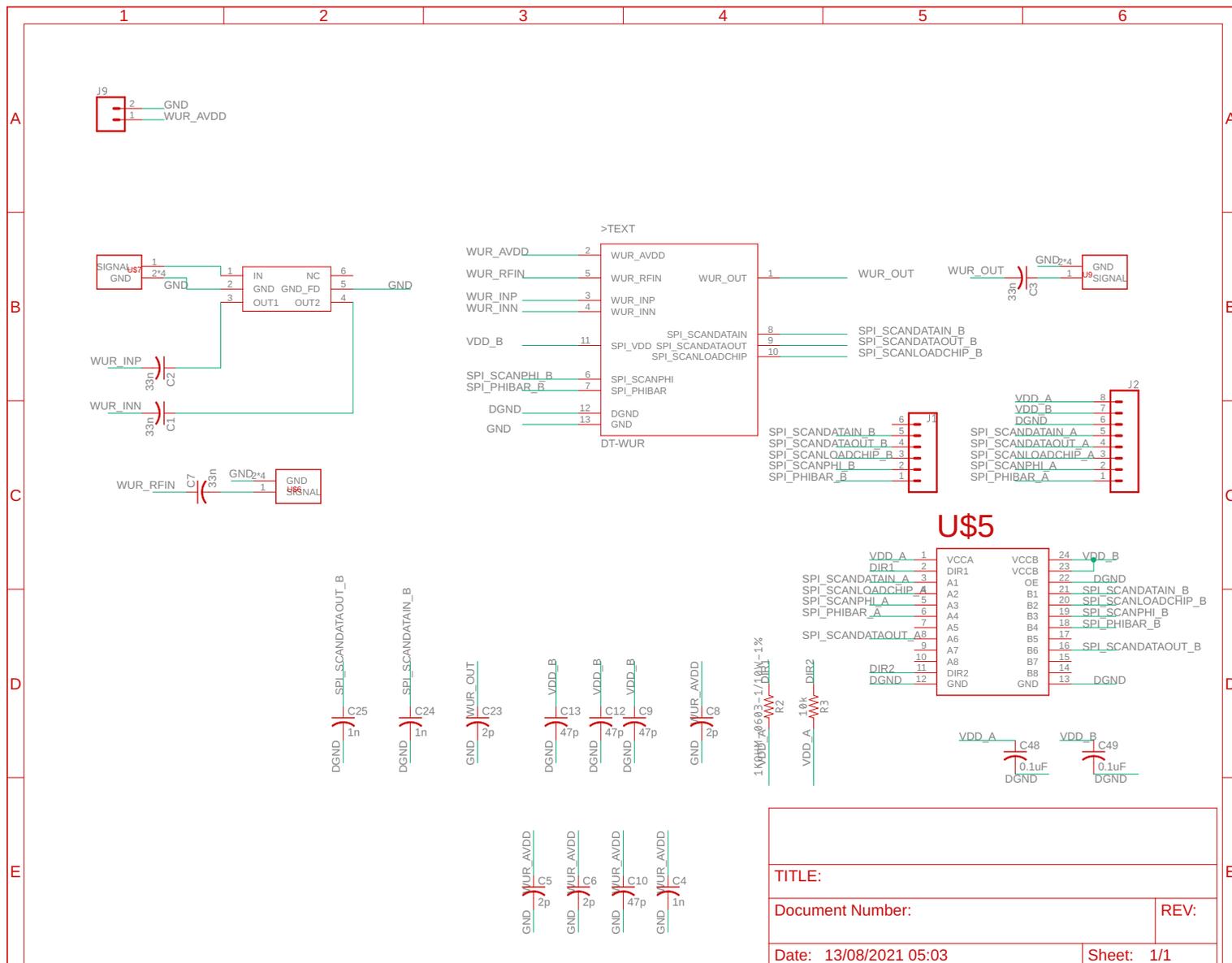
YO-CHUOL, H. et al. Charge-domain signal processing of direct rf sampling mixer with discrete-time filters in bluetooth and gsm receivers. *EURASIP Journal on Wireless Communications and Networking*, v. 2006, 12 2006. Citado 2 vezes nas páginas 42 e 75.

YOON, D.-Y. et al. A new approach to low-power and low-latency wake-up receiver system for wireless sensor nodes. *IEEE Journal of Solid-State Circuits*, v. 47, n. 10, p. 2405–2419, 2012. Citado na página 35.

ZHANG, Y. et al. Improving energy-efficiency in building automation with event-driven radio. In: *2011 International Conference on Wireless Communications and Signal Processing (WCSP)*. [S.l.: s.n.], 2011. p. 1–5. Citado 2 vezes nas páginas 14 e 33.

Apêndices

APÊNDICE A - CIRCUITO ESQUEMÁTICO DA PLACA DE TESTE



APÊNDICE B – CÓDIGO FONTE SCRIPT UTILIZADO PARA OPERAÇÃO DO SPI

```

1  /*
2  test_spi_chip
3
4  created 2021
5  by Fernando Ferreira
6
7  */
8
9  // constants won't change. Used here to set a pin number:
10 const int scanDataIn = 6; // the number of the LED pin
11 const int scanLoadChip = 7; // the number of the LED pin
12 const int scanPhi = 8; // the number of the LED pin
13 const int scanPhiBar = 9; // the number of the LED pin
14
15 // Variables will change:
16 int pinState = LOW; // ledState used to set the LED
17
18 unsigned long previousMillis = 0; // will store last time LED was updated
19
20 // constants won't change:
21 const long interval = 125; // interval at which to blink (milliseconds)
22 int i=0;
23
24 void setup() {
25 // set the digital pin as output:
26 pinMode(scanDataIn, OUTPUT);
27 pinMode(scanLoadChip, OUTPUT);
28 pinMode(scanPhi, OUTPUT);
29 pinMode(scanPhiBar, OUTPUT);
30
31 // the logic level in scanDataIn will define the activation/deactivation for
32 // both capacitors in the matching network
33 digitalWrite(scanDataIn, LOW);
34 //digitalWrite(scanDataIn, HIGH);
35 digitalWrite(scanLoadChip, LOW);

```

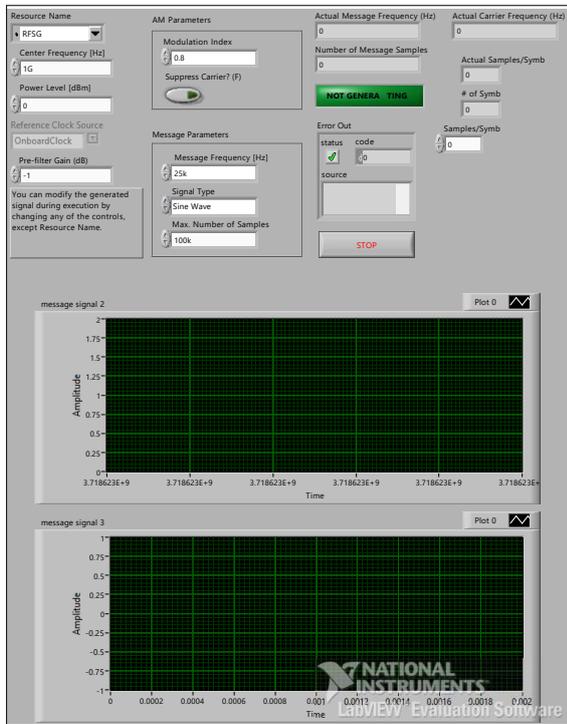
```
36 }
37
38 void loop() {
39
40     unsigned long currentMillis = micros();
41
42     if (currentMillis - previousMillis >= interval) {
43         previousMillis = currentMillis;
44
45         if (pinState == LOW) {
46             pinState = HIGH;
47         } else {
48             pinState = LOW;
49             i++;
50         }
51     }
52
53     if(i > 77)
54     {
55         digitalWrite(scanLoadChip, HIGH);
56         if(i > 90)
57         {
58             i=0;
59             digitalWrite(scanLoadChip, LOW);
60         }
61     }
62     else
63     {
64         digitalWrite(scanPhi, pinState);
65         digitalWrite(scanPhiBar, !pinState);
66     }
67 }
```

APÊNDICE C – APLICAÇÃO CRIADA EM LABVIEW PARA GERAR O SINAL RF MODULADO COM BITS ALEATÓRIOS

Evaluation
 MT RFSG Generate OOK.vi
 C:\Users\chimz\Desktop\Medidas ITT\FF_DTWUR_TEST\MT RFSG Generate OOK.vi
 Last modified on 01/11/2021 at 12:19
 Printed on 22/01/2022 at 10:07

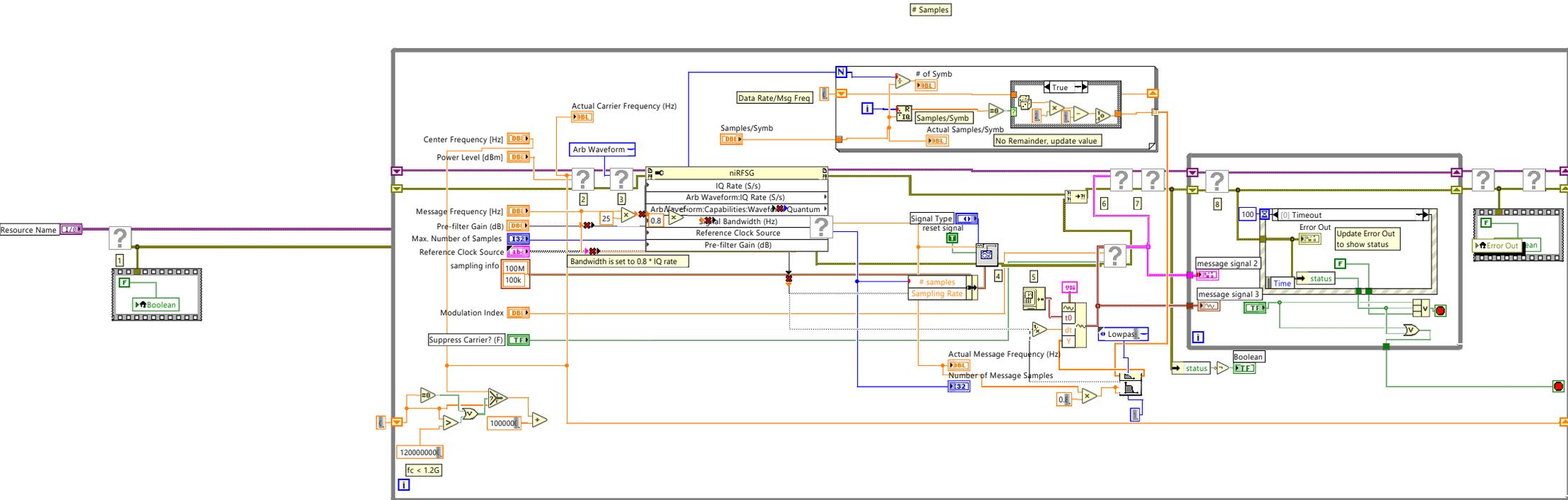
Page 2 

Front Panel

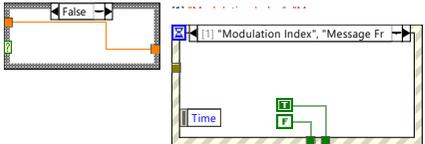




Block Diagram



1. Open a session to the NI-RFSG.
2. Configure the center frequency and output power.
3. Enable IQ Generation. This indicates to the driver to generate an arbitrary waveform (in this case an AM waveform) instead of a sine tone.
4. Generate the message signal at a sample rate consistent with the sample rate requirements of the RF Signal Generator.
5. Modulate the message signal using Amplitud Modulation.
6. Write the AM waveform.
7. Initiate generation according to programmed settings.
8. Check the generation status and exit if an error has occurred.
9. Disable the output. This sets the noise floor as low as possible.
10. Close the session to the NI-RFSG.



Anexos

ANEXO A – ATRIBUIÇÃO DOS PINOS DO CHIP GME-UFRGS MINI@SIC 2020

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

UFRGS GME AMS RF 2020

Manual do Tape out

Porto Alegre

2021

SUMÁRIO

0.1 Introdução	2
0.2 SPI	2
0.2.1 Utilização	2
REFERÊNCIAS	4

0.1 Introdução

0.2 SPI

Tabela 1: Entradas e saídas do bloco SPI

Barramento	Largura	PAD E/S	JLCC68
SC_to_the_chip	128	interno	interno
scan_phi	1	E	49
scan_phi_bar	1	E	48
scan_data_in	1	E	47
scan_data_out	1	S	46
scan_load_chip	1	E	45

No tape out foi utilizado, dentre os 128 pinos disponíveis no barramento interno da SPI, 77 pinos. Sendo o roteamento interno para cada bloco feito conforme mostra a Tab. 2

Tabela 2: Pinout da SPI para cada bloco (SC_to_the_chip).

SPI [0:1]	SPI [2:8]	SPI [9:12]	SPI [13:76]
WUR	DigAmpOp	LVVR	ISM DAC

0.2.1 Utilização

Os pinos **scan_phi** e **scan_phi_bar** são responsáveis pelo *clock* interno do circuito. Os mesmos devem ser defasados.

Escrita:

- Após a estabilidade do bit a ser inserido no pino **scan_data_in** (JLCC68: 47).

- Pulsar os pinos **scan_phi** e **scan_phi_bar** (JLCC68: 49 e 48) até a posição do bit interno desejada (entre 0 e 77).
- Deve se alterar o estado do pino **scan_load_chip** (JLCC68: 45) para que assim o dado seja carregado no registrador interno da SPI e o mesmo esteja disponível para os blocos.